



10 ES	11 21 22	NUMERO 457225	10 A 1
FECHA DE PRESENTACION			

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO 670.498 G. 254	25.Marzo.76	USA

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL H01L	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

54 TITULO DE LA INVENCION "UN METODO PARA OBTENER EL AISLAMIENTO ELECTRICO EN LAS REGIONES DE UNA PASTILLA DE MATERIAL SEMICONDUCTOR"
--

71 SOLICITANTE (S) STANDARD ELECTRICA, S.A.
--

DOMICILIO DEL SOLICITANTE Madrid, calle de Ramirez de Prado, no. 5

72 INVENTOR (ES) Raymond Eugene Sherrer
--

73 TITULAR (ES)

74 REPRESENTANTE D. Manuel Gómez Santamaría.

El invento se refiere en términos generales a un método para obtener el aislamiento eléctrico en las pastillas semiconductoras y, más particularmente, a un método para la fabricación de los circuitos integrados con aislamiento eléctrico entre los elementos funcionales del mismo.

Hasta el momento presente se han venido usando distintos métodos para la obtención del aislamiento eléctrico entre los elementos funcionales de las pastillas de los circuitos integrados; sin embargo, la mayoría de ellos se ha visto que carecen de las condiciones requeridas o bien son prácticos debido a su alto coste.

Un primer método de aislamiento se obtenía con el empleo de uniones PN adosadas espalda con espalda. Estas uniones eran formadas por difusión de impurezas de tipo P en una capa epitaxial de tipo N hasta que la difusión de tipo P se extendía por toda la capa epitaxial hasta un substrato o base de tipo P. Con objeto de conseguir corrientes de gran saturación, antes del crecimiento de la capa epitaxial se solía formar por difusión una capa de una gran concentración de impurezas de tipo N. Como es difícil la difusión de un número suficiente de impurezas de tipo P a través de la capa epitaxial que venciese la alta concentración de impurezas del tipo N, era esencial el empleo durante la difusión de las impurezas de tipo N de una máscara que impidiese tener la alta concentración en aquellas regiones en las que iban a ser difundidas las impurezas de tipo P. De este modo se necesitaba hacer dos etapas de difusión requiriendo cada una de ellas el uso de una máscara diferente. Esta necesidad de las dos máscaras y de dos etapas de difusión con altas temperaturas aumentaba el coste del pro-

ducto obtenido a la vez que degradaba el material semiconductor.

En un intento para eliminar el empleo de las máscaras y una de las etapas del proceso con alta temperatura se formaba sobre un substrato de tipo P una semiconductor
5 tura se formaba sobre un substrato de tipo P una semiconductor
 tividad con doble capa epitaxial de tipo N. Una primera capa
 tenía una alta concentración de impurezas de tipo N y la se-
 gunda capa tenía una concentración normal de impurezas tam-
 bien de tipo N. El aislamiento era dado por medio de una di-
10 fusión de impurezas de tipo P a través de la doble capa epi-
 taxial hasta el substrato de tipo P para formar uniones PN;
 sin embargo, se hacía difícil difundir debidamente las impu-
 rezas de tipo P a través de la alta concentración de impu-
 rezas de tipo N de la primera capa epitaxial. Como resultado
15 de ello, la etapa de difusión de impurezas de tipo P tenía
 que ser hecha en largos períodos de tiempo, lo cual resulta-
 ba poco práctico y contribuía a la degradación del material
 semiconductor.

Con otro método para obtener el aislamiento
20 el silicio de la región aislante era parcialmente atacado
 y a continuación oxidado para formar un dieléctrico de dió-
 xido de silicio; sin embargo, se vió que para conseguir el
 espesor adecuado del dióxido de silicio se necesitaba un
 período de oxidación de unas 10 horas a 1.000°C, lo cual
25 también era un gran consumo de tiempo y degradante para el
 material semiconductor.

Otro método para obtener el aislamiento re-
 quería la formación de unos canales o valles en un material
 semiconductor de un cristal simple. A continuación se forma-
30 ba sobre los canales una capa de silicio policristalino y

el silicio de cristal simple era pulimentado para dejar al descubierto las regiones aislantes de silicio policristalino que formaba unas regiones aisladas con un substrato de silicio de cristal simple constituyendo los elementos activos del circuito. El proceso de pulimentado resultaba ser extremadamente caro y lento y no constituía una solución satisfactoria al requerimiento del aislamiento.

Con ello vemos que todos los métodos de la técnica precedente adolecían de alguna deficiencia. O bien requerían un tiempo excesivo o eran demasiado caros o degradaban el material semiconductor por una exposición excesiva a temperaturas extremadas.

En las solicitudes de patente de los Estados Unidos nº 524.296 y 601.855 registradas respectivamente con fechas 15 de Noviembre de 1974 y 4 de Agosto de 1975 se muestra el uso de un metal anodizado y de un silicio anodizado para obtener el aislamiento eléctrico entre los elementos funcionales de un circuito integrado. Un dieléctrico anodizado producía un aislamiento satisfactorio y eliminaba las dificultades que se encontraban con las técnicas de aislamiento de las uniones PN y la capacidad que se formaba a través de las uniones. Para obtener una película anódica de un espesor suficiente para aislar completamente los elementos funcionales se requería una película anódica porosa. Y se vió que dicha película anódica porosa se podía conseguir si durante la anodización se usaba un electrolito del tipo adecuado.

El uso de un dieléctrico formado por anodización resultó ser de gran efectividad y que reducía extraordinariamente el coste de los circuitos integrados producidos.

No obstante, se tropezó con algunas dificultades para dar la metalización en la intercara entre el dieléctrico y el material semiconductor contiguo, al existir la tendencia a la formación de espacios vacíos junto a los bordes del dieléctrico, lo cual podía ser causa de que en la subsiguiente aplicación quedase abierto el circuito.

El presente invento se refiere al aislamiento eléctrico de las pastillas semiconductoras en las que el espacio entre los elementos electrónicos funcionales de una capa de material semiconductor es rellenado por completo y se crea una superficie lisa para la subsiguientes aplicación del material dieléctrico y de las formas metálicas. Al presente invento se le incorporan muchas de las características beneficiosas de las solicitudes de patente anteriormente mencionadas, eliminando las fases del proceso de uso de altas temperaturas y de operaciones de enmascarado que en las técnicas de aislamiento de dichas solicitudes de patente eran requeridas. Las dificultades que eran encontradas en las técnicas de aislamiento con uniones FN y la capacidad que se formaba a través de las uniones quedan eliminadas así como también son evitadas las altas temperaturas que se requerían para formar las gruesas películas dieléctricas de dióxido de silicio.

El presente invento provee únicamente un método para el rellenado selectivo en las regiones del aislamiento para obtener una superficie plana y ello sin tener que aplicar proceso alguno de pulimentado para desprender el material que se quiera eliminar de la superficie de la pastilla semiconductoras.

Los elementos electrónicos funcionales son

formados en zonas separadas de una capa de material semiconductor dispuesto sobre un substrato. Sobre la superficie del material semiconductor se forma una capa protectora de dieléctrico y a continuación, en las zonas de aislamiento situadas entre las antedichas zonas separadas, se eliminan por

5 ataque la capa protectora de dieléctrico y el material semiconductor, dejando al descubierto el material del substrato. A continuación se forma una capa de dieléctrico sobre las superficies así descubiertas del material del substrato

10 y en las superficies que rodean a las zonas separadas. Sobre la pastilla de semiconductor se deposita un metal, formando así unas capas de metal que cubran el dieléctrico del substrato y el dieléctrico de la superficie. La capa de metal depositada sobre el dieléctrico del substrato es aislada

15 eléctricamente de la formada sobre el dieléctrico de superficie pudiendo ser así tratada electrolíticamente por anodizado o recubrimiento galvánico creando sobre la superficie un metal protector que no afectará al material depositado sobre el dieléctrico de superficie. Una vez que el metal que

20 hay sobre el dieléctrico de superficie ha sido tratado puede ser desprendido selectivamente por ataque con un compuesto que actúe sobre la superficie de metal puro pero que tenga poco o ningún efecto sobre el metal tratado del substrato. El espacio que queda entre las zonas separadas puede entonces ser rellenado con un metal con un proceso de recubrimiento

25 electrolítico que forme una capa de metal hasta que se tenga de nuevo una superficie plana. Una vez que se tiene esto se puede continuar con el proceso normal para formar el circuito integrado con la metalización de las regiones

30 de contacto y la interconexión de las formas metálicas.

De este modo el presente invento elimina las etapas de difusión con altas temperaturas y la operación de enmascarado que primeramente se requerían para el aislamiento del tipo de unión, reduciéndose el coste del circuito integrado así como el deterioro normalmente resultante de los procesos de difusión con altas temperaturas.

El invento permite igualmente dejar, cuando sea necesario, partes del metal como barras interconectoras en las regiones del aislamiento.

El metal depositado llena por completo el espacio que queda entre los elementos activos, sin dejar de recubrir la intercara entre la región de aislamiento y las regiones activas con lo que resuelve, por tanto, los problemas que se tenían en la técnica anterior.

El objetivo primario del presente invento es la obtención de un método para la formación de regiones de aislamiento eléctrico en el material semiconductor.

Otro objetivo del presente invento es la obtención de un proceso para la formación de regiones de aislamiento eléctrico entre los elementos funcionales de una pastilla de circuito integrado.

Otro objetivo del presente invento es la obtención de una pastilla semiconductor de un coste más bajo y de comportamiento más seguro que las que hasta ahora se obtenían.

Otro objetivo del presente invento consiste en la obtención de un método para formar tanto una región aislante eléctricamente entre los elementos funcionales de un circuito integrado como una barra de interconexión en dicho circuito.

Los antedichos y otros objetivos y ventajas del presente invento serán puestos más de manifiesto con la descripción que sigue y los dibujos que se acompañan en que son descritas dos realizaciones del presente invento. En dichos dibujos:

- 5
- las Figs. 1 a 7 son vistas de sección transversal de una parte de un circuito integrado en que se muestran varias etapas de la fabricación de acuerdo con una primera realización del presente invento;
- 10
- la Fig. 8 es una vista en planta de una oblea de material semiconductor con elementos del circuito integrado formados en la misma y con barras de interconexión;
 - la Fig. 9 es una representación esquemática de una etapa del proceso del presente invento;
- 15
- las Figs. 10 a 14 son unas vistas en sección transversal de una parte de un circuito integrado en varias de las etapas del proceso y de acuerdo con la primera realización del presente invento;
 - la Fig. 15 es una vista en sección transversal de un circuito integrado encapsulado, y
- 20
- las Figs. 16 a 21 son vistas en sección transversal de una parte de un circuito integrado visto en varias etapas del proceso de fabricación de acuerdo con una segunda realización del presente invento.
- 25
- Refiriéndonos a la Fig. 1 vemos en ella una parte de la pastilla 28 de un semiconductor la cual tiene un substrato 30 formado con una oblea de un material semiconductor, preferible silicio, de conductividad tipo P y con una resistividad aproximada de 1 a 3 Ohms cm; ha de entenderse, sin embargo, que el material semiconductor de tipo N
- 30

podría emplearse igualmente. La oblea es pulida para obtener una superficie monocristalina 32 donde se hace crecer una capa epitaxial 34 de material semiconductor de tipo N. La capa epitaxial 34 deberá ser controlada en su crecimiento de modo que en la superficie adyacente 32 tenga una alta concentración de impurezas N y que en el resto de la capa tenga una concentración normal de impurezas N. se puede obtener mediante el crecimiento de la capa con una concentración gradual de impurezas que vaya desde una alta concentración inicial N+ a una baja concentración N en la terminación del crecimiento. También se puede hacer, alternativamente, el crecimiento de dos capas distintas, tales como una capa 36 de una alta concentración de impurezas de tipo N+ y de una capa 38 que tenga una concentración normal de impurezas de tipo N.

El crecimiento de la capa epitaxial se puede hacer usando átomos de impureza de fósforo, arsénico o antimonio que le den a la capa el tipo N de semiconductividad. La capa 36 tiene una concentración más alta de impurezas y es formada durante un proceso epitaxial a una temperatura de aproximadamente 1.200°C y una concentración de impurezas igual o mayorde 2×10^{17} átomos por cm^3 . El crecimiento se continua durante aproximadamente un minuto, para conseguir una capa que tenga un espesor de aproximadamente una micra. Entonces el crecimiento con una concentración de impurezas de aproximadamente 1×10^{16} átomos por cm^3 durante un período de aproximadamente siete minutos, para formar una capa 38 que tenga un espesor de aproximadamente 6 a 7 micras. El método que se ha mostrado produce dos capas distintas 36 y 38 de diferentes concentraciones de impureza. Si se desea

se puede obtener una concentración gradual de impurezas por crecimiento de la capa epitaxial durante un minuto con una concentración de 2×10^{17} o más átomos de impureza por cm^3 y a continuación suprimir la aportación de impurezas dejando que continúe el crecimiento epitaxial. Los átomos de impureza residual forman la concentración gradual. La alta concentración N+ en la capa 36 da una resistencia de baja saturación que permite que en la pastilla semiconductor obtenida se pueda tener gran densidad de corriente.

La capa semiconductor de tipo N 36 que se muestra en la Fig. 1 es preferible que sea formada por un crecimiento epitaxial, como fue previamente descrito, sin embargo, para los fines del presente invento se puede hacer en el proceso una etapa de difusión para formar la capa N+ 36 pudiendo ser formada a continuación la capa 38 con un crecimiento epitaxial de concentración normal.

Una vez formada la capa epitaxial 34 el material semiconductor es sometido a un proceso de oxidación para formar sobre toda la superficie de la capa epitaxial una capa de dieléctrico 40.

Aunque para obtener la capa de dieléctrico 40 el método preferido es el de oxidación del material semiconductor, también puede formarse depositando nitruro o un óxido de silicio que siendo dieléctrico sea resistente al ataque del silicio.

Mediante el uso de un proceso del tipo convencional, como puede ser un proceso de fotorresistencia se eliminan por ataque las regiones seleccionadas 42 de la capa 40, dejando al descubierto el material semiconductor de tipo N de la capa 34. Las capas que quedan de la capa 40

forman una máscara como se ve en la Fig. 2. Usando la capa 40 como máscara son formadas las dos regiones de base 44 de semiconductor de tipo P mediante un proceso de difusión de tipo P. Una vez hecha la difusión en las dos regiones de base 44 la máscara de óxido es nuevamente formada y otra vez atacada para dejar al descubierto las regiones de emisor 46 y de colector-contacto 48 que son formadas mediante un proceso de difusión de tipo N, como se ve en la Fig. 3. Con ello se quedan formados en la pastilla 28 los elementos de transistor de tipo NPN, sin embargo, estos elementos tienen que ser aislados.

Refiriéndonos a la Fig. 4 vemos formada de nuevo la capa 40 en la superficie y que han sido eliminadas partes del dieléctrico entre los elementos activos de las regiones de aislamiento selectivo 50 mediante el uso de las técnicas de fotorresistencia, formando así una máscara con la capa 40, como se muestra. El material semiconductor de tipo N que ha quedado al descubierto en las regiones 50 es eliminado por ataque para quitar todo el material semiconductor de tipo N que hay debajo de las regiones 50 y dejar al descubierto el sustrato semiconductor 30, como se muestra en la Fig. 5, formando las partes separadas de la capa 34. El material de silicio puede ser atacado con el empleo de una solución de HF-HNO_3 .

La pastilla 28 es sometida a continuación a un tratamiento de oxidación térmica con vapor durante un período de aproximadamente diez minutos para crear una capa de aislamiento de óxido 52 de un espesor de aproximadamente 1000Å sobre la superficie al descubierto del material semiconductor, como se muestra en la Fig. 6. La capa

de óxido 52 cubre tanto el substrato al descubierto 30 como las paredes periféricas al descubierto de las partes separadas de la capa 34.

Sobre la pastilla 28 es evaporado al vacío un metal para formar sobre la superficie del dieléctrico 40 una capa conductora 54 y sobre el dieléctrico del substrato 52 una capa conductora 56, como se ve en la Fig. 7. El dieléctrico de superficie 40 aísla eléctricamente la capa 54 de la capa epitaxial 34 y el substrato dieléctrico 52 aísla eléctricamente la capa 56 del substrato 40 y de las paredes periféricas de las zonas separadas de la capa 34. Las capas 54 y 56 están formadas con un espesor de aproximadamente una micra de modo que la capa 54 queda separada y eléctricamente aislada de la capa 56.

El paso siguiente consiste en tratar electrolíticamente la capa 56 para cambiar sus características superficiales. Como la capa 56 está aislada eléctricamente del material semiconductor por el dieléctrico del substrato 52, habrá que arbitrar un método para darle contacto eléctrico a la capa 56. Refiriéndonos a la Fig. 8 vemos que en ella se muestra una parte de la pastilla 28 que tiene formados circuitos integrados 60 con unos canales 62 de metal que interconecta cada uno de ellos. Los canales 62 son meras extensiones de las regiones 50 constituyendo la capa 56 la barra de interconexión. Para aplicar un potencial eléctrico a la capa 56 en toda la pastilla 28 se dispone un solo punto de contacto 64.

La capa de aluminio 56 es a continuación anodizada parcialmente mediante la aplicación de un potencial positivo directamente al contacto 64, que está conectado a

los canales 62 y a la capa de aluminio 56 mientras se tiene a la pastilla 28 sumergida en una solución anodizante que contiene un electrolito 66 y un cátodo 68, como se ve en la Fig. 9. El electrolito 66 es preferible que sea SO_4H_2 ; sin embargo, para este fin pueden emplearse otros muchos electrolitos. Al contacto 64 le es aplicada un potencial de aproximadamente 7 voltios dando origen ese potencial a una corriente de aproximadamente 30 miliamperios. El anodizado se continúa durante un período de unos cinco minutos para formar una delgada capa de aluminio anodizado 70 como se ve en la Fig. 10.

La pastilla 28 es sacada del electrolito 66 y sometida a un ataque en una solución de cloruro férrico o de un compuesto de bromo, eliminando la capa de aluminio no anodizado 54 sin producir o produciendo escaso efecto sobre la capa de aluminio anodizado 70 y sobre la de aluminio no anodizado 56. Ha de entenderse que, para eliminar la capa 54 de la pastilla y llegar a una estructura como la que se muestra en la Fig. 11, puede emplearse cualquier solución que ataque al aluminio puro y tenga una efecto nulo o pequeño sobre el aluminio anodizado. Una vez que el aluminio puro ha sido eliminado, la oblea es colocada en una solución de ataque de HF eliminando la capa anodizada 70 para dejar al descubierto la capa de aluminio no anodizado 56 como muestra la Fig. 12.

De nuevo es establecido el contacto eléctrico al contacto 64 y la pastilla es llevada a un baño de recubrimiento electrolítico de molibdeno similar al mostrado en la Fig. 9 y sobre la capa 56 es depositada una capa de molibdeno 72 de un espesor de aproximadamente 4 micras.

Efectuadno el recubrimiento de molibdeno la pastilla es llevada a un baño de recubrimiento electrolítico de tantalio dónde, sobre la capa de molibdeno, se da una capa de tantalio 74 de un espesor aproximado de una micra, como se indica en la Fig. 13.

La pastilla es de nuevo llevada a una solución anodizante, como muestra la Fig. 9, aplicándole al contacto 64 un potencial positivo y conteniendo una solución al 2% de ácido nítrico o un electrolito de ácido sulfúrico de modo que el tantalio es anodizado con un espesor suficiente para que tenga un buen aislamiento eléctrico entre la superficie de la pastilla y el metal sin anodizar de debajo, como se muestra en la Fig. 14. Ha de notarse que el metal no anodizado situado debajo de la capa de tantalio anodizada 76 forma una barra aislada que puede ser utilizada como barra de interconexión del circuito integrado.

A continuación son formados en la pastilla los contactos de emisor, base y colector eliminando de la superficie unas partes seleccionadas de la capa de óxido 40 y evaporando a continuación una capa de aluminio 78 sobre toda la pastilla para hacer contacto en las regiones de contacto con el material semiconductor que se dejó descubierto. La parte del aluminio que no interese tener es eliminada con un proceso fotorresistente de modo que los contactos puedan ser aislados unos de otros.

En este momento está ya lista la pastilla para la prueba y para el resto del proceso, el cual comprende el marcado, la división en bloques y el encapsulado del bloque. En la Fig. 15 vemos el bloque del circuito integrado montado en la base de un encapsulado 82 que usualmente está

formado por un material parecido al cristal, el cual depende de los requerimientos del producto. Dicho encapsulado tiene unos conductores de contacto 84 que le atraviesan y a los que son conectados los puntos de contacto de la capa 78 por uniones de un hilo fino 86. El encapsulado es a continuación sellado según cualquiera de las numerosas técnicas conocidas como puede ser la de fritado.

La realización que fue previamente descrita proporciona un aislamiento completo entre los elementos activos de un circuito integrado en el que hay una capa de dieléctrico formada de las superficies periféricas de las partes separadas de las capas epitaxiales que contienen los elementos electrónicos funcionales y siendo a continuación rellenado el espacio que queda entre los elementos funcionales con un metal conductor, haciendo uso de un proceso de acabado electrolítico para que el espacio se rellene totalmente evitando que en el borde de la región aislante queden lagunas. La combinación única de acabado electrolítico, atacado y anodizado constituye un método mejorado para eliminar de la superficie de la pastilla el aluminio que no se desea tener, sin necesidad de una costosa operación de pulimentado.

En la realización anteriormente descrita, sobre la capa de aluminio 56 se daba el recubrimiento de molibdeno y de tantalio. Vamos a continuación a describir otra realización del presente invento con la que se evita la necesidad de dar el recubrimiento de molibdeno y de tantalio.

El proceso para formar la segunda realización sigue los pasos que fueron descritos en relación con las Figs. 1 a 6 de la primera realización para obtener en las regiones 50 una capa de dieléctrico 52 y sobre la superficie

de la pastilla 28 una capa de dieléctrico 40, por tanto, no se necesita que se repitan estos pasos en la descripción de la segunda realización del invento.

La pastilla, tal como se ve en la Fig. 6, se comete a una evaporación al vacío de aluminio que forma una
5 capa de aluminio 56 sobre el dieléctrico del substrato 52 dentro de las regiones 50 y una capa de aluminio 90 sobre el dieléctrico de superficie 40. La evaporación es continuada para que el espesor de la capa de aluminio sea de aproximadamente 2500 angstroms. A continuación la pastilla es sometida a un proceso de evaporación de cobre para formar una
10 capa de cobre 92 sobre la capa 56 en las regiones 50 y una capa de cobre 94 sobre la superficie de la capa 90 como se ve más claramente en la Fig. 16. La evaporación del cobre se continua para formar una capa de un espesor de aproximadamente 2000 angstroms. La capa de dieléctrico 40 aísla
15 eléctricamente a las capas 90 y 94 del material semiconductor y las capas 56 y 92 son aisladas por el dieléctrico del substrato 52. Las capas 56 y 92 están separadas de las
20 capas 90 y 94, con lo que no existe contacto eléctrico entre ellas. Se dispone una matriz de interconexión de modo que las capas 56 y 92 queden conectadas eléctricamente en toda la pastilla con una estructura como la de la Fig. 8 ya descrita.

25 En el punto 64 (Fig. 8) se dispone un contacto eléctrico de modo que a las capas 56 y 92 se les pueda aplicar un potencial y, colocada la pastilla en un baño electrolítico de níquel, se la recubre durante unos 10 minutos para formar una capa de níquel 96 como se muestra en la Fig.
30 17. Sacada la pastilla del baño de níquel se la somete a un

ataque con una solución de ácido hidroclopico al 25%, el cual produce un efecto pequeño o nulo sobre el níquel pero ataca al aluminio y al cobre, eliminando las capas de cobre y de aluminio 90 y 94 de la superficie de la pastilla, como se muestra en la Fig. 18. Debe entenderse que con el presente invento puede usarse cualquier mordiente que tenga poco o nulo efecto sobre el níquel y que ataque al aluminio y al cobre. El presente invento comprende también el uso de otros metales y de otros mordientes que ataquen de un modo selectivo al metal de la superficie de la pastilla sin atacar al metal que hay sobre el dieléctrico del substrato. Una vez eliminado el aluminio y el cobre de la superficie de la pastilla, ésta es colocada de nuevo en el baño de níquel donde se le da un recubrimiento de un espesor suficiente para que se obtenga una superficie a nivel del material semiconductor, como se ve mejor en la Fig. 19.

Refiriéndonos ahora a la Fig. 20 vemos que sobre la superficie de la pastilla se forma de nuevo una capa de dieléctrico, la cual se puede dar en la forma de un depósito de vapor de SiO_2 de un espesor de aproximadamente una micra. A continuación se producen por ataque, en la capa de dieléctrico, en regiones de contacto debidamente elegidas, las aberturas 98, como se ve en la Fig. 20. Sobre la superficie es evaporada una capa de aluminio 78 para formar contacto con las regiones seleccionadas de un material semiconductor. A continuación es atacado el aluminio por medio de un proceso de fotorresistencia para producir el aislamiento entre los diferentes contactos de la pastilla, como se muestra en la Fig. 21. La pastilla 28 de la Fig. 21 posee aislamiento eléctrico entre las regiones

activas de la capa 34 y una barra aislada de interconexión formada por las capas de aluminio, cobre y níquel.

La pastilla que se muestra en la Fig. 21 está en condiciones de ser probada, marcada, dividida y encapsulada en bloques como fue previamente descrito en relación con la Fig. 15.

Con el presente invento se obtiene el aislamiento eléctrico entre las zonas separadas de una capa de material semiconductor, con el empleo para ello de una capa de dieléctrico sobre las superficies periféricas de las partes separadas y a continuación depositando un metal en el espacio que queda entre esas partes, para obtener una superficie plana. Cuando se usa el proceso para la fabricación de circuitos integrados son eliminadas las etapas de difusión con altas temperaturas y las operaciones de enmascarado que van asociadas a los procedimientos de aislamiento. El uso de un material dieléctrico como aislamiento entre los elementos activos de un circuito integrado presenta ventajas en relación con la técnica precedente y, sobre todo, si con ello se elimina el problema de los parásitos de capacidad que se presentan con el aislamiento de unión de tipo PN. Los metales depositados electrolíticamente rellenan por completo las regiones de aislamiento y dejan una superficie plana con un hueco entre la región del aislamiento y el material semiconductor. El metal depositado constituye una adecuada barra de interconexión para el circuito integrado. De este modo, el presente invento constituye un medio económico pero eficaz para dar el aislamiento entre los elementos activos de un circuito integrado y elimina muchos de los problemas que se tenían con la técnica anterior.

Este invento corresponde a una solicitud de patente formulada en USA, el día 25 de Marzo de 1976, señalada con el N^o 670,498 Grupo 254 y se acoge, por tanto, a los beneficios que otzrgan los convenios internacionales vigentes.

5


-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un método para obtener el aislamiento eléctrico en las regiones de una pastilla de material semiconductor, comprendiendo las etapas de: desprendimiento del material semiconductor de las regiones en las que se quiere establecer el aislamiento; formación de una capa de dieléctrico sobre la superficie de dicho material semiconductor
10 en la intercara con las regiones de aislamiento; depósito de un metal en dichas regiones sobre dicha capa de dieléctrico, y recubrimiento electrolítico con un metal sobre dicho metal depositado, fundamentalmente para rellenar dichas
15 regiones de aislamiento.

 2.- Un método como fue descrito en la reivindicación 1 con el que el metal es depositado sobre toda la superficie del material semiconductor y cubre tanto la parte superior de la superficie del material semiconductor
20 como la superficie de las regiones de aislamiento, comprendiendo adicionalmente las etapas de tratamiento electrolítico del metal depositado en las regiones de aislamiento para modificar la característica superficial de dicho metal de modo que pueda ser distinguido del metal que hay sobre la
25 superficie del material semiconductor, y desprendimiento del metal depositado sobre la superficie del material semiconductor empleando un mordiente que ataque a dicho metal pero que haga poco o ningún efecto sobre el metal tratado de las regiones de aislamiento.

30 3.- Un método como fue descrito en la reivin-



dicación 2 con el que el tratamiento electrolítico del metal de las regiones de aislamiento comprende la etapa de anodizado de una parte de dicho metal de modo que tenga diferentes características superficiales..

5 4.- Un método como fue descrito en la reivindicación 2 con el que la etapa de aplicación del tratamiento electrolítico comprende la aplicación electrolítica sobre la superficie del metal depositado de otro metal diferente con otras características que las del metal depositado de
10 tal modo que no sea atacado por el mordiente.

 5.- Un método como fue descrito en la reivindicación 2 con el que la parte del metal tratada electrolíticamente es desprendida de la región de aislamiento después de desprendido el metal de la superficie y siendo a
15 continuación aplicado electrolíticamente el metal sobre el metal depositado.

 6.- Un método como fue descrito en la reivindicación 2 con el que el metal depositado en las regiones de aislamiento es anodizado para obtener sobre la superfi-
20 cie del metal depositado una capa de metal anodizado y siendo el metal no anodizado de la superficie del material semiconductor desprendido por ataque en una solución que no ataque al metal anodizado pero que desprende al metal no anodizado.

25 7.- Un método como fue descrito en la reivindicación 6 el cual comprende adicionalmente la etapa de desprender de la región de aislamiento el metal anodizado y a continuación depositar electrolíticamente sobre la superficie del metal depositado las capas adicionales de metal.

30 8.- Un método como fue descrito en la rei-

pey

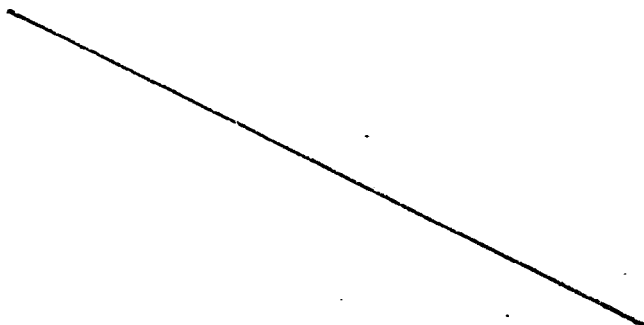
vindicación 1 con el que la etapa de depósito de un metal comprende el depósito de un primer metal sobre toda la superficie del material semiconductor, incluidas las superficies superiores del material semiconductor y la superficie de las regiones de aislamiento, y el depósito a continuación, sobre ello, de un segundo metal.

9.- Un método como fue descrito en la reivindicación 8 con el que sobre la segunda capa de metal depositado en las regiones de aislamiento es formada una capa de metal aplicado electrolíticamente y después son desprendidas las capas del metal depositado sobre la superficie del material semiconductor haciendo uso de un mordiente que ataque al metal depositado pero que haga poco o ningún efecto sobre el metal aplicado electrolíticamente.

10.- Un método como fue descrito en la reivindicación 9 con el que sobre el metal aplicado electrolíticamente es aplicado electrolíticamente un metal adicional una vez, que el metal depositado es eliminado por ataque de la superficie del material semiconductor.

11.- Un método para obtener el aislamiento eléctrico en las regiones de una pastilla de material semiconductor.

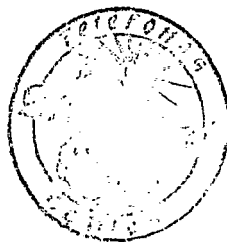
Tal y como fue descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.



Esta memoria consta de veintidos hojas escritas por una sola cara.

Madrid, 25 MAR. 1977

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



129

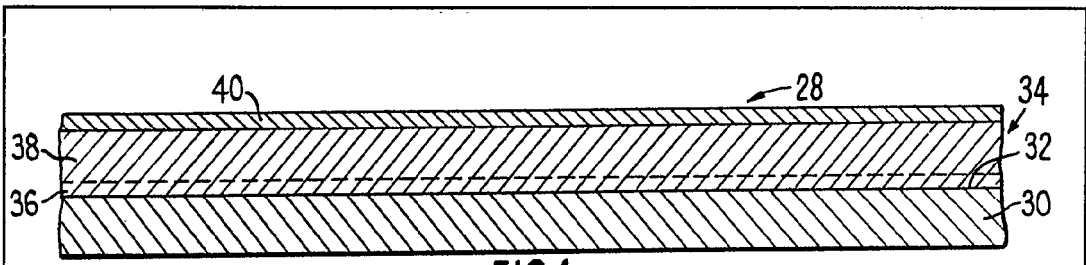


FIG. 1

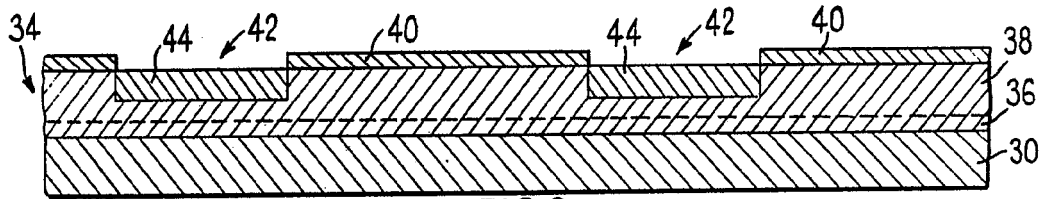


FIG. 2

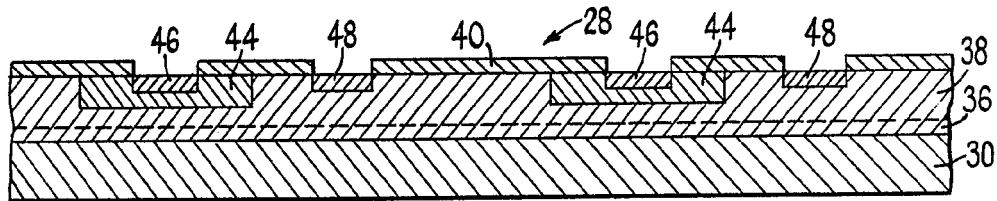


FIG. 3

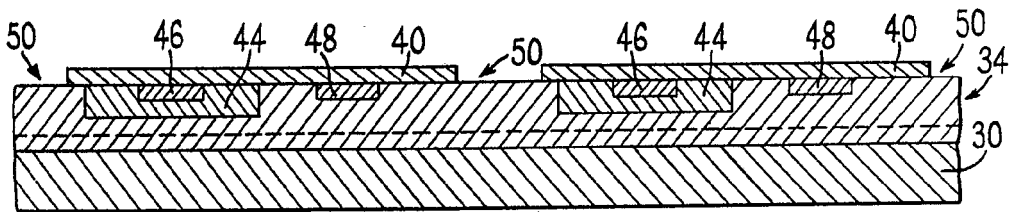


FIG. 4

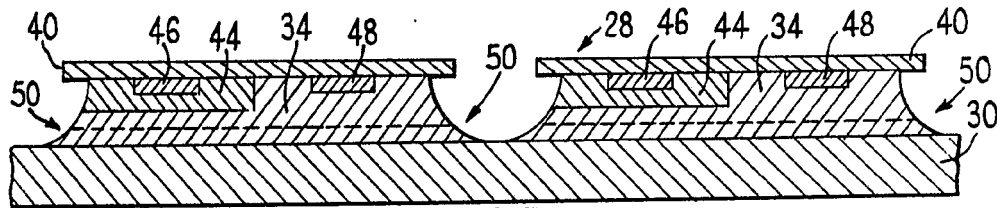


FIG. 5

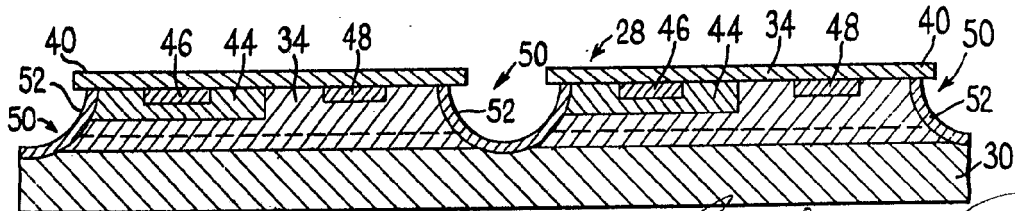


FIG. 6

W. J. ...

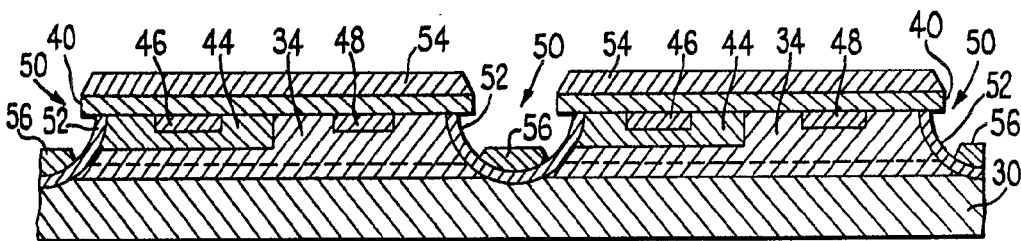


FIG. 7

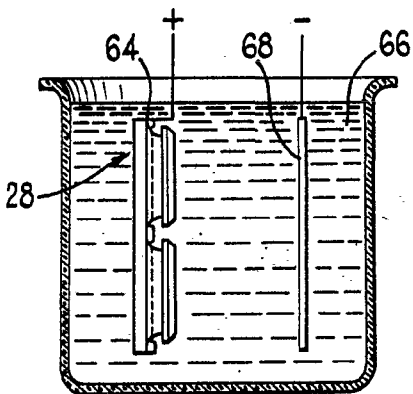


FIG. 9

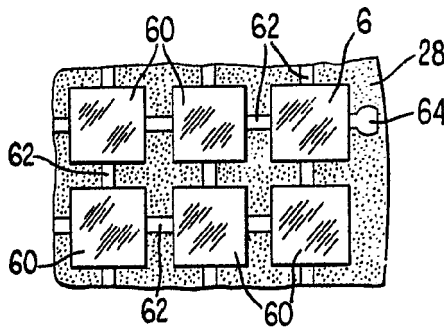


FIG. 8

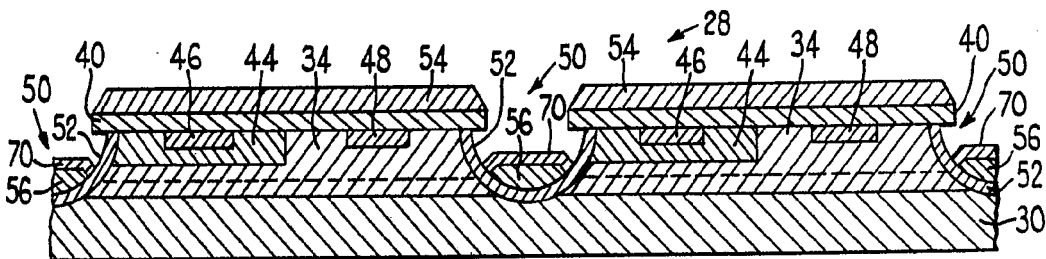


FIG. 10

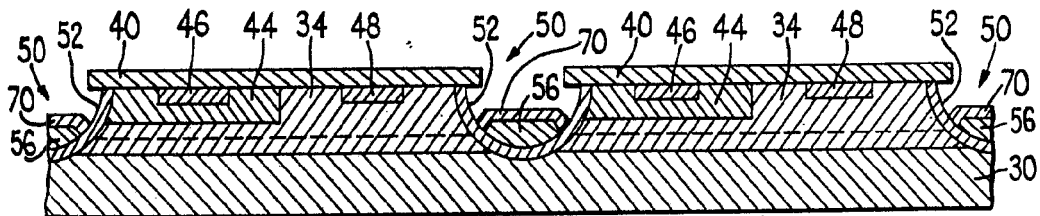


FIG. 11

[Handwritten Signature]
 VICE-SECRETARY, S. A.

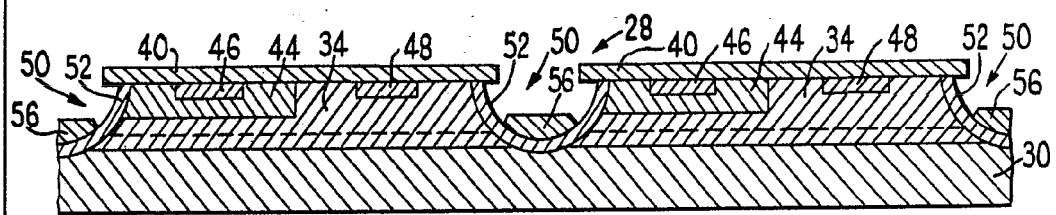


FIG. 12

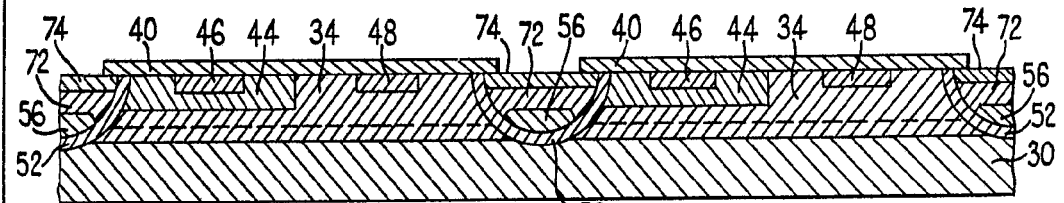


FIG. 13

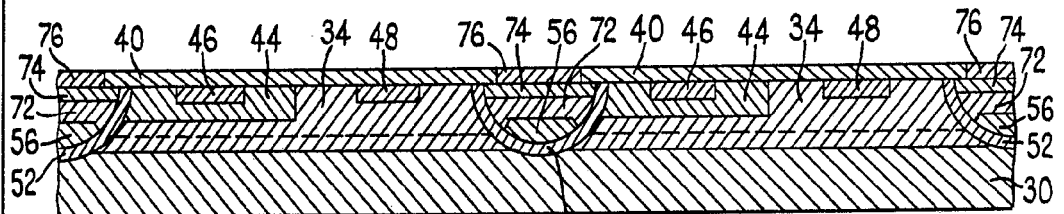


FIG. 14

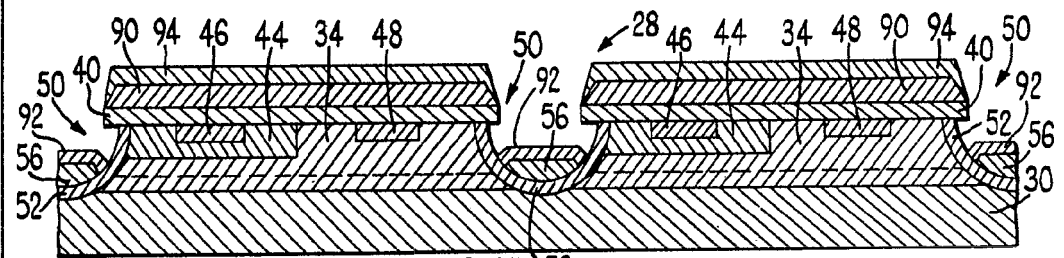


FIG. 16

MAR 1977

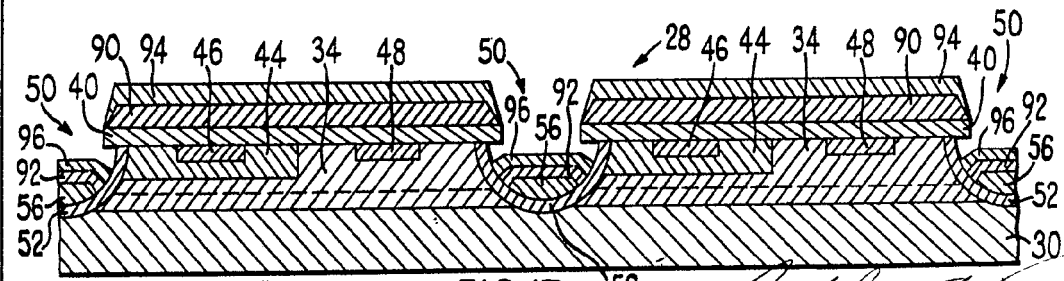


FIG. 17

W. J. ...
 W. J. ...
 ...

5/4

Handwritten signature or mark

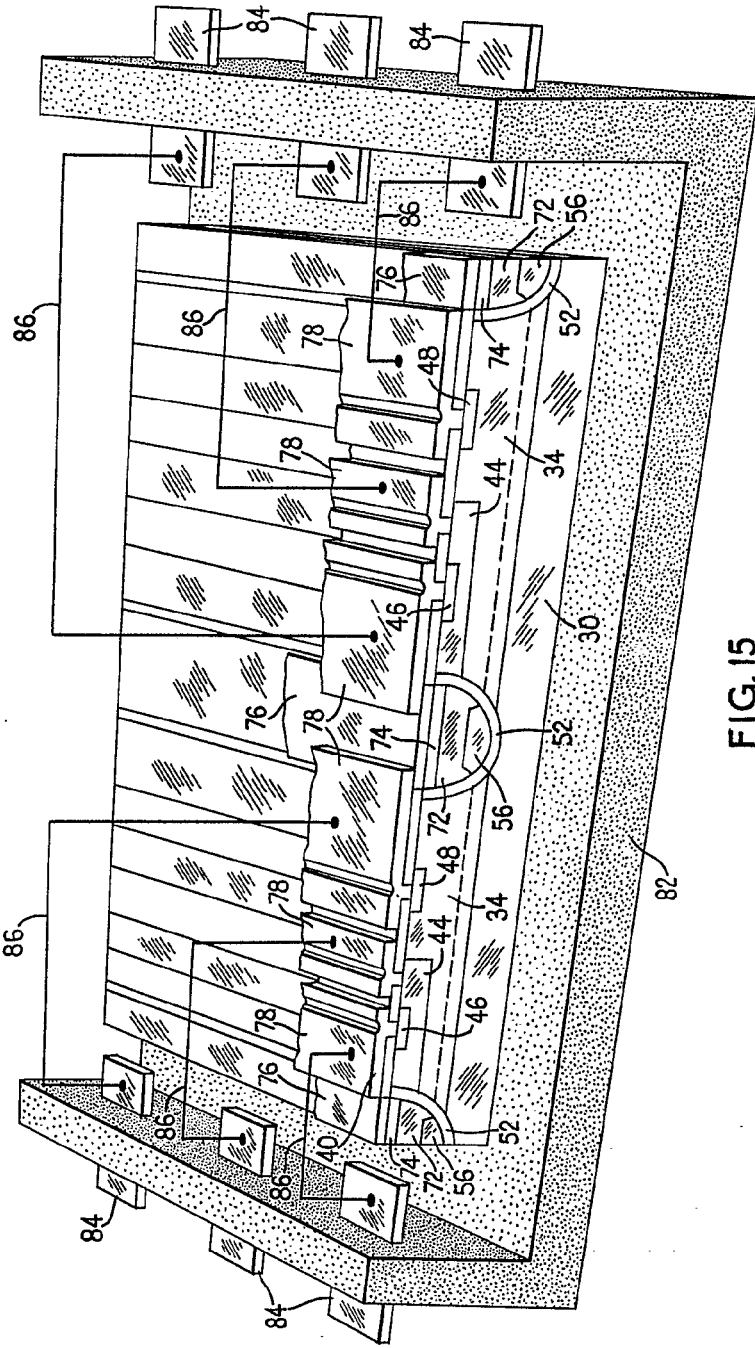


FIG. 15

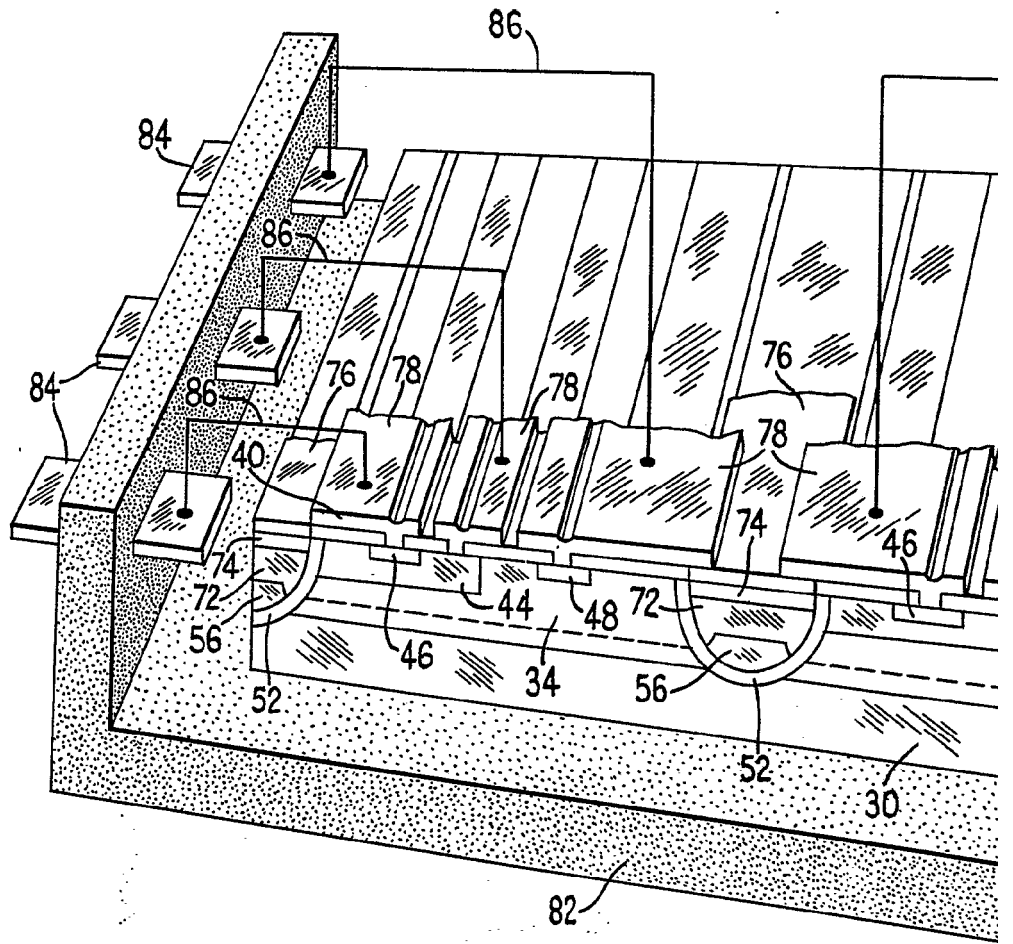
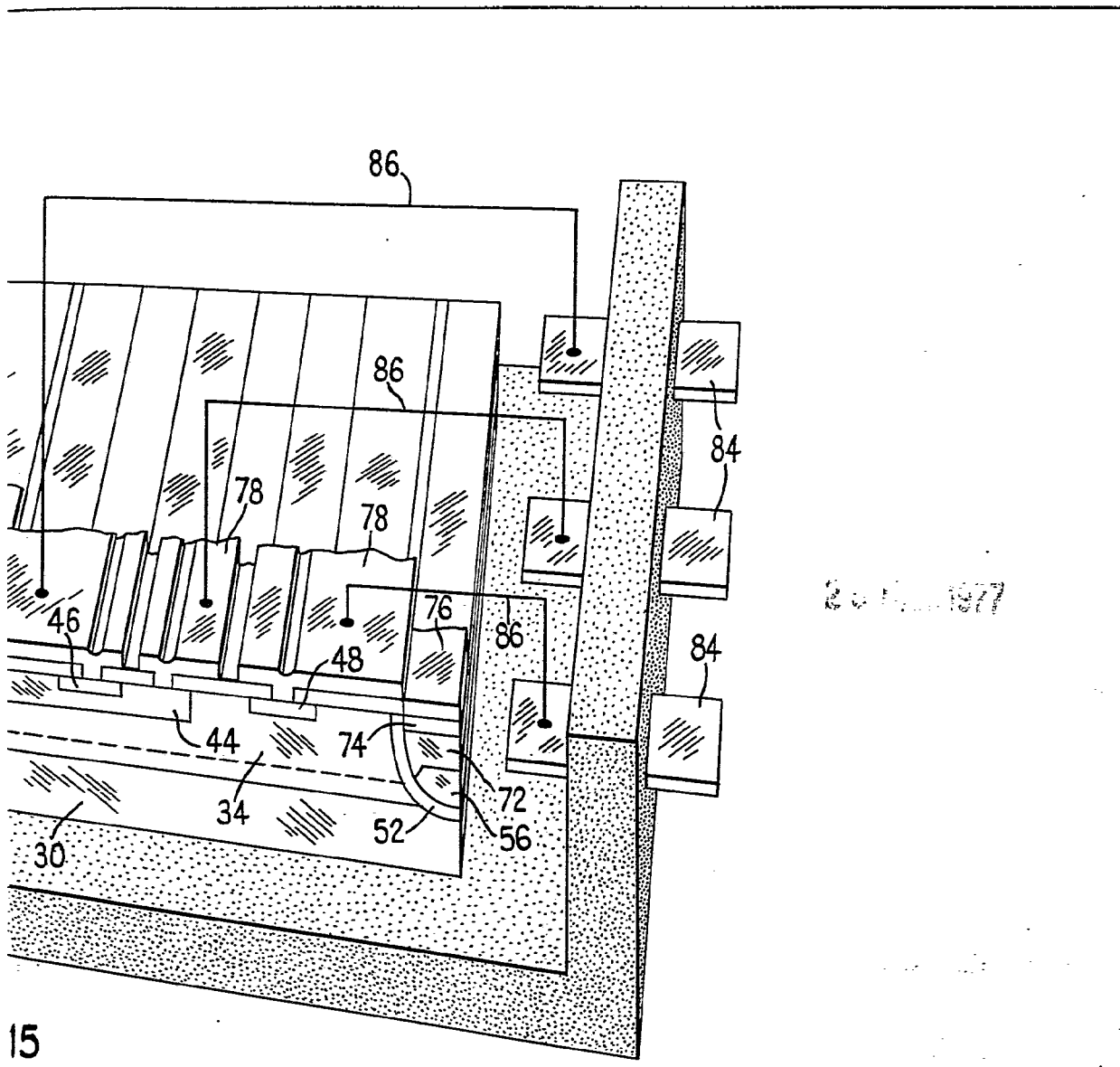


FIG. 15

5/4

U.S. Pat. No. 4,000,000



15

20 1977



W. J. Sauer

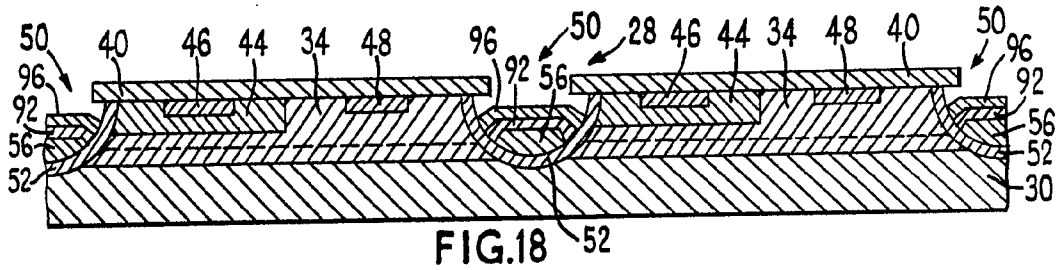


FIG. 18

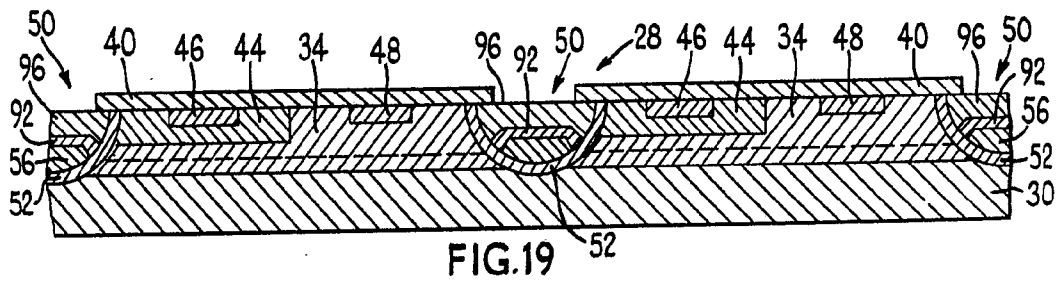


FIG. 19

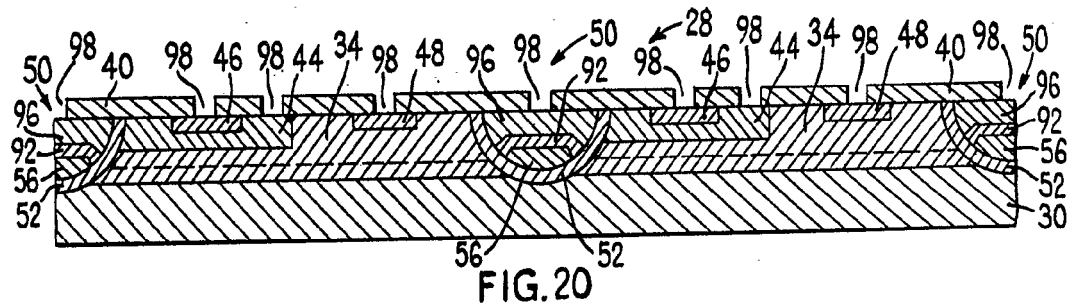


FIG. 20

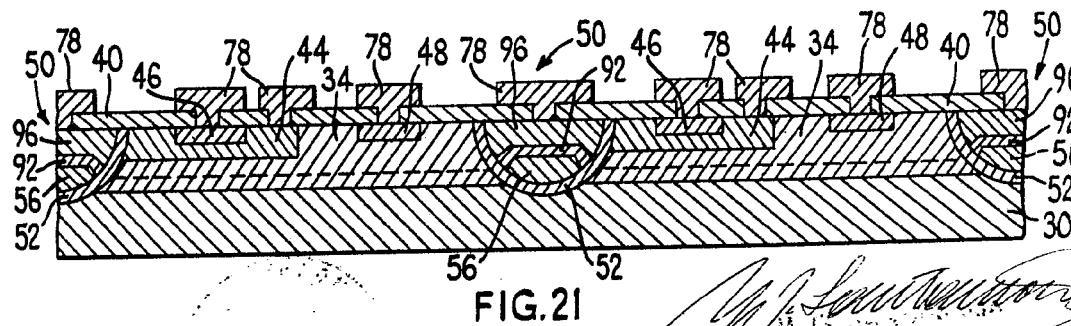


FIG. 21

W. J. ...
W. J. ...
W. J. ...