



ES	(11) NUMERO	A I
	(21) 456.335	
	(22) FECHA DE PRESENTACION	
	26-2-1977	

PATENTE DE INVENCION

P.- 65.091
Docket F09-
-75-037

(30) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
662-493	1-3-76	E.U.A.
(37) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04B	
(54) TITULO DE LA INVENCION		
"UN APARATO DE CORRECCION DE ERROR MEJORADO PARA CORREGIR ERRORES EN INFORMACION BINARIA"		
(71) SOLICITANTE (S)		
INTERNATIONAL BUSINESS MACHINES CORPORATION		
DOMICILIO DEL SOLICITANTE		
Armonk, N.Y. 10504, Estados Unidos de América		
(72) INVENTOR (ES)		
Chin L. CHEN y Robert A. RUTLEDGE		
(73) TITULAR (ES)		
(74) REPRESENTANTE		
DON FERNANDO DE ELZABURU MARQUEZ		

PRINCIPIOS BASICOS

El presente invento se refiere a la corrección de errores que se producen en la transmisión de datos, y más particularmente a la corrección de errores que se producen en la transmisión de datos cifrados por desplazamiento de fase en cuadratura codificados diferencialmente (datos DQPSK).

El cifrado por desplazamiento de fase en cuadratura con codificación diferencial es una técnica de modulación altamente eficiente para canales de comunicación por satélite. En un sistema DQPSK típico cada dos bits binarios secuenciales de información en una cadena de bits i_1, i_2, \dots, i_n binarios origina un desplazamiento θ en la fase ψ de la señal portadora por transformación de la combinación $\lceil (0,0), (0,1), (1,1), (1,0) \rceil$ de los dos bits i_n, i_{n+1} en desplazamientos θ de $\lceil 0^\circ, 90^\circ, 180^\circ, 270^\circ \rceil$, respectivamente, en la fase ψ de la señal portadora. Para expresarlo de otro modo, con el sistema DQPSK, la información θ en cada dos bits i_n, i_{n+1} secuenciales es codificada como diferencia entre fases $\psi_{i+1} - \psi_i$ sucesivas.

La ventaja del sistema de cifrado por desplazamiento de fase (PSK) es que es más eficiente que el cifrado por desplazamiento de frecuencia y la ventaja de la técnica de cifrado por desplazamiento de fase con codificación diferencial (DQPSK) es que elimina la necesidad de transmitir una fase de referencia para evitar la ambigüedad en la descodificación de los datos transmitidos. Sin embargo, una de las desventajas de la técnica DQPSK es que si se produce un error de un solo bitio o un error de 90° en la

1 fase durante la transmisión de Ψ_i , la salida del descodi-
ficador diferencial contendrá dos errores de bitio único:
uno en la estimación de $\Psi_i - \Psi_{i-1}$ y otro es la estima-
ción de $\Psi_{i+1} - \Psi_i$. De este modo, la frecuencia de apari-
5 ción de errores de bitios se duplica y los errores de bi-
tio están correlacionados. La correlación de errores es
el problema más grave porque degrada seriamente la eficien-
cia de un código corrector de error aleatorio. Por ejemplo,
si se utiliza un código convolucional corrector de error
10 único por corrección de error directa, no existe una ga-
rantía de que corrijan los errores de bitio doble.

Una de las soluciones al problema es realizar la
corrección de error antes de la descodificación diferen-
cial de los datos. En este esquema, el descodificador de
15 código de corrección de error (ECC) no necesita tratar
errores de bitio doble, sino que se encuentra con la mis-
ma ambigüedad de fase para cuya solución se utiliza la co-
dificación diferencial. Entre las técnicas para resolver
esta ambigüedad están una búsqueda de adquisición al ini-
ciarse el proceso y siempre que el modulador-desmodulador
20 sufra un deslizamiento de fase de 90°; se pierde así gran
parte de las ventajas de la codificación diferencial.

Otra solución es transmitir parejas de bitios adya-
centes sobre canales diferentes e intercalar entonces las
25 salidas de modo que los errores de bitio único no sean con-
vertidos automáticamente en errores de bitio doble. La di-
ficultad inherente a esta solución es que aumenta la canti-
dad de circuitos necesarios para transmitir y corregir los
datos y aumenta la frecuencia de aparición de errores en
30 los datos transmitidos.

1 OTRAS DOS SOLUCIONES ALTERNATIVAS SERÍAN UTILIZAR
 un código que corrigiese errores que aparecen en grupos de
 impulsos de cuatro bits o utilizar un código de correc-
 ción de error de dos bits para corregir errores de fase
 5 de bitio único. Ambas técnicas son muy ineficientes.

DESCRIPCION DEL INVENTO

Por consiguiente, de acuerdo con el presente inven-
 to, se crea un código convolucional que corrige los errores
 10 de bitio único y la mayor parte de los errores de bitio do-
 ble que se presentan en el sistema DQPSK.

Un código convolucional (m, k) tiene la matriz
 de comprobación de paridad truncada

$$15 \quad H = (D, TD, T^2D, \dots, T^{m-1}D)$$

donde D es una matriz binaria $(n-k) \times n$ y T es la ma-
 triz de desplazamiento definida por

$$20 \quad T_{ij} = \begin{cases} 1 & \text{si } i-j = n-k, \\ 0 & \text{de otro modo} \end{cases}$$

25 Para un código en forma sistemática, las columnas
 i_1, i_2, \dots, i_{k_0} de la matriz D corresponden a bits de in-
 formación, y las restantes $n-k_0$ columnas corresponden a
 bits de paridad. Sea $M_j(i)$ la submatriz de H obtenida
 eliminando todas las filas en las cuales el bitio de orden
 30 i_j es cero. Este código es un código descodificable mayori-

1 tario, corrector de error doble, si para $j = 1, 2, \dots, k$,
0

1. La columna de orden i de la matriz $M(i_j)$ tiene un peso de cuatro.

2. Cualquier otra columna de $M(i_j)$ tiene un peso cero o uno.

5 En otras palabras, las ecuaciones de comprobación de paridad correspondientes a $M(i_j)$ son ortogonalizadas sobre el bitio de orden i_j . Cualquier código de este tipo corregirá todos los errores de bitio único y de bitio doble, y por consiguiente corregirá cualquier tipo de errores de canal DQPSK único (que son errores de dos bitios).

10 El código descrito anteriormente no puede en general corregir errores de canal DQPSK doble. Un error de canal doble consiste indistintamente en un desplazamiento de fase único de 180° o en dos desplazamientos de fase diferentes de 90° . Este código corregirá desplazamientos de fase de 180° si, para $j = 1, 2, \dots, k$ e $i = 1, 2, \dots,$
15

$M_n - 3,$
0

20 3. La combinación lógica "O Exclusiva" de las columnas $i, i + 1, i + 2, i + 3$ de $M(i_j)$ tiene un peso cero o uno si $i_j < i$ o $i_j > i + 3$.

4. La combinación lógica "O Exclusiva" de las columnas $i, i + 1, i + 2, i + 3$ de $M(i_j)$ tiene un peso de tres o cuatro si $i_j - i = 0, 1, 2$ o 3 .

25 El código corregirá dos desplazamientos de fase de 90° , si, para $j = 1, 2, 3 \dots k$ e $i = 1, 2, \dots, M_n - 1,$
0

30 5. La combinación "O Exclusiva" de las columnas i e $i + k$ de $M(i_j)$ tiene un peso cero o un pe

1 so uno, si $i \neq i_j$ e $i + k \neq i_j$, para $k = 1, 2,$
3.

5 6. La columna i de $M(i_j)$ tiene peso cero para
 $|i - i_j| \leq 4$.

En la realización preferida se utiliza un código con redundancia del 40% o un código (40, 24) con $n = 5,$
 $k = 3$ y $m = 8$. En cada secuencia de 40 bitios transmitidos 24 bitios son bitios de información y el resto son bitios de paridad. Se utilizan dos bitios de paridad para corregir cada conjunto de información de tres bitios en la secuencia. Los dos bitios de paridad son generados de acuerdo con las siguientes ecuaciones

$$15 \quad P_8^a = i_8^a \oplus i_8^b \oplus i_6^b \oplus i_1^b \oplus i_3^c \oplus i_2^c \quad (1)$$

$$P_8^b = i_8^a \oplus i_6^a \oplus i_3^a \oplus i_5^b \oplus i_8^c \oplus i_4^c$$

20 donde i_8^a, i_8^b e i_8^c son los bitios de información contenidos en el conjunto corregido por los bitios P_8^a y P_8^b de paridad, mientras que los otros bitios de información proceden de los siete conjuntos en la secuencia precedente al conjunto i_8^a, i_8^b e i_8^c .

25 Si $P_8^a, i_8^a, i_8^b, P_8^b$, e i_8^c es un bloque de bitios recibido en el instante k , los bitios sintomáticos son calculados del modo siguiente:

$$\begin{aligned}
 S_8^a &= P_8^a \oplus i_8^a \oplus i_8^b \oplus i_6^b \oplus i_1^b \oplus i_3^c \oplus i_2^c \\
 S_8^b &= P_8^b \oplus i_8^a \oplus i_6^a \oplus i_3^a \oplus i_5^b \oplus i_8^c \oplus i_4^c
 \end{aligned}$$

(2)

Sean e_k^a, e_k^b, e_k^c los bitios de error correspondientes a los bitios a, b, c de información, respectivamente, en el instante k .

Entonces

$$\begin{aligned}
 i_k^a &= i_k^a \oplus e_k^a, \\
 i_k^b &= i_k^b \oplus e_k^b, \\
 i_k^c &= i_k^c \oplus e_k^c.
 \end{aligned}
 \tag{3}$$

El valor del bitio e_1^a de error se estima como

$$\begin{aligned}
 e_1^a &= \begin{cases} 1 & \text{si 3 o 4 de } [S_1^a, S_1^b, S_3^b, S_6^b] \text{ son 1;} \\ 0 & \text{si 2, 3 o 4 de } [S_1^a, S_1^b, S_3^b, S_6^b] \text{ son 0.} \end{cases}
 \end{aligned}$$

(4)

Si e_1^a tiene un valor estimado de 1, entonces i_1^a es combinado en función lógica "0 Exclusiva" con e_1^a para proporcionar i_1^a . En este caso, los bitios S_1^a, S_1^b, S_3^b y S_6^b sintomáticos son complementados antes de descodificarse el siguiente bitio. El proceso de complementación elimina el efecto de e_1^a de los bitios sintomáticos. Similar-

mente, los valores estimados de e_1^b y e_1^c son determinados de acuerdo con las reglas siguientes:

$$e_1^b = \begin{cases} 1 & \text{si 3 o 4 de } [s_1^a, s_3^a, s_8^a, s_4^b] \text{ son "unos"} \\ 0 & \text{de otro modo;} \end{cases}$$

$$e_1^c = \begin{cases} 1 & \text{si 3 o 4 de } [s_6^a, s_7^a, s_1^b, s_5^b] \text{ son "unos"} \\ 0 & \text{de otro modo.} \end{cases}$$

(6)

Este código preferido satisface las condiciones 1, 2, 3 y 4. No es posible satisfacer las condiciones 5 y 6 en todos los casos; sin embargo, este código satisface las condiciones 5 y 6 en tantos casos como es posible; es decir, satisface la condición 5 para 299 de 327 casos y satisface la condición 6 para 6 de 15 casos. De este modo, aún cuando el código es incapaz de corregir todos los errores de bitio doble posibles, es posible corregir aproximadamente el 60% de los errores diferenciales de bitio doble.

Por consiguiente, un objeto del presente invento es crear una técnica de corrección de error para datos DQPSK.

Un objeto adicional del presente invento es crear medios para corregir todos los errores de bitio único y la mayor parte de los errores de bitio doble en datos DQPSK.

Otros objetos del invento son crear una técnica de corrección de error para datos DQPSK con el menor grado de redundancia y la mínima cantidad de aparatos de co

1 corrección de error.

DESCRIPCION DE LOS DIBUJOS

5 Estos y otros objetos, características y ventajas del invento se pondrán de manifiesto por la siguiente descripción más particular de la realización preferida del invento en combinación con los dibujos, de los cuales:

10 La figura 1 representa un sistema DQPSK que incorpora el presente invento;

La figura 2 representa un codificador utilizado para generar los bitios de paridad en el sistema de la figura 1.

15 La figura 3 representa el aparato para calcular los bitios sintomáticos en el sistema de la figura 1; y

la figura 4 representa el descodificador para generar los bitios de información corregidos en el sistema de la figura 1.

DESCRIPCION DE LOS DIBUJOS

20 Con referencia ahora a la figura 1, en cualquier grupo de 24 bitios de datos los bitios i de información están divididos en conjuntos de tres bitios cada uno. Estos conjuntos de tres bitios son alimentados al descodifi-
25 cador 10 corrector de error donde son generados los bitios de paridad de acuerdo con la ecuación 1. Los bitios de paridad y los bitios de información son situados entonces en el codificador 12 de fase donde cada dos bitios en secuencia son definidos nuevamente en función de un cambio θ

30

1 de fase, como se representa en el diagrama 14. Dependiendo
 del estado de cada uno de los bitios, estos cambios de fa-
 se son utilizados entonces para modular la fase de la por-
 tadora en el codificador 16 diferencial de modo que, des-
 5 ptes del primer cambio de fase, la fase de la portadora
 será $\psi_1 = \theta_1$. Después del segundo cambio de fase la fase
 de la portadora será $\psi_2 = \psi_1 + \theta_2$, y así sucesivamente, de
 modo que los datos quedan expresados en la forma de un des-
 plazamiento de fase de una señal portadora. La señal por-
 10 tadora con sus datos codificados en fase es transmitida has-
 ta una segunda estación en donde un descodificador 20 di-
 ferencial descodifica los cambios en la fase de la portado-
 ra para volver a obtener desplazamientos de la fase, de
 modo que la salida θ' , del descodificador diferencial des-
 15 pués del segundo cambio de fase, será igual a ψ'_1 , y des-
 pués del segundo cambio de fase será igual a $\psi'_2 - \psi'_1$,
 etc.

Los datos codificados en fase son alimentados a un
 descodificador 22 de fase que convierte los datos nuevamen-
 20 te en señales binarias que incluyen dos bitios P^a_8 y P^b_8
 de paridad, y tres bitios i^a_8 , i^b_8 e i^c_8 de información
 en cada conjunto. Utilizando los bitios de paridad y los
 bitios de datos del conjunto y algunos de los bitios de los
 conjuntos precedentes, suponiendo que son correctos, el des-
 25 codificador 24 ECC proporciona los bitios de datos corri-
 gidos del conjunto i^a_8 , i^b_8 , e i^c_8 real.

Con referencia ahora a la figura 2, puede verse có-
 mo se generan los bitios de paridad. Es alimentada una cade-
 30 na en serie de bitios de datos a una de las entradas de cada

una de tres puertas "Y" 26. La otra entrada a las tres
puertas "Y" 26 procede de una salida independiente de un
contador 28 de anillo de tres posiciones sincronizado con
la frecuencia de la transmisión de datos de modo que cada
bitio de cualquier conjunto de tres bitios es transmitido
a través de una puerta diferente de las tres puertas "Y".
Las salidas de cada una de estas puertas "Y" 26 conducen
a un registro 30 de desplazamiento de ocho posiciones in-
dependiente que contiene bitios de información de los siete
conjuntos incluidos en la secuencia. Ciertos bitios son
entonces combinados en función lógica "O" exclusiva en
las puertas 32 "O Exclusivas" de acuerdo con las ecuacio-
nes (1) para generar los bitios de paridad correspondien-
tes al presente conjunto. Los bitios para el conjunto ac-
tual y los bitios de paridad generados son entonces situa-
dos cada uno en una puerta "Y" 34 independiente. La otra
entrada a la puerta "Y" 34 procede de un contador 36 de
anillo que envía un impulso para activar las puertas se-
cuencialmente para proporcionar una cadena en serie de
dos bitios de paridad y tres bitios de información a par-
tir de cada conjunto en la salida común a las puertas "Y"
34. Estos conjuntos de cinco bitios son alimentados enton-
ces al codificador 10 de fase.

Con referencia a la figura 3, puede verse como se
generan los bitios sintomáticos. La cadena en serie de
bitios de datos procedente del descodificador 22 es alimen-
tada, a través de las puertas "Y" 38 controladas por el
contador 40 de anillo, a los registros 42 de desplazamien-
to independientes que contienen datos procedentes de los
últimos conjuntos de la secuencia. Estos bitios son combi-

1 nados mutuamente en función lógica "0 Exclusiva" y con el
 conjunto presente de bitios de paridad en los circuitos
 44 "0 Exclusivos" para generar los bitios 5_8^a y 5_8^b sinto-
 máticos de acuerdo con las ecuaciones 2. Estos bitios sin
 5 tomáticos son alimentados entonces a dos registros 46 de
 desplazamiento adicionales y las salidas de los cinco re-
 gistros de desplazamiento están conectadas en paralelo al
 circuito corrector de error de la figura 4.

10 En la figura 4, tres conjuntos 48, 50 y 52 de 3
 registros de desplazamiento cada uno reciben los bitios
 sintomáticos y bitios de datos de un conjunto de bitios.
 Cada conjunto de registros de desplazamiento recibe uno de
 los tres bitios $i_8^{a'}$, $i_8^{b'}$, o $i_8^{c'}$ de información y ambos
 bitios S_8^a y S_8^b sintomáticos, como se representa. Los bi-
 15 tios sintomáticos son sumados entonces en los sumadores 54
 de módulo 2 de acuerdo con las fórmulas (4) (5) y (6). Los
 resultados son entonces combinados en función lógica "0
 Exclusiva" en los circuitos 56 "0 Exclusivos" con los bi-
 tios $i_1^{a'}$, $i_1^{b'}$, e $i_1^{c'}$ de información para generar los bi-
 20 tios i_1^a , i_1^b , e i_1^c de información corregidos. Las sali-
 das de cada uno de los conjuntos de registro de desplaza-
 miento son entonces alimentadas a una puerta "Y" 58 que
 recibe también una señal temporizada independientemente de
 un contador 60 de anillo de modo que la salida de las puer-
 25 tas "Y" contiene una cadena en serie de los bitios de da-
 tos corregidos.

30 Por consiguiente, aún cuando el invento ha sido ex-
 puesto particularmente y descrito con referencia a una
 realización preferida del mismo, los expertos en la técni-
 ca entenderán que pueden realizarse los anteriores y otros

1 cambios en la forma y detalle sin apartarse de la esencia
y campo de aplicación del invento.

REIVINDICACIONES

5 Los puntos de invención propia y nueva que se pre-
sentan para que sean objeto de esta solicitud de Patente
de Invención en España, por VEINTE años, son los que se re-
cogen en las reivindicaciones siguientes:

10 1ª.- Un aparato de corrección de error mejorado pa-
ra corregir errores en información binaria que ha sido
transmitida utilizando un aparato que codifica y descodi-
fica los datos como datos cifrados por desplazamiento de
15 fase en cuadratura codificados diferencialmente y que uti-
liza un código (m₀, m₀) convolucional con la matriz de
comprobación de paridad truncada:

$$H = (D, TD, T^2 D, \dots, T^{m-1} D)$$

20 donde D es una matriz binaria $(n - K) \times n$ y T es la ma-
triz de desplazamiento definida por

$$T_{ij} = \begin{cases} 1 & \text{si } i-j = n - k \\ & 0 \quad 0 \\ 0 & \text{de otro modo} \end{cases}$$

25 donde $m(i_j)$ es una submatriz de la matriz H eliminando to-
das las filas en las cuales es cero el bitio de orden i,
la columna de orden i_j de la matriz M (i_j) tiene un peso
30 de cuatro y todas las demás columnas de M (i_j) tiene peso

1 cero o uno, comprendiendo la mejora: primeros medios de re-
 gistro de desplazamiento acoplados a la entrada del aparato
 para codificar los datos como datos cifrados por despla-
 zamiento de fase en cuadratura codificados diferencialmen-
 5 te para dividir una secuencia de dichos bitios de datos en
 una pluralidad de conjuntos y generar bitios de paridad pa-
 ra cada conjunto de los bitios de información binaria en
 la secuencia de acuerdo con la submatriz (M_{ij}) donde la
 combinación 0 EXCLUSIVA de las columnas $i, i + 1, i + 2,$
 10 $i + 3$ de $M(i_j)$ tiene un peso cero o un peso uno si $i_j \leq i$
 o $i_j > i + 3$, y la combinación 0 EXCLUSIVA de las columnas
 $i, i + 1, i + 2, i + 3$ de $M(i_j)$ tiene peso tres o cuatro
 si $i_j - i = 0, 1, 2$ o 3 ; segundos medios de registro de
 desplazamiento en la salida del aparato que descodifican
 15 datos cifrados por desplazamiento de fase en cuadratura
 codificados diferencialmente para dividir una secuencia de
 bitios de datos descodificados en un número de conjuntos
 que incluyen los bitios de información y bitios de paridad
 de conjuntos codificados y terceros medios de registro de
 20 desplazamiento acoplados a la salida de los segundos medios
 de registro de desplazamiento para recibir dichos bitios
 sintomáticos generados de la secuencia y los bitios de da-
 tos de las secuencias para corregir dichos bitios de datos.

25 2ª.- El aparato de la reivindicación 1ª, en donde
 los primeros, segundos y terceros medios de registro de
 desplazamiento codifican y descodifican los datos de acuer-
 do con la submatriz (M_{ij}) donde la combinación 0 EXCLUSIVA
 de la mayor parte de las columnas y $2K$ de $M(i_j)$ tiene un
 peso cero o un peso uno si $i \neq i_j$ y $2 + K \neq i_j$ para
 30 $K = 1, 2, 3$ y parte de la columna i de $M(i_j)$ tiene peso

1 cero para $|i - j| \leq 4$.

3ª.- El aparato de la reivindicación 1ª, en donde:
 los primeros medios de registro de desplazamiento inclu-
 5 yen medios para dividir la secuencia de 24 bitios de infor-
 mación en 8 conjuntos de 3 bitios cada uno y generar dos
 bitios de paridad para cada uno de los conjuntos de acuer-
 do con las ecuaciones:

10
$$P_8^a = i_8^a \oplus i_8^b \oplus i_6^b \oplus i_1^b \oplus i_3^c \oplus i_2^c$$

$$P_8^b = i_8^a \oplus i_6^a \oplus i_3^a \oplus i_5^b \oplus i_8^c \oplus i_4^c$$

15 donde i_8^a , i_8^b e i_8^c son los bitios de información en el
 conjunto corregido por los bitios P_8^a y P_8^b de paridad
 mientras que los otros bitios de información proceden de
 los siete conjuntos en la secuencia precedente al conjun-
 to i_8^a , i_8^b e i_8^c ; los segundos medios de registro de
 desplazamiento incluyen medios para generar los bitios sin-
 20 tomáticos de acuerdo con las ecuaciones:

$$S_8^a = p_8^a \oplus i_8^a \oplus i_8^b \oplus i_6^b \oplus i_1^b \oplus i_3^c \oplus i_2^c$$

25
$$S_8^b = p_8^b \oplus i_8^a \oplus i_6^a \oplus i_3^a \oplus i_5^b \oplus i_8^c \oplus i_4^c$$

los terceros medios de registro de desplazamiento corrigen
 los bitios erróneos de acuerdo con las ecuaciones:

$$i'_k{}^a = i_k{}^a \oplus e_k{}^a$$

$$i'_k{}^b = i_k{}^b \oplus e_k{}^b$$

$$i'_k{}^c = i_k{}^c \oplus e_k{}^c$$

donde

$$e_1{}^a = \begin{cases} 1 & \text{si 3 o 4 de } [S_1^a, S_1^b, S_3^b, S_6^b] \text{ son 1} \\ 0 & \text{de otro modo} \end{cases}$$

$$e_1{}^a = \begin{cases} 0 & \text{si 2, 3 o 4 de } [S_1^a, S_1^b, S_3^b, S_6^b] \text{ son 0} \\ 1 & \text{de otro modo} \end{cases}$$

$$e_1{}^b = \begin{cases} 1 & \text{si 3 o 4 de } [S_1^a, S_3^a, S_8^a, S_4^b] \text{ son 1} \\ 0 & \text{de otro modo} \end{cases}$$


$$e_1{}^c = \begin{cases} 1 & \text{si 3 o 4 de } [S_6^a, S_7^a, S_1^b, S_5^b] \text{ son 1} \\ 0 & \text{de otro modo} \end{cases}$$

4ª.- Un aparato de corrección de error mejorado para corregir errores en información binaria.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

1 Esta Memoria consta de diecisiete hojas escritas
a máquina por una sola cara.

Madrid, 05. ABR. 1977

5 P.A. Fernando de Elzaburu
Por Poder 

10

15

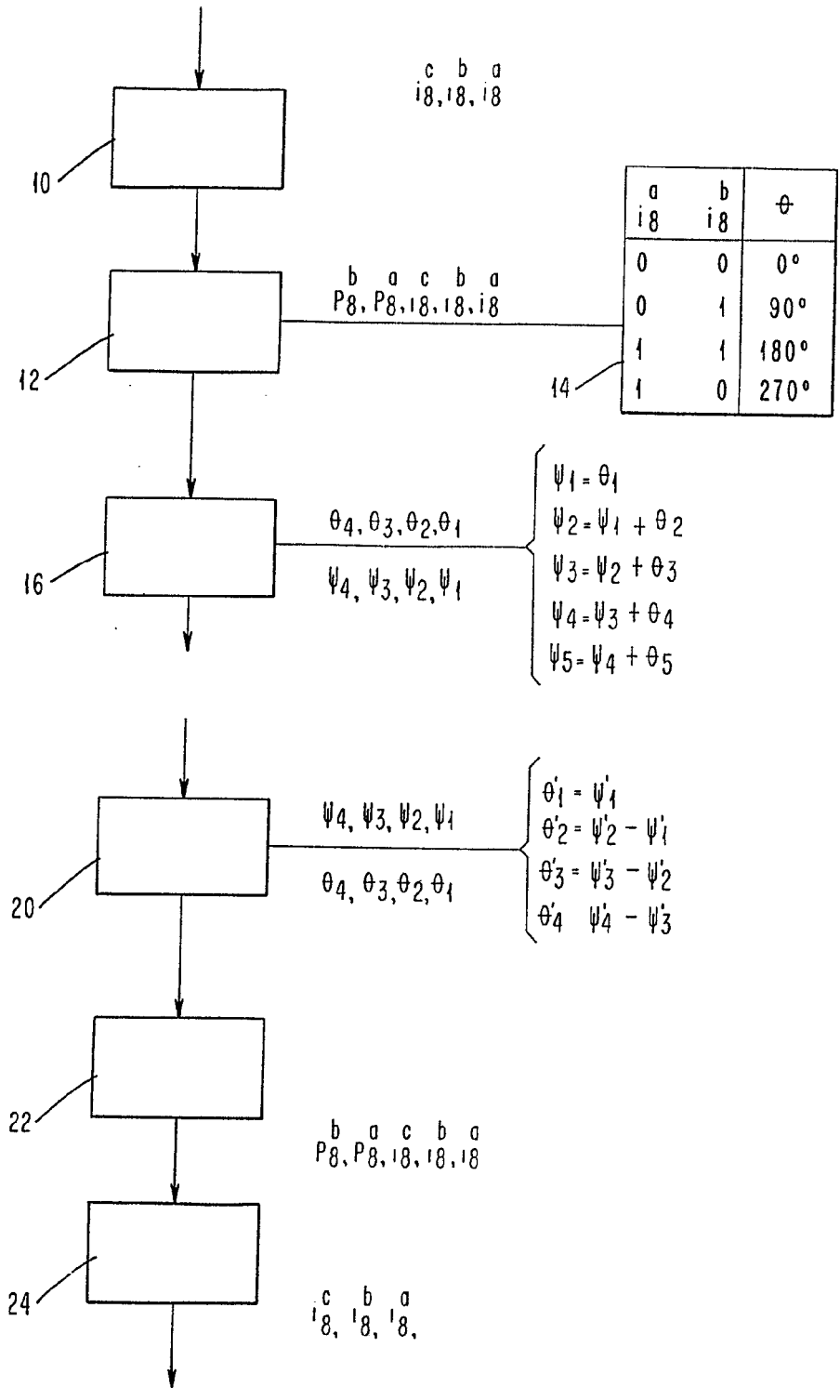
20

25

CR.

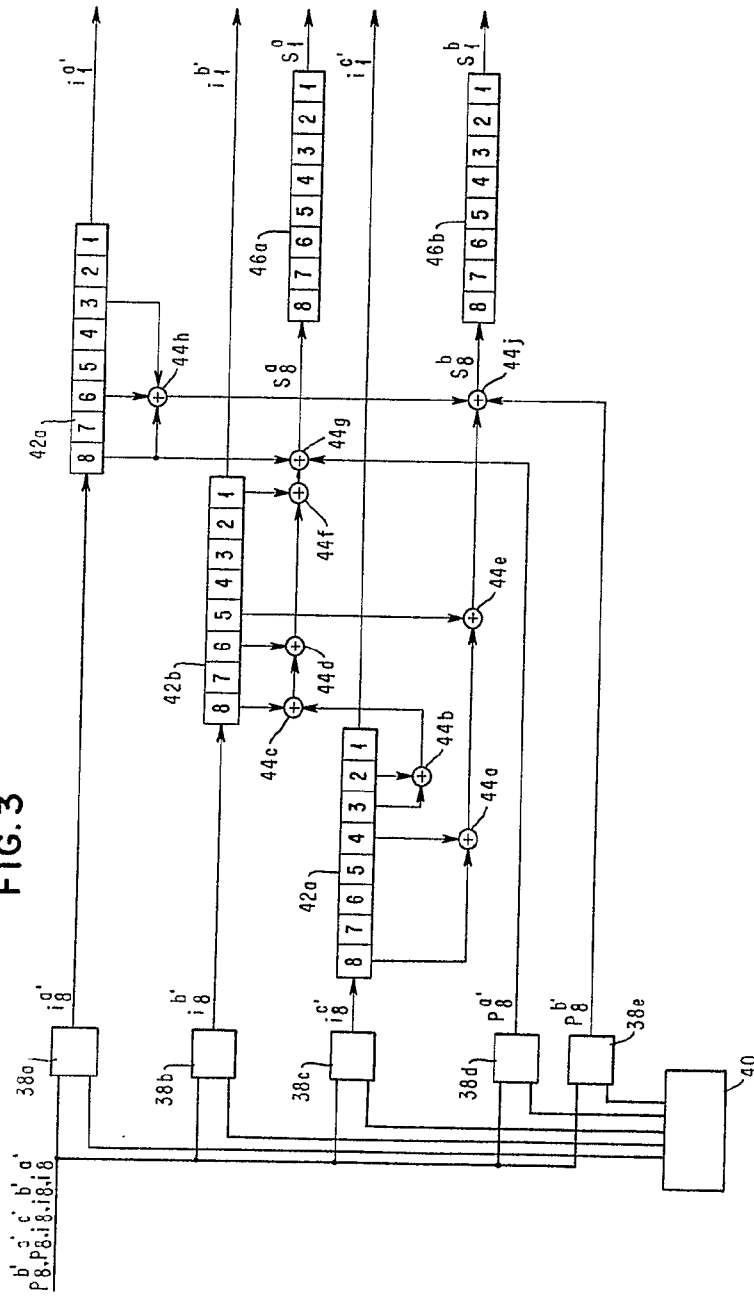
30

FIG. 1



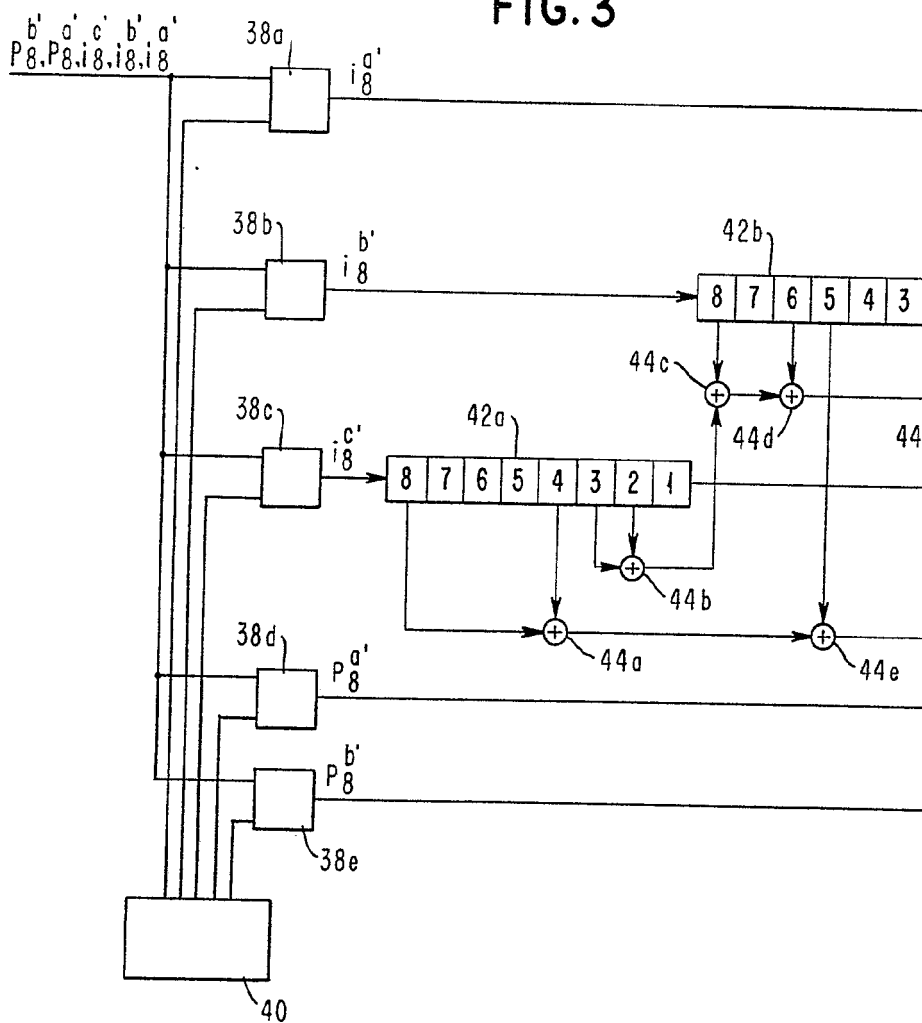
Fernando de Azaburo
 Por Poder. *[Signature]*

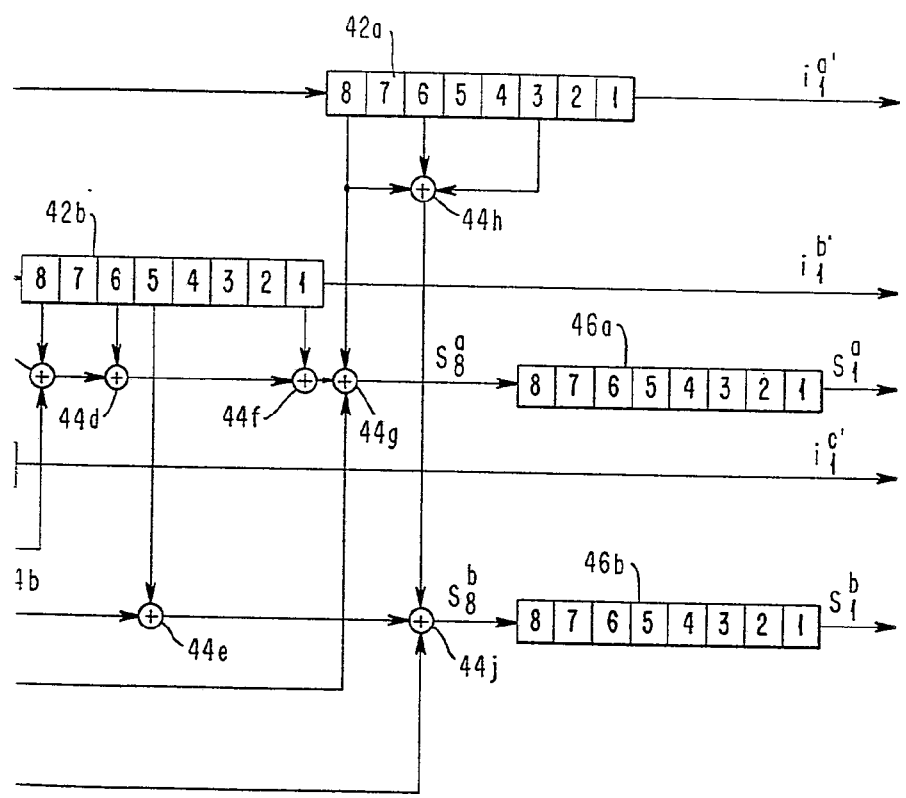
FIG. 3



Ferruccio De Luca
 Per Poser

FIG. 3





Fernando de Elzaburu
 Por Poder. *[Signature]*

FIG. 2

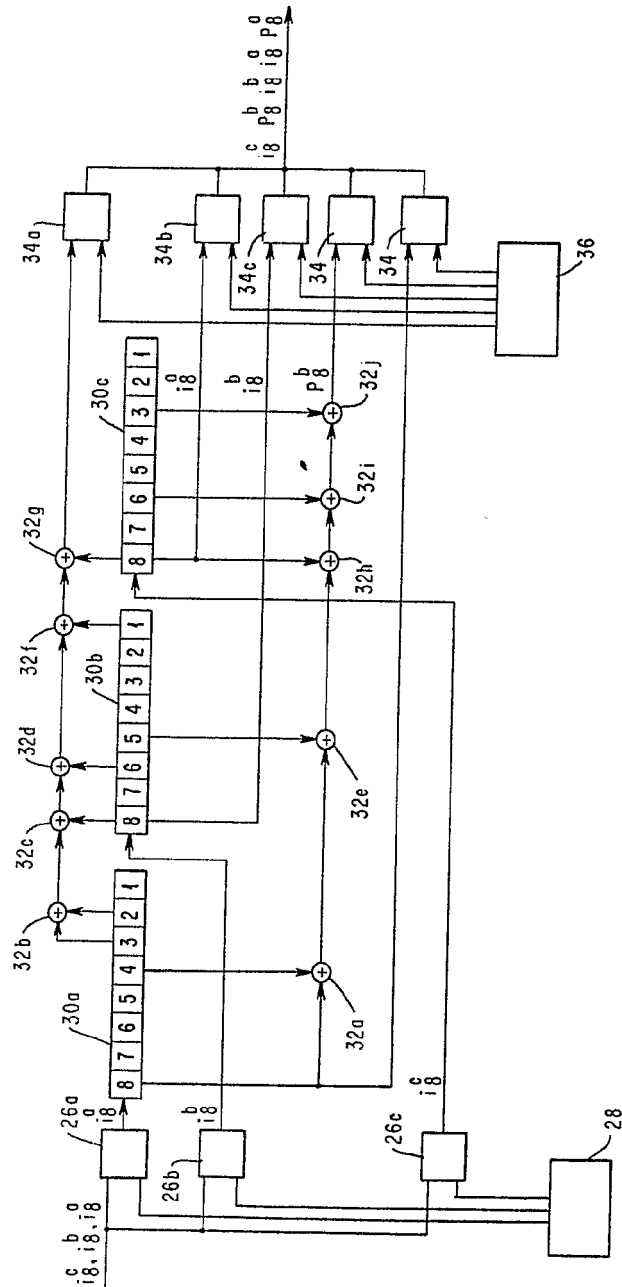
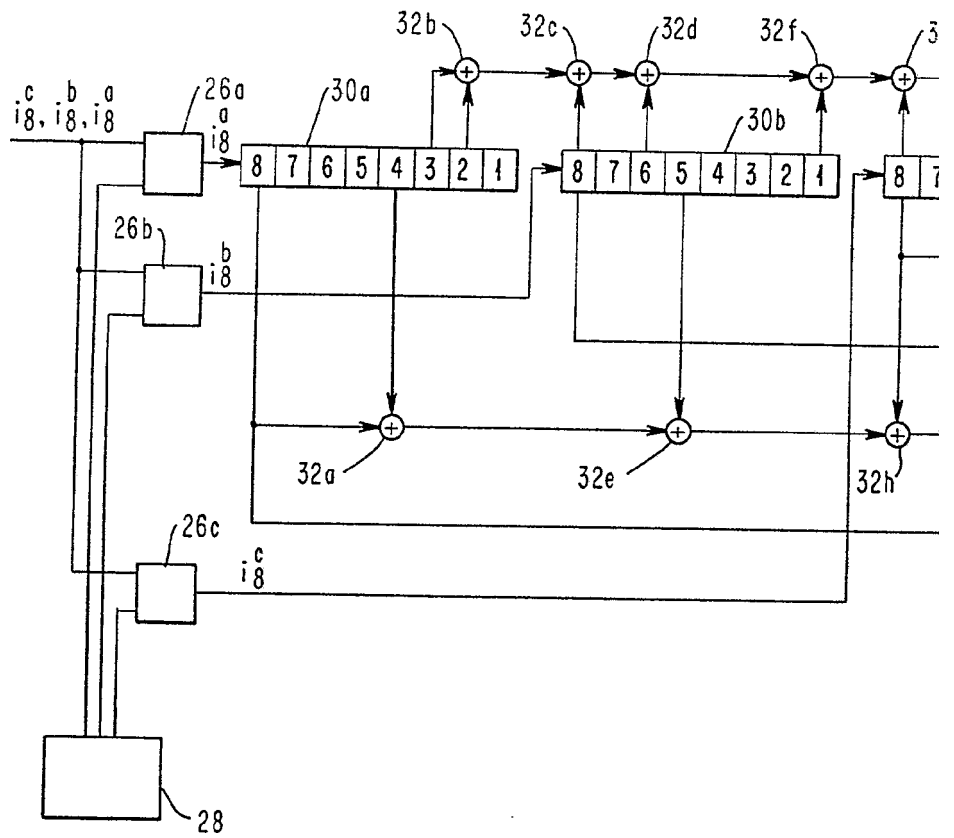
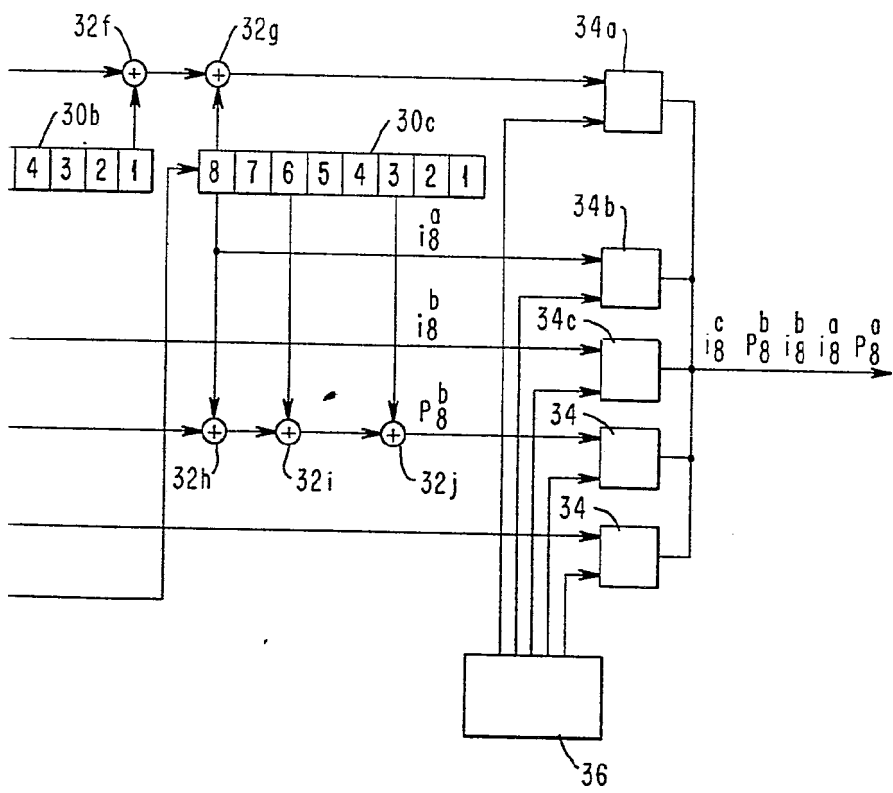


FIG. 2





Fernando de Azevedo
Por Poder.