

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



19 ES	11	455837	10 A1
	21		
	22	FECHA DE PRESENTACION	

PATENTE DE INVENCION

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
2/54827=383 530	13.Febrero.76	Bélgica
21 NOV. 1977		
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	65 PATENTE DE LA QUE ES DIVISIONARIA
	H. 07/1/608C	
54 TITULO DE LA INVENCION		
"UN SISTEMA DE TRANSMISION MULTIPLEX"		
71 SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, no. 5		
72 INVENTOR (ES)		
Marcel Clément René Natens		
73 TITULAR (ES)		
74 REPRESENTANTE		
D. Manuel Gómez Santamaria.		

El presente invento se refiere a un sistema de transmisión de señal múltiplex con varios canales de entrada de señal principales, un canal de salida de señal elementos de reloj que generan varios trenes de impulsos de muestreo, y un multiplexor controlado por dichos elementos de reloj para muestrear una señal de entrada principal en cada uno de los canales de entrada utilizando uno de los trenes de impulsos que tenga una frecuencia relacionada con la frecuencia de la señal principal. Las señales así muestreadas se aplican en forma múltiplex a dicho canal de salida junto con las señales de entrada auxiliares.

Este sistema de transmisión de señal múltiplex ya se conoce por la patente española no. 374.416. Allí se describió como un conjunto de flujos de bits de datos que aparecen por los canales de entrada y que tienen cada uno diferentes velocidades de bits, por ejemplo, 600 bit/seg.; 1.200 bit/seg, etc, se muestrean y multiplexan para formar un flujo de bits resultante. Este último flujo de bits se aplica a un registro intermedio con multicircuito lógico asociado en donde se le añaden los bits de relleno y de sincronización, el flujo de bits así obtenido se aplica finalmente a un canal de salida conectado a un canal MIC (modulación por impulsos codificados) de un sistema de transmisión MIC. Una desventaja de este sistema conocido es que la inserción de tal información auxiliar requiere equipo adicional, más concretamente, el registro intermedio y el multicircuito lógico asociado.

Un objetivo del presente invento es evitar esta desventaja y, además, hacer posible una modificación sistemática del sistema cuando se desee tratar una nueva combina-

ción de flujos de bits de datos, por ejemplo, que tengan mayores velocidades, de tal manera que el muestreo de algunos flujos de bits a mayor velocidad que anteriormente se pueda realizar en todos los casos.

5 Este objetivo se consigue, según el invento, por el hecho de que el multiplexor está también adaptado para muestrear dichas señales de entrada auxiliares, realizándose esta operación de muestreo por impulsos que están distribuidos entre los impulsos que pertenecen a un conjunto de, por lo menos, dos de los trenes de impulsos de muestreo por los cuales las señales de entrada principales de un conjunto de, por lo menos, dos señales principales, se muestrean a una misma frecuencia, y porque los impulsos de dichos trenes de impulsos de muestreo de dicho conjunto están mutuamente entrelazados y mutuamente equidistantes.

10 Ya que ambas señales de entrada, la principal y la auxiliar, se muestrean y multiplexan por el multiplexor éste, puede estar conectado directamente al canal de salida sin que se requiera equipo adicional entre este multiplexor y el canal de salida. Además para muestrear una señal de entrada principal a una frecuencia que sea, por ejemplo m veces mayor que aquella en la que, por ejemplo, se muestrean m señales de entrada principales de un juego a una misma frecuencia, es suficiente sustituir las últimas m señales de entrada principales por la anterior y muestrear esta señal de entrada principal por los impulsos de un nuevo tren de impulsos de muestreo obtenido simplemente mezclando los impulsos de muestreo que pertenecen a los m trenes de impulsos correspondientes. Por supuesto que, los impulsos así obtenidos constituyen un tren de impulsos de muestreo propio

para la señal de entrada principal.

Las señales de entrada auxiliares anteriores se utilizan para transportar los datos de señalización, por ejemplo, para una requisición de datos recibidos erróneamente, datos de sincronización u otros datos adicionales. En el caso de que se utilicen las señales de entrada auxiliares para fines de señalización puede ser de interés, tal como para las señales de entrada principales, hacer posible una modificación sistemática del equipo cuando se desee manejar una nueva combinación de flujos de bits de señalización, por ejemplo, que tengan mayores velocidades, de tal manera que, pueda realizarse en todos los casos el muestreo de algunos flujos de bits a una velocidad mayor que la anterior.

A este fin y de acuerdo con otra característica del presente invento, cada una de las señales de entrada auxiliares se muestrea por un tren de impulsos de muestreo correspondiente, mostrándose un juego de, por lo menos, dos de las señales de entrada auxiliares, a una misma frecuencia por un juego correspondiente de, por lo menos, dos trenes de impulsos de muestreo, los impulsos de los cuales están mutuamente entrelazados y mutuamente equidistantes.

De esta manera, es posible muestrear una señal de entrada auxiliar a una frecuencia que es mayor que aquella a la que se muestrean las señales de entrada auxiliares de dicho conjunto, muestreando esta señal de entrada auxiliar por los impulsos de un nuevo tren de impulsos de muestreo simplemente mezclando los impulsos de muestreo que pertenecen a, por lo menos, dos de los trenes de impulsos del conjunto.

Otra característica del presente sistema de señal múltiplex es que las señales principales de entrada y las señales auxiliares de entrada se subdividen en uno ó más grupos, siendo muestreadas las señales de entrada de cada grupo por un grupo correspondiente de trenes de impulsos de muestreo de los que pertenecen a una misma serie de impulsos de muestreo equidistantes, y estando entrelazados los impulsos de muestreo de series diferentes y, por lo menos, uno de dichos grupos de señales de entrada principales o auxiliares incluye un juego de señales de entrada principales o auxiliares, mientras que el grupo correspondiente de trenes de impulsos incluye un juego correspondiente de trenes de impulsos.

Esto significa que el juego de señales de entrada principales o auxiliares al que es aplicable la anterior característica no necesita incluir todas las señales de entrada auxiliares o principales, porque este número puede dividirse en uno o más grupos, por ejemplo, 16 + 16 para las señales de entrada, con la característica posiblemente aplicable para cada grupo.

De acuerdo con una configuración preferida del invento, el presente sistema de transmisión de señal múltiplex está adaptado para muestrear un máximo de 32 señales de entrada principales utilizadas para transportar datos principales y un máximo de 64 señales de entrada auxiliares de las que 32 se utilizan para transportar información de señalización, mientras que las otras 32 se usan para transportar información de sincronización. El equipo incluye un máximo de 32 canales de entrada principales para las 32 señales de entrada principales, un máximo de 32 canales de entrada auxiliares para las 32 señales de entrada auxiliares que trans-

portan la información de señalización, elementos para generar otras 32 señales de entrada auxiliares que transportan información de sincronización, elementos de reloj que definen un multicuadro que consiste de 4 cuadros que comprende

5 cada uno 48 impulsos de muestreo porque la frecuencia más baja a la que puede muestrearse las señales de entrada principales es cuatro veces mayor que la frecuencia más baja a la que pueden muestrearse las señales de entrada auxiliares. Los 4 x 48 impulsos de muestreo del multicuadro están forma-

10 dos por 3 juegos entrelazados de 64 impulsos de muestreo, utilizándose los 3 x 16 impulsos de muestreo de los juegos entrelazados de cada cuadro para muestrear dos juegos de un máximo de 16 señales de entrada principales y un juego de un máximo de 16 señales de entrada auxiliares de las que 8

15 se utilizan para transportar la información de señalización mientras que las otras 8 se utilizan para transportar información de sincronización, y un multiplexor controlado por los elementos de reloj con las entradas conectadas a los 64 canales de entrada auxiliares y a los elementos de generación

20 de la información de sincronización, estando conectada la salida del multiplexor a un canal de salida que, a su vez, está conectado a un canal de un sistema de transmisión MIC (modulación por impulsos codificados). En cada cuadro, y por cada uno de los dos juegos de 16 canales principales que,

25 por ejemplo, transportan los datos a una velocidad de 600 bit/seg., pueden sustituirse combinaciones de dos o más canales por canales que transporten los datos a una de las velocidades más elevadas de 1,2; 2,4; 4,8; ó 9,6 bit/seg combinando apropiadamente los 16 impulsos de muestreo asignados a este juego. Esto mismo ocurre para los 32 canales

30

auxiliares de entrada de cada multicuadro.

El presente invento se refiere tambien a un dispositivo receptor, para un sistema de transmisión de datos, adaptado para recuperar las señales de datos binarios que
5 tengan una frecuencia de reloj de datos a partir de las señales de datos recibidas, que tengan una frecuencia de reloj de transmisión mayor que dicha frecuencia de reloj de datos y derivada de las señales de datos binarias que tengan dicha frecuencia de reloj de datos, incluyendo dicho dispositivo
10 receptor un generador de reloj de datos local con un reloj de datos local; un circuito biestado acoplado a la salida del generador de reloj de datos local y a la entrada del dispositivo receptor para muestrear las señales de datos binarios recibidos en instantes que coincidan con un tipo
15 de transición en dicho reloj de datos local; un detector de transición acoplado tambien a la entrada de dicho dispositivo receptor para producir señales de salida en cada transición de dichas señales de datos binarios recibidas, y al generador de reloj de datos local, incluyendo además elementos
20 de comparación de fase acoplados al detector de transición para comparar la posición de fase de las señales de salida del detector de transición con el elemento de posición de fase de, por lo menos, el otro tipo de transición de dicho reloj de datos local, y elementos de sincronización
25 de fase acoplados entre dicho circuito de comparación de fase y el reloj de datos local para ajustar la fase del reloj de datos local en función del resultado de dicha comparación.

Tal dispositivo receptor ya se conoce por la patente norteamericana 3.819.853. Allí la fase del reloj de
30 datos local se ajusta en cada transición en la señal de datos

recibida de tal manera que estas correcciones de fase tengan que ser relativamente pequeñas a fin de impedir la aparición de un jitter (inestabilidad) relativamente elevado. Si las correcciones de fase no eran pequeñas, podría producirse dicho jitter (inestabilidad) cuando se realizaran un número relativamente elevado de correcciones de fase sucesivas con la misma dirección acumulada.

Un objetivo del presente invento es proporcionar un dispositivo receptor de este tipo mejorado en donde las correcciones de fase tengan que realizarse con menos frecuencia.

Según el invento, este objetivo se consigue por el hecho de que el generador de reloj de datos incluye elementos para generar impulsos que definen primeros y segundos intervalos de ventana situados a ambos lados de dicha posición de fase del elemento del otro tipo de transición del reloj de datos local, estando adaptados los elementos de comparación de fase para comparar la posición de fase para comparar la posición de fase de los impulsos de salida del detector de transición con la posición de fase de los intervalos de ventana.

Los objetivos anteriores y otros del presente invento, así como el invento mismo, aparecerán mejor explicados en la descripción que sigue junto con los dibujos que se acompañan en los cuales:

La fig. 1 es un diagrama bloque de un sistema de transmisión de voz y datos múltiplex que incluye un equipo de transmisión de señal múltiplex MDE1 según el invento;

La fig. 2 es un diagrama bloque de parte de este equipo de transmisión de señal múltiplex MDE1;

La fig. 3 muestra un multicuadro de tiempo de transmisión utilizado en un equipo de transmisión de señal múltiplex MDE1 de la fig. 2;

5 Las figs. 3 a 5 representan con más detalle parte del circuito múltiplex MC de la fig. 2,

Las figs. 6, 7 y 8 muestran los trenes de impulsos que aparecen en varios puntos del equipo de transmisión de señal múltiplex DME1 de la fig. 2;

La fig. 7, está a escala distinta que las 6 y 8

10 La fig. 9 muestra parte de un dispositivo receptor de la unidad multiplexor-demultiplexor DMU'1 representada en la fig. 1;

Las figs. 10 y 12 representan los trenes de impulsos que aparecen en diferentes puntos del dispositivo receptor de las figs. 9, 11 y 12, estando dibujada a escala diferente que la fig. 10.

Refiriéndonos principalmente a la fig. 1, la señal múltiplex y más concretamente el sistema de transmisión de voz y datos mostrado allí, incluye dos unidades de multiplexión-demultiplexión MIC (modulación por impulsos codificados) MU1 y MU'1 que están interconectadas por la línea de transmisión bidireccional TL.

Cada una de estas unidades MIC (modulación por impulsos codificados) MU1 y MU'1 tiene 32 canales bidireccionales CH1 a CH32 y CH'1 a CH'32, respectivamente. Un equipo de proceso de datos DPE1 está acoplado a la unidad de multiplexión-demultiplexión MDU1 a través de una línea de transmisión bidireccional TL y esta unidad, a su vez, conectada a un canal bidireccional CHq de la unidad de multiplexión-demultiplexión MU1 a través de una línea de transmisión TLq.

Los otros canales del conjunto CH1 a CH32 están acoplados cada uno bien a un equipo de proceso de datos o de voz (no mostrados). De una manera similar, un equipo de proceso de datos DPE'1 está acoplado a una unidad de multiplexión-de
 5 multiplexión MDU'1 a través de una línea de transmisión bidireccional TL' y esta unidad, a su vez, está conectada a un canal bidireccional CH'q de la unidad de multiplexión-demultiplexión MU'1 a través de una línea de transmisión TL'q. Los otros canales del conjunto CH'1 a CH'32 están
 10 acoplados cada uno bien a un equipo de proceso de datos o de voz (no mostrados).

El equipo de proceso de datos DPE1 incluye un emisor y un receptor (no se muestra ninguno) que están acoplados cada uno a una vía unidireccional correspondiente de
 15 la línea de transmisión TL. Más concretamente, las salidas del emisor están conectadas a los 32 canales de entrada principales mchl-mch32 y a los 32 canales de entrada auxiliares ach1-ach32 todos los cuales forman parte de la vía de salida de la línea de transmisión TL, y lo mismo ocurre para
 20 las entradas del receptor concernientes a la vía de entrada de la línea de transmisión TL. El equipo de transmisión de datos DEP'1 está conectado a los MDU'1 de una manera similar.

Refiriéndonos principalmente a las figs. 2 y 6, los 32 canales de entrada principales mchl a mch32 y los 32
 25 canales de entrada auxiliares ach1 a ach32 forman todos parte de la vía de salida de la línea de transmisión TL, y más concretamente conectados al circuito multiplexor MC que forma parte del equipo de transmisión de datos múltiplex MDE1 incluido en la unidad de multiplexor-demultiplexor MDU1. El
 30 MDE1 incluye además un generador de impulsos que comprende

el circuito de reloj CL y cuatro circuitos divisores de frecuencia DIV1 a DIV4 de los que el DIV1 es un circuito divisor-
 por-tres y los DIV2 a DIV4 son circuitos divisores-por-cuatro.
 El circuito de reloj CL genera un tren de impulsos denominado
 5 tambien CL (fig. 6) que tiene una frecuencia igual a 64 KHz.
 Este tren de impulsos CL se aplica al circuito divisor DIV1
 que proporciona en sus salidas B0, B1 y B2 los tres trenes
 de impulsos cambiados en fase del mismo nombre B0, B1 y B2
 (fig. 6) que tienen todos una frecuencia igual a $\frac{64}{3}$ (ó $\frac{9,6}{0,45}$)
 10 KHz. El tren de impulsos $\overline{B0}$ se aplica al circuito divisor
 DIV2 que proporciona en sus salidas $\overline{G0}$ y $\overline{G1}$ los trenes de
 impulsos del mismo nombre $\overline{G0}$ y $\overline{G1}$ que tienen una frecuencia
 igual a $\frac{64}{6}$ (ó $\frac{4,8}{0,45}$) KHz y $\frac{64}{12}$ (ó $\frac{2,4}{0,45}$) KHz, respectivamente.
 En las salidas G0 y G1 aparecen los trenes de impulsos del
 15 mismo nombre G0 y G1 (no mostrados) que son los inversos de
 los trenes de impulsos $\overline{G0}$ y $\overline{G1}$, respectivamente. El tren de
 impulsos $\overline{G1}$ se aplica al circuito divisor DIV3 que proporci-
 ona en sus salidas $\overline{T0}$, T0 y $\overline{T1}$, T1 los trenes de impulsos del
 mismo nombre $\overline{T0}$, T0 y $\overline{T1}$, T1 que tienen una frecuencia igual
 20 a $\frac{64}{24}$ ó $\frac{1,2}{0,45}$ KHz y $\frac{64}{48}$ ó $\frac{0,6}{0,45}$ KHz, respectivamente. Finalmente,
 el tren de impulsos $\overline{T1}$ se aplica al circuito divisor DIV4
 que genera en sus salidas $\overline{F0}$, F0 y $\overline{F1}$, F1 los trenes de im-
 pulsos del mismo nombre $\overline{F0}$, F0 y $\overline{F1}$, F1 que tienen una fre-
 cuencia igual a $\frac{64}{96}$ KHz y $\frac{64}{192}$ ó $\frac{0,075}{0,225}$ KHz respectivamente.
 25 En la fig. 6, solamente se muestran $\overline{G0}$, $\overline{G1}$, $\overline{T0}$, $\overline{T1}$ y $\overline{F0}$, $\overline{F1}$.
 Las salidas B0, B1, B2, $\overline{G0}$, G0, $\overline{G1}$, G1, $\overline{T0}$, T0, $\overline{T1}$, T1, $\overline{F0}$,
 F0, F1, F0 del generador de impulsos CL, DIV1-FIV4 están
 conectadas al circuito multiplexor MC en dónde se utilizan
 para muestrear los datos principales a 0,6 bits/seg transpor-
 30 tados por los 32 canales de entrada principales mchl a mch32

a una frecuencia de $\frac{0,6}{0,45}$ KHz y los datos de señalización a 0,075 bits/seg transportados por los 32 canales auxiliares ach1 a ach32 a una frecuencia de $\frac{0,075}{0,225}$ KHz. También la información de sincronización se muestra a esta última velocidad. El MC tiene además las salidas de canal de datos principales 01 a 032, las salidas de datos auxiliares 01' a 032' y las salidas de información de sincronización M. MF. Todas estas salidas están conectadas a una puerta-OR 0 cuya salida Tlq está acoplada a la vía de salida de la línea de transmisión del mismo nombre Tlq. La última línea está acoplada al canal CHq de la unidad de multiplexor-demultiplexor MUI.

En resumen, el funcionamiento del sistema de transmisión de voz y datos múltiplex mostrado en las figs 1 y 2 es como sigue, cuando los flujos de bits de datos deben transmitirse desde el equipo de proceso de datos DPE1 al equipo de proceso de datos DPE'1. Estos flujos de bits de datos a 0,6 Kbits/seg y a 0,075 Kbits/seg se aplican a través de los canales principales y auxiliares respectivos mch1-mch32 y ach1-ach32 de la parte de salida de la línea de transmisión TL desde el DPE1 al circuito múltiplex MC incluido en la unidad de multiplexor-demultiplexor MDUI. Allí, los flujos de datos se muestrean a $\frac{0,6}{0,45}$ KHz y a $\frac{0,075}{0,45}$ KHz y se multiplexan con la información de sincronización a un único flujo de bit de datos a 64 Kbits/seg, apropiado para su transmisión por un sistema de comunicaciones MIC (modulación por impulsos codificados). Este último flujo de bits se propaga por la línea de transmisión TLq a la entrada del canal CHq de la unidad multiplexora-demultiplexora MIC (modulación por impulsos codificados) MUI. Desde la unidad MUI, el flujo de datos se transmite en múltiplex de tiempo con otras muestras de flujos

de bits de datos o flujos de voz codificada por la línea de transmisión MIC (modulación por impulsos codificados) TL a la unidad multiplexora-demultiplexora remota MIC (modulación por impulsos codificados) MU'1. El flujo de datos que aparece a la salida del canal CH'q de la MU'1 se propaga a través de la línea de transmisión TL'q a la unidad multiplexora-demultiplexora de datos MDU'1, donde se demultiplexa y en donde se recuperan el flujo de datos original y entonces se aplica al equipo de proceso de datos DPE'1. La transmisión de datos desde el equipo de proceso de datos DPE'1 y al equipo de proceso de datos DPE1 tiene lugar de una manera análoga.

Como se ha mencionado anteriormente, los flujos de datos principales a 0,6 Kbits/seg transportados por los canales de entrada principales mchl a mch32 se muestrean a una frecuencia igual a $\frac{0,6}{0,45}$ KHz, mientras que los flujos de datos de señalización a 0,075 Kbits/seg transportados por los canales de datos auxiliares achl a ach32 se muestrean a una frecuencia que es igual a $\frac{0,075}{0,225}$ KHz. Utilizando estas frecuencias de muestreo, está presente una distorsión máxima de 45% en los datos principales muestreados que aparecen en las salidas del canal principal O1 a O32 del circuito multiplex MC, mientras que está presente una distorsión máxima del 22,5% en los datos de señalización que aparecen en las salidas del canal auxiliar O1' a O32' del mismo MC. Aunque la distorsión del 45% es considerable esto no es una verdadera desventaja dado que el flujo de datos principales original puede recuperarse con una muy baja distorsión en el lado del receptor, esto es, en la unidad multiplexora-demultiplexora DMU'1, como describiremos después. La ventaja de utilizar unas frecuencias de muestreo relativamente bajas

está en que se hace un uso muy eficiente de la frecuencia de reloj disponible de 64 KHz.

Con la anterior distorsión de 45% para los datos principales, sería posible utilizar 48 de tales canales de datos principales en donde los datos se transportan a 0,6 Kbits/seg. Sin embargo, debido a la presencia de los canales de datos auxiliares en donde los datos se transportan a una velocidad de 0,075 Kbits/seg, y ya que tiene que transmitirse más información de sincronización tanto para los canales principales como para los auxiliares tiene que construirse el multicuadro de tiempo de muestreo mostrado en la fig. 3.

Este multicuadro hace posible el muestreo de un máximo de 32 datos principales a una velocidad de $\frac{0,6}{0,45}$ Kbits/seg, de un máximo de 32 datos de señalización a una velocidad de $\frac{0,075}{0,45}$ Kbits/seg y de 32 informaciones de sincronización a la última velocidad mencionada. Debido a que la relación de las velocidades de muestreo es igual a 4, el multicuadro comprende 4 cuadros que contienen cada uno $2 \times 16 + \frac{1 \times 64}{4}$ 48 impulsos de muestreo. Estos cuadros se indican por FR0 a FR3 y cada uno de ellos está subdividido en cuatro aberturas de tiempo TS0 a TS3 cada una de las cuales comprende cuatro grupos GR0 a GR3 de tres impulsos de muestreo con rangos 0, 1 y 2. Esto significa que cada cuadro contiene 16 impulsos de muestreo de cada uno de los rangos 0, 1 y 2.

Los 16 impulsos de rango 0 de cada uno de los cuadros FR0 a FR3 está definido por los siguientes códigos:

BO \overline{GO} \overline{GI} \overline{TO} \overline{TI}

BO GO GI TO TI

de tal manera que esta serie de 16 impulsos de muestreo puede

B2 $\overline{G0}$ $\overline{G1}$ $\overline{T0}$ $\overline{T1}$ $\overline{F0}$ $\overline{F1}$

B2 $\overline{G0}$ $\overline{G1}$ $\overline{T0}$ $\overline{T1}$ $\overline{F0}$ $\overline{F1}$

B2 $\overline{G0}$ $\overline{G1}$ $T0$ $T1$ $F0$ $F1$

5 de tal manera que estos 16 impulsos de muestreo pueden obtenerse puertecando-AND los trenes de impulsos del mismo nombre.

La frecuencia de estos impulsos es igual a $\frac{64}{192} \cdot 8 \frac{0,075}{0,225}$

KHz, siendo 192 el número de impulsos por multicuadro. Ya

10 que esta es la frecuencia a la que deben muestrearse los datos a 0,075 Kbits/seg por los canales auxiliares, estos 16 impulsos se utilizan para muestrear los canales ach1 a ach16 (indicados por 1'-16' en la fig. 3).

15 De la misma manera, los 16 impulsos de muestreo de rango 2 del grupo GR2 se utilizan para muestrear los datos a 0,075 Kbits/seg transportados por los canales de datos auxiliares ach17 a ach32 (indicados por 11'-32' en la fig. 3), porque la frecuencia de estos impulsos es también igual a $\frac{0,075}{0,225}$ KHz. Estos 16 impulsos de muestreo están definidos por los siguientes códigos:

20 B2 $\overline{G0}$ $\overline{G1}$ $\overline{T0}$ $\overline{T1}$ $\overline{F0}$ $\overline{F1}$

B2 $\overline{G0}$ $\overline{G1}$ $T0$ $T1$ $F0$ $F1$

25 Finalmente, los 16 impulsos de muestreo de rango 2 del grupo CR3 se utilizan para transmitir el código de sincronización de cuadro (o canal principal)

0 0 0 0 1 1 1 1 0 0 0 0 1 1 1 1

mientras que los 16 impulsos de muestreo de rango 2 del grupo GR1 se utilizan para transmitir el código de sincronización de multicuadro (canal auxiliar)

30 0 0 0 0 0 0 0 0 1 1 1 1 1 1 1 1

En lugar del último código mencionado puede utilizarse el siguiente O X X X O X X X 1 X X X 1 X X X.
 en dónde X son los bits adicionales que contienen otra información distinta a la información de sincronización.

5 Los canales de los conjuntos de 16 ó 2^4 canales
 mchl-mchl16 (1-16 en la fig. 3) mchl17-mchl32 (17-32 en la fig. 3)
 achl-achl16 (1'-16' en la fig. 3), achl17-achl32 (17'-32' en la
 fig. 3) se han numerado ahora de tal manera que tal conjunto
 pueda subdividirse en 2^3 , 2^2 , 2^1 ó 1 grupos de 2, 2^2 , 2^3 ó
 10 2^4 canales numerados sucesivamente, en dónde los canales de
 cada grupo se muestrean por trenes de impulsos de muestreo
 que tienen la misma frecuencia e impulsos de muestreo entre-
 lazados y equidistantes como explicaremos después.

Por ejemplo, el conjunto de 16 canales principa-
 15 les mchl-mchl16 indicados por 1-16 en la fig. 3 pueden subdivi-
 didirse bien en una o en las siguientes maneras:

- 8 grupos de 2 canales 1,2; 3,4;.....15,16, siendo equidis-
 tantes y entrelazados los impulsos de muestreo de los trenes de
 impulsos utilizados para muestrear los dos canales de cada
 20 grupo;
- 4 grupos de 4 canales 1, 2, 3 y 4.....13, 14, 15, 16, sien-
 do equidistantes y entrelazados los impulsos de muestreo de
 los trenes de impulsos utilizados para muestrear los 4 cana-
 les de cada grupo,
- 25 - 2 grupos de 8 canales 1 a 8 y 9 a 16, siendo equidistantes y
 entrelazados los impulsos de muestreo de los trenes de impulsos
 utilizados para muestrear los 8 canales de cada grupo,
- 1 grupo de 16 canales 1 a 16, siendo equidistantes los im-
 pulsos de muestreo de los trenes de impulsos utilizados pa-
 30 ra muestrear estos 16 canales.

Los canales mchl, mchl7, achl, mch9, mch25, mch5, inch21, achl7, mchl3 y mch29 están conectados a una entrada de una correspondiente puerta-AND G1, G17, G1', G9, G25, G5, G21, G17', G13 y G29, cuyas otras entradas están conectadas a las salidas correspondientes A1, A17, A1', A9, A25, A5, A21, A17', A13 y A29 de las puertas-AND correspondientes, H1, H17, H1', H9, H25, H5, H21, H17', H13 y H29. Las últimas puertas-AND definen los impulsos de muestreo correspondientes indicados en la fig. 3, porque los trenes de impulsos aplicados a estas puertas son los indicados por los códigos dados anteriormente de estos impulsos de muestreo. Los trenes de impulsos de muestreo resultante se muestran en la fig. 7, cada uno con un impulso.

El tren de impulsos de muestreo para el código de sincronización de cuadro anterior dado aparece a la salida de la puerta-AND HF y se muestra también en la fig. 7. La información de sincronización de cuadro aparece a la salida F de la puerta-AND, GF, porque $F0 \equiv 0$ para el cuadro FRO y FR2 y $F0 \equiv 1$ para el cuadro FRI y el FR3.

De la misma manera, el tren de impulsos de muestreo para el código de sincronización de multicuadro dado anterior aparece a la salida de la puerta-AND HMF y se muestra también en la fig. 7. La información de sincronización de multicuadro aparece a la salida MF de la puerta-AND, GMF porque $F1 \equiv 0$ para los cuadros FRO y FRI y $F1 \equiv 1$ para los cuadros FR2 y FR3.

El circuito multiplexor MC incluye además elementos puerta que definen los otros impulsos de muestreo del multicuadro mostrado en la fig. 3, estando también representados algunos de estos otros impulsos de muestreo en

la fig. 7. Sin embargo, de estos elementos puerta solamente aquellos que definen los trenes de impulsos de muestreo por los cuales los datos transportados por los canales principales mch2, mch3, mch4, mch6, mch7 y mch8 se muestrean como se muestra en la fig. 5. Estos canales principales están conectados a una entrada de una puerta-AND correspondiente G2, G3, G4, G6, G7 y G8 cuyas otras entradas están conectadas a las salidas correspondientes A2, A3, A4, A6, A7 y A8 de las puertas-AND correspondientes H2, H3, H4, H6, H7 y H8. En estas salidas aparecen los trenes de impulsos de muestreo del mismo nombre representados en la fig. 7.

De esta figura puede también derivarse que los impulsos de muestreo de los trenes de impulsos utilizados para muestrear los datos transportados por los canales principales de los grupos siguientes están entrelazados y son equidistantes

- los grupos mch1, mch2, mch3, mch4, ..., mch15, mch16. Los impulsos de muestreo pertenecen a los trenes de impulsos A1, A2; A3, A4, ..., A15, A16 respectivamente
- los grupos mch1 a mch4; mch5 a mch8...mch13 a mch16. Los impulsos de muestreo pertenecen a los trenes de impulsos A1 a A4, ..., A13 a A16 respectivamente;
- los grupos mch1 a mch8 y mch9 a mch16. Los impulsos de muestreo pertenecen a los trenes de impulsos A1 a A8 y A9 a A16, respectivamente;
- los grupos mch1 a mch16. Los impulsos de muestreo pertenecen a los trenes de impulsos A1 a A16, respectivamente.

Aunque esto no se deduce de la fig. 7, es evidente que el entrelazado y la equidistancia de los impulsos de muestreo también es verdad para los canales auxiliares

ach1 a ach32, cuyos impulsos de muestreo pertenecen a los trenes de impulsos A1' a A32' de los cuales sólo se muestran A1', A5', A9', A13', A17', A21', A25' y A29'.

Debido a la equidistancia y entrelazado mencionados anteriormente de los impulsos de los trenes de impulsos de muestreo utilizados para muestrear los canales, es posible modificar fácilmente la configuración puerta incluida en el circuito multiplexor MC, de tal manera que la frecuencia de muestreo de los trenes de impulsos utilizados para muestrear los canales principales y auxiliares se aumente de tal manera que estos canales puedan utilizarse para transportar datos a una frecuencia más elevada. Esto lo explicaremos después para los canales principales mch1 a mch16 que se utilizan para transportar datos a una velocidad de 0,6 Kbits/seg y que se muestrean por el tren de impulsos que tiene una frecuencia igual a $\frac{0,6}{0,45}$ KHz.

Los ocho grupos de canales mch1, mch2,mch15 mch16 en donde cada uno de los canales se utiliza para transportar datos a una velocidad de 0,6 Kbits/seg. y se muestrea a una frecuencia de $\frac{0,6}{0,45}$ KHz puede sustituirse por, como máximo 8 canales para la transmisión de datos a 1,2 Kbits/seg a una frecuencia de $\frac{1,2}{0,45}$ KHz. Para realizar esta modificación, por ejemplo para los canales principales mch1, y mch2 muestreados por los impulsos de los trenes de impulsos A1 y A2 mostrados en la fig. 8, es suficiente poner las puertas-AND H2 y G2 fuera de servicio y desconectar la entrada $\overline{T1}$ de la puerta-AND, H1. Por supuesto que, de esta manera, la frecuencia de muestreo de esta puerta H1 está definida por ambos trenes de impulsos A1 y A2. De esta manera, esta frecuencia se dobla haciéndose igual a $\frac{1,2}{0,45}$ KHz.

De una manera análoga, los 4 grupos de canales mchl a mch4...mchl3 a mchl6 en dónde cada uno de los canales se utiliza para transportar datos a una velocidad de 0,6 Kbits/seg y se muestra a una frecuencia de $\frac{0,6}{0,45}$ KHz puede ser sustituido por, como máximo, 4 canales que pueden transportar datos a una velocidad de 2,4 Kbits/seg y muestreados a una frecuencia de $\frac{2,4}{0,45}$ KHz. Para realizar esta modificación, por ejemplo para los canales principales mchl a mch4 muestreados por los impulsos de los trenes de impulsos A1 a A4 mostrados en la fig. 8, es suficiente poner las puertas -AND H2, G2; H3 G3; y H4, G4 fuera de servicio y desconectar las entradas $\overline{T0}$ y $\overline{T1}$ de la puerta-AND, H1. De esta manera, la frecuencia de muestreo de esta puerta H1 está definida por los cuatro trenes de impulsos A1 a A4. Así, esta frecuencia se cuadruplica y se hace igual a $\frac{2,4}{0,45}$ KHz.

De una manera similar, los 2 grupos de canales mchl a mch8 y mch9 a mchl6 en dónde cada uno de los canales transportan datos a una frecuencia de 0,6 KHz y se muestrea a una frecuencia de $\frac{0,6}{0,45}$ KHz puede sustituirse por, como máximo, 2 canales que pueden transportar datos a 4,8 Kbits/seg y muestreados a $\frac{4,8}{0,45}$ KHz. Para realizar esta modificación, por ejemplo para los canales principales mchl a mch8 muestreados por los impulsos de los trenes de impulsos A1 a A8 mostrados en la fig. 8, es suficiente poner las puertas -AND H2, G2; H3, G3; H4, G4; H5, G5; H6, G7; H7; G8 y H8; G8 fuera de servicio y desconectar las salidas $\overline{T0}$, $\overline{T1}$, G1 de la puerta-AND, H1. De esta manera, la frecuencia de muestreo de esta puerta H1 está definida por los 8 trenes de impulsos A1 a A8. Entonces esta frecuencia se multiplica por 8 y se hace igual a $\frac{4,8}{0,45}$ KHz.

Finalmente, y de una manera similar, es posible sustituir el grupo de canales mchl a mchl6 por un único canal, por ejemplo el mchl, para transportar datos a 9,6 Kbits/seg, estando muestreados estos datos a una frecuencia igual a $\frac{9,6}{0,45}$ KHz. A este fin, es suficiente desconectar las entradas \overline{TO} , \overline{TI} , \overline{GI} y \overline{GO} de la puerta-AND, H1.

Es evidente que, procediendo de la manera anterior, puede realizarse cualquier combinación de las frecuencias de muestreo de canal $\frac{0,6}{0,45}$ KHz, $\frac{1,2}{0,45}$ KHz, $\frac{2,4}{0,45}$ KHz, $\frac{4,8}{0,45}$ KHz y $\frac{9,6}{0,45}$ KHz. Por ejemplo, el dispositivo puerta incluido en el circuito multiplexor MC puede modificarse de tal manera que los impulsos de muestreo 1 a 16 (fig. 3) se utilicen para muestrear un canal a 9,6 Kbits/seg, mientras que los impulsos de muestreo 17 a 24 y 25 a 32 se utilizan para muestrear un primero y un segundo canal a 4,8 Kbits/seg. En general, para cada serie de impulsos de muestreo tal como B0 puede realizarse cualquier combinación de trenes de impulsos de muestreo, con la condición de la suma $2^n f + 2^{n-1}(2f) + \dots + 2^0(2^n f)$

en dónde f es la frecuencia de muestreo menor, esto es $\frac{0,6}{0,45}$ KHz, sea menor que la frecuencia máxima, esto es, $\frac{64}{3}$ KHz.

Está claro que el procedimiento anterior es también aplicable al canal auxiliar y no se limita a conjuntos de 2^n canales, pero que estos conjuntos pueden contener cualquier número de tales canales. Para una serie de impulsos de muestreo de los que se derivan conjuntos de trenes de impulsos de muestreo, conteniendo cada conjunto un número de trenes de impulsos de muestreo a una misma frecuencia, puede realizarse cualquier combinación de trenes de impulsos de muestreo siempre que

$a_1f_1 + a_2f_2 + \dots + a_n f_n$

en donde a_1, a_2, \dots, a_n son los números de los tenes en los conjuntos y f_1, \dots, f_n son las frecuencias correspondientes, sea menor que la frecuencia máxima que pueda realizarse.

5 En los ejemplos anteriores la última frecuencia es igual a $\frac{64}{3}$ KHz, ya que existen tres series de impulsos de muestreo, esto es, B0, B1 y B2.

A partir de los ejemplos dados anteriormente se deduce también que las combinaciones de trenes de impulsos de muestreo derivados de la misma serie de impulsos de muestreo B0, B1, B2 no afectan a los trenes de impulsos de muestreo derivados de las otras series, ya que los impulsos de muestreo de estas series están entrelazados.

De la misma manera descrita anteriormente para los canales de datos que transmiten datos síncronos, es posible combinar los canales de datos que transmiten datos asíncronos (arranque-parada). Por ejemplo, es posible combinar dos canales telegráficos a 50 baudios con un solo canal telegráfico a 100 baudios o combinar cuatro canales telegráficos a 500 baudios con un canal telegráfico a 200 baudios.

Como se ha descrito anteriormente refiriéndonos a las figs. 1 y 2, un flujo de datos recibido en la unidad multiplexora-demultiplexora MDU'1 se demultiplexa en la misma en varios flujos de datos a partir de los cuales se recuperan los flujos de datos originales aunque los flujos de datos demultiplexados tienen una distorsión de un máximo del 45% ó 22,5%. Esta operación de recuperación será descrita con más detalle refiriéndonos a las figs. 9 a 12.

30 Refiriéndonos principalmente a la fig. 9 el

dispositivo receptor mostrado en la misma forma parte de la unidad multiplexora-demultiplexora DMU'1 e incluye:

- un detector de transición TD;
- los circuitos monoestables redisparables MS1 a MS3 que
- 5 tienen cada uno una constante de tiempo igual a $T/64$ en donde T es el período del flujo de datos a ser recuperado a partir del flujo de datos mencionado anteriormente DS suministrado a la entrada del mismo nombre del TD y que tiene una distorsión máxima del 45% ó el 22,5%;
- 10 - un circuito monoestable redisparable MS'1 que tiene una constante de tiempo muy grande, por ejemplo igual a 1.000 T;
- un circuito de reloj de cristal L;
- los circuitos divisores DIV5, DIV6 y DIV7;
- las puertas-AND, GA a GD;
- 15 - las puertas-OR, OR1 y OR2.

El circuito de reloj de cristal L genera un tren de impulsos de reloj del mismo nombre (fig. 10) que tiene una frecuencia igual al $\frac{256}{T}$. Este tren de impulsos de reloj L se aplica al circuito divisor-por-cuatro DIV5 que comprende

20 un contador de Johnson constituido por dos flip-flops-D (no mostrados) y que proporciona en sus salidas M, \bar{M} , N y \bar{N} los trenes de impulsos del mismo nombre que tienen una frecuencia igual a $\frac{64}{T}$. Solamente se muestran en la fig. 10 los trenes de impulsos M y N.

25 Normalmente, los circuitos monoestables MS1 a MS4 están en su condición estable en donde sus salidas \overline{SK} , \overline{Ad} , \overline{Tr} , y \overline{Sg} están activadas. Como consecuencia, la puerta GC está activada de tal manera que el tren de impulsos

$C_p \cong \overline{SK} \cdot \bar{M} \cdot N$ (fig. 10) que tiene un período igual a $\frac{T}{64}$,

30 aparece en la salida de la puerta-OR, OR2 y se aplica al

circuito divisor-por-16 DIV6 que proporciona en sus salidas P, Q, R y S los trenes de impulsos del mismo nombre P, Q, R y S (fig. 10) que tienen un período igual a $\frac{T}{32}$, $\frac{T}{16}$, $\frac{T}{8}$ y $\frac{T}{4}$, respectivamente. El tren de impulsos S se aplica al circuito divisor-por-cuatro DIV7 que está constituido por un contador de Johnson formado por dos flip-flops -JK (no mostrados) y proporciona en sus salidas \bar{T} , T, \bar{U} , U los trenes de impulsos del mismo nombre que tienen una frecuencia igual a T. Solamente se representan en la fig. 10 los trenes de impulsos T y U. El tren de impulsos de reloj de datos local U se aplica a la entrada de reloj del flip-flop-D, DF.

Seguidamente describiremos el funcionamiento del multicircuito anterior. El flujo de datos recibido sancionado anteriormente DS que tiene, por ejemplo una distorsión máxima del 45%, se aplica al flip-flop-D, DF, dónde se muestrea en las transiciones hacia arriba del tren de impulsos de reloj local U que tiene un período T. Por las razones descritas en la Patente USA no. 3.819.853 las transiciones ascendentes caen idealmente en el centro de las denominadas zonas de certeza, mientras que las transiciones descendientes del tren de impulso de reloj de datos local U caen en el centro de las denominadas zonas de incertidumbre o de transición de datos DTI (fig. 10). Las últimas zonas son aquellas en que caen las transiciones descendientes en el flujo de datos DS. Ya que la distorsión máxima es igual a 45%, cada una de estas zonas se extiende sobre el 45% del período T, esto es, el 22,5% a ambos lados de las transiciones descendientes de U. Las zonas de certeza ocupan el restante 55% de este período T.

El flujo de datos DS también se aplica al detector de transición TD que es, por ejemplo, del tipo descrito en la Patente norteamericana 3.819.853 y que reacciona a cada transición y dispara entonces los circuitos monoestables MS1 y MS4 a su condición inestable. La salida Tr del MS1 se activa así durante un período igual a $\frac{T}{64}$. Normalmente esto queda sin efecto, porque su impulso de salida Tr de duración $\frac{T}{64}$ cae fuera de los intervalos de tiempo de ventana $T.\bar{U}.\bar{M}.\bar{N}$ y $T.U.\bar{M}.N$ definidos por los trenes de impulsos T, U, \bar{M} , N a la puerta-AND, GA junto con Tr y por los trenes de impulsos T, U, \bar{M} , N aplicados a la puerta-AND, GB junto con Tr. Estos intervalos de tiempo o ventanas está localizados a ambos lados de los intervalos de transición de datos DTI, esto es, a ambos lados y a la misma distancia de las transiciones descendentes de U.

Sin embargo, ya que el tren de impulsos de reloj se desplaza lentamente fuera de su posición ideal respecto a los intervalos de transición de datos, deben tomarse medidas para asegurarse de que la fase del tren de impulsos de reloj U se desvía lo menos posible de su valor ideal.

Refiriéndonos a la fig. 11 que muestra algunos de los trenes de impulsos de la fig. 10 y los intervalos de ventana anteriores $T.\bar{U}.\bar{M}.\bar{N}$ a una escala mayor, se supone en primer lugar que el tren de impulsos de reloj U es ligeramente más rápido que los intervalos de transición de datos DTI. En esta caso, tan pronto tenga lugar un solape entre un impulso $\frac{T}{64}$, Tr, que aparece a la salida del circuito monoestable MS1 y el intervalo de tiempo de ventana $T.\bar{U}.\bar{M}.\bar{N}$, de tal manera que la salida de la puerta GA se activa y que el circuito monostable MS2 se dispara a su condición inesta-

ble. Como consecuencia, un impulso SK que tiene una duración en tiempo igual a $\frac{T}{64}$, aparece en la salida del mismo nombre SK de este circuito monoestable MS2 debido a lo cual la puerta -AND GC se bloquea durante un período de $\frac{T}{64}$. El resultado es que uno de los impulsos \overline{MN} que constituye normalmente el tren de impulsos C_p salta, de tal manera que el siguiente ciclo del divisor-por-64 formado por los circuitos divisores DIV6 y DIV7 se completará después de 65 períodos de $\overline{M.N}$, en lugar de después de 64 períodos. Consecuentemente, se realiza así una corrección de fase por $\frac{T}{64}$ del tren de impulsos de reloj U.

Tales correcciones se realizan estocásticamente porque la transmisión de datos tiene lugar al azar dentro del DTI. De cualquier manera, es suficiente mantener el jitter (inestabilidad) de fase pico-a-pico del reloj U dentro de límites muy estrechos, especialmente por debajo del 2%.

Refiriéndonos ahora a la fig. 12, que también muestra algunos de los trenes de impulsos de la fig. 10 y los intervalos de ventana T.U. $\overline{M.N}$. a una escala mayor. Se supone aquí que el tren de impulsos de reloj U es ligeramente más lento que los intervalos de transición de datos DTI. En esta caso, tan pronto tiene lugar un solape entre un impulso Tr de $\frac{T}{64}$ que aparece a la salida del circuito monoestable MS1 y los intervalos de tiempo de ventana T.U. $\overline{M.N}$, la salida de la puerta GB se activa y el monoestable MS3 se dispara a su condición inestable. Como consecuencia, un impulso Ad que tiene una duración igual a $\frac{T}{64}$ aparece en la salida del mismo nombre Ad de este circuito monoestable MS3 debido a lo cual la puerta-AND GD no está bloqueada durante

un período $\frac{T}{64}$. El resultado es que se se inserta un impulso adicional \overline{MN} entre los impulsos \overline{MN} que constituyen normalmente el tren de impulsos C_p , de tal manera que el ciclo siguiente del divisor-por-64 DIV6, DIV7 durará solamente 63 períodos de los impulsos \overline{MN} . Consecuentemente, se realiza una corrección de fase por $\frac{T}{64}$ del tren de impulsos de reloj U.

El propósito de la puerta-OR OR1, es terminar el impulso Tr inmediatamente después de que haya realizado su función, a fin de evitar un doble salto o una doble inserción.

El propósito del circuito monoestable redispensible MS4 es capturar con certeza la primera transición de datos de un mensaje después de un largo período de reposo. El circuito monoestable MS4 está normalmente en la posición estable donde su salida Sg está no-activada. Esta salida no-activada mantiene los circuitos divisores DIV6 y DIV7 en la posición predeterminada que supondríamos idealmente en el centro de los intervalos de transición de datos DTI a fin de que, a la detección de la primera transición, estos circuitos deberán arrancar desde esta posición predeterminada. En la práctica esto significa que se restituye la primera transición de datos con una distorsión instantánea de no más que $\pm 1/2$ de la distorsión máxima (45%) en el peor de los casos, reduciendo rápidamente la distorsión de las siguientes transiciones de la manera descrita anteriormente. Después de que el monoestable redispensible MS4 se ha disparado, se vuelve a disparar en cada transición de la señal y, por lo tanto, permanece en el estado inestable durante el tráfico de datos normal, suponiéndose que el

intervalo de tiempo más largo que separa dos transiciones no excede de 1.000 T.

'De lo anterior se deduce que las puertas GA, GB y los circuitos monoestables MS2, MS3 pueden considerarse como elementos de comparación de fase, que comparan la posición de fase de las señales de salida Tr del circuito monoestable MS1 con la porción de fase media de las transiciones descendentes del reloj de datos local U, estando definidas estas transiciones de fase descendentes por los intervalos de ventana localizados a ambos lados y a una distancia de estas transiciones. De lo anterior se deduce también que las puertas GC, GD, OR2 pueden considerarse como elementos de sincronización de fase acoplados entre el circuito de comparación de fase en el reloj de datos local U.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Bélgica el día 13 de Febrero de 1976, señalada con el no. 2/54827 = 838 530 y se acoge, por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un sistema de transmisión múltiplex, con
varios canales de entrada de señal principales, un canal de
salida de señal, elementos de reloj que generan diferentes
trenes de impulso de muestreo, y un multiplexor controlado
10 por los elementos de reloj para muestrear una señal de en-
trada principal en cada uno de los canales de entrada utili-
zando uno de los trenes de impulsos que tiene una frecuencia
relacionada con la frecuencia de la señal de entrada, apli-
cándose las señales así muestreadas en forma múltiplex a
15 dicho canal de salida junto con las señales de entrada auxi-
liares, caracterizado porque dicho multiplexor (MDE1) se
adapta también para muestrear dichas señales de entrada
auxiliares, realizándose esta operación de muestreo por im-
pulsos que están distribuidos entre los impulsos que perte-
necen a un conjunto de, por lo menos, dos trenes de impul-
20 sos de muestreo por los cuales las señales de entrada prin-
cipales de un conjunto de, por lo menos, dos señales de en-
trada principales, se muestrean a una misma frecuencia, por-
que los impulsos de dichos trenes de impulsos de muestreo
de dicho conjunto están mutuamente entrelazados y mutua-
25 mente equidistantes.

 2.- Un sistema de transmisión múltiplex según
el punto 1, caracterizado porque cada una de las señales
de entrada auxiliares se muestrea por un tren de impulsos
de muestreo correspondiente, siendo muestreadas un conjunto
30 de, por lo menos, dos de las señales de entrada auxiliares

a una misma frecuencia por un conjunto correspondiente de, por lo menos, dos trenes de impulsos de muestreo, cuyos impulsos están mutuamente entrelazados y mutuamente equidistantes.

5 3.- Un sistema de transmisión múltiplex, según los puntos 1 ó 2, caracterizado porque dichas señales de entrada principales (mchl-mch32) así como las señales de entrada auxiliares (achl-ach32, Fo, Fl) están subdivididos en uno ó más grupos (mchl-mchl6; mchl7-mch32, achl-ach32, Fo, Fl) siendo muestreadas las señales de entrada de cada grupo por un grupo correspondiente (A1-A16; A17-A32, A1'-A32', HF, HMF) de trenes de impulsos de muestreo, cuyos impulsos de muestreo pertenecen a una misma serie correspondiente (B0, B1, B2) de impulsos de muestreo equidistantes, y los impulsos de muestreo de series diferentes están entrelazados y porque, por lo menos, uno de dichos grupos de señales de entrada auxiliares o principales incluye un conjunto de señales de entrada principales o auxiliares, mientras que el grupo correspondiente de trenes de impulsos incluye un conjunto correspondiente de trenes de impulsos.

15 4.- Un sistema de transmisión múltiplex, según el punto 3, caracterizado porque los impulsos de muestreo de dicha serie (B0, B1, B2), son mutuamente equidistantes y forman parte de unas series comunes (B0 + B1 + B2) de impulsos de muestreo, cuyos impulsos tienen una frecuencia igual a la frecuencia de transmisión (64 KHz) del canal de salida.

25 5.- Un sistema de transmisión múltiplex, según el punto 4, caracterizado porque los trenes de impulsos de muestreo de cada uno de los grupos puede subdividirse en conjuntos diferentes, teniendo los trenes de impulsos de muestreo

30

treo de un mismo conjunto una misma frecuencia y teniendo frecuencias diferentes los trenes de impulsos de muestreo que pertenecen a conjuntos diferentes, siendo el número de trenes de impulsos de muestreo de cada grupo tal que

$$5 \quad a_1 f_1 + a_2 f_2 + \dots + a_n f_n$$

sea, como máximo, igual a la frecuencia (64 KHz) de la serie comunes dividida por el número (3) de dichas series; en donde a_1, a_2, \dots, a_n (con $a_1 \geq 0; a_2 \geq 0, \dots$) indicando el número de trenes de impulsos de muestreo de los conjuntos,

10 y donde f_1, f_2, \dots, f_n indican las frecuencias en un orden ascendente, y porque, por lo menos, uno de los conjuntos, incluye varios trenes de impulsos de muestreo que pueden combinarse para formar un solo tren de impulsos de muestreo que tenga una frecuencia igual a una de las frecuencias más
15 elevadas de un tren de impulsos de muestreo que pertenezca a otro conjunto.

6.- Un sistema de transmisión múltiplex, según el punto 5, caracterizado porque a_1, a_2, \dots, a_n son, como máximo, iguales a $2^n, \dots, 2^0$, respectivamente, mientras que
20 f_1, f_2, \dots, f_n son iguales a $f, 2f, \dots, 2^n f$ en donde f es la frecuencia de muestreo más pequeña, estando los impulsos de muestreo de un par de trenes de impulsos de muestreo incluidos en cualquiera de los conjuntos, mutuamente entrelazados y mutuamente equidistantes.

25 7.- Un sistema de transmisión múltiplex, según el punto 3, caracterizado porque incluye p (por ejemplo 2) de dichos grupos (mchl-mchl6, mchl7-mch32) de s (por ejemplo 16) señales de entrada principales (mchl-mch32) y q (por ejemplo 1) grupos (achl-ach32, F0, F1) de t (por ejemplo 64) señales de entrada auxiliares muestreadas por trenes
30

de impulsos de muestreo cuyos impulsos pertenecen a una correspondiente de las series (B0, B1, B2) de impulsos de muestreo, de tal manera que la frecuencia menor ($\frac{0,6}{0,45}$ KHz) a la que los p grupos pueden ser muestreados es igual a u (4) veces la frecuencia menor ($\frac{0,15}{0,45}$ KHz) a la que pueden ser muestreados q grupos, y porque dichas series comunes de impulsos de muestreo se subdividen en multicuadros cada uno de los cuales comprende u cuadros (FR0-FR3) cada uno de ps + $\frac{qt}{u}$ (por ejemplo 48) impulsos de muestreo.

10

8.- Un sistema de transmisión múltiplex, según el punto 2, caracterizado porque las señales de centrada auxiliares se utilizan para transportar, por lo menos, la información de señalización y la información de sincronización.

15

9.- Un sistema de transmisión múltiplex según el punto 1, que incluye un dispositivo receptor adaptado para recuperar las señales de datos binarios que tienen una frecuencia de reloj de datos a partir de las señales de datos binarios recibidas que tiene una frecuencia de reloj de datos de transmisión mayor que dicha frecuencia de reloj de datos y derivada de las señales de datos binarios que tienen dicha frecuencia de reloj de datos. Dicho dispositivo receptor incluye un generador de reloj de datos local (G4-G3, GR2, MS2, MS3, L, DIV5-DIV7) con un reloj de datos local (U), un circuito biestado (DF) acoplado a la salida de dicho generador de reloj de datos local y a la entrada de dicho dispositivo receptor para muestrear dichas señales de datos binarios recibidas en instantes que coinciden con un tipo de transición en dicho reloj de datos local; un detector de transición (TD, MS1) acoplado también a la entrada de dicho dispositivo receptor para producir las señales de salida (Tr)

25

30

en cada transición en las señales de datos binarios recibidas, incluyendo además dicho generador de reloj de datos local elementos de comparación de fase (GA, GB, MS2, MS3) acoplados a dicho detector de transición para comparar la posición de fase de dichas señales de salida (Tr) de dicho detector de transición con la posición de fase media de, por lo menos, el otro tipo de transición del reloj de datos local (U); y elementos de sincronización de fase (GC, GD, OR2) acoplados entre dicho circuito de comparación de fase y dicho reloj de datos local para ajustar la fase del reloj de datos local en función del resultado de dicha comparación, caracterizado porque dicho generador de reloj de datos incluye elementos (L, DIV7, GA, GB) para generar los impulsos (T. \bar{U} . M. \bar{N} .; T.U. \bar{M} .N) que definen primeros y segundos intervalos de ventana situados a ambos lados de dicha posición de fase media del otro tipo de transición del reloj de datos local (U), estando adaptados los elementos de comparación de fase (GA, GB, MS1, MS2) para comparar la posición de fase de dichos impulsos de salida (Tr) del detector de transición con la posición de fase de dichos intervalos de ventana.

10.- Un sistema de transmisión múltiplex que incluye un receptor, según el punto 9, caracterizado porque los intervalos de ventana están situados fuera de los intervalos de transición (DTI) dentro de los cuales caerían idealmente dichas transiciones en la condición de estado estable de dicho receptor.

11.- Un sistema de transmisión múltiplex que incluye un receptor, según el punto 10, caracterizado porque dichos intervalos de transición (DTI) tienen una duración igual a T.d en donde T es el período de dicho reloj de datos

local y d es la distorsión máxima de las señales de datos recibidas.

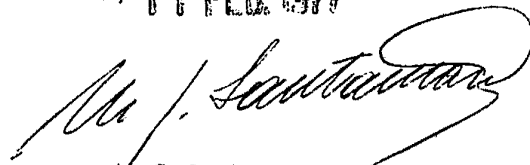
5 12.- Un sistema de transmisión múltiplex que incluye un receptor, según el punto 9, caracterizado porque incluye elementos (MS4) para arrancar dicho reloj de datos local desde una posición predeterminada que corresponde a la mencionada posición de fase media del otro tipo de transición.

13.- Un sistema de transmisión múltiplex.

10 Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de treinta y cuatro hojas escritas por una sola cara.

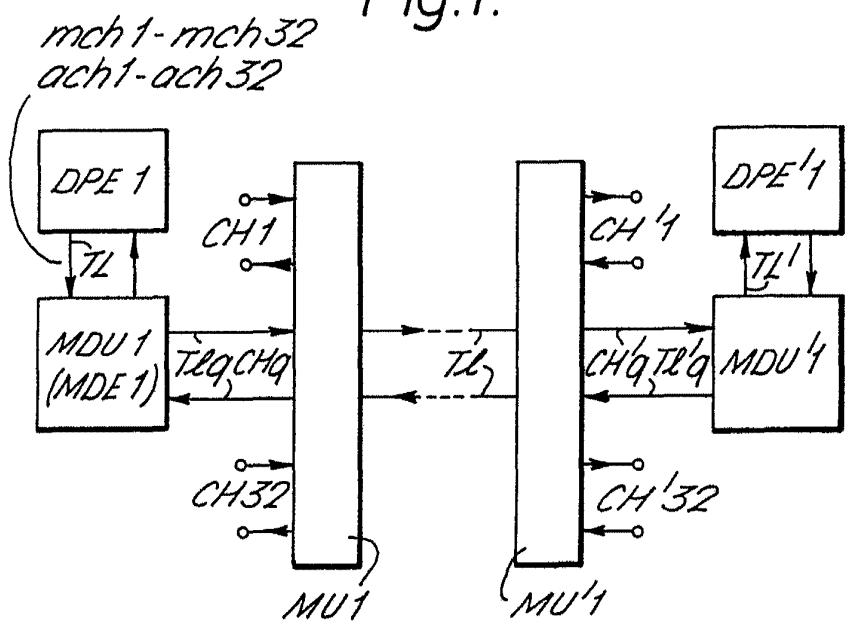
Madrid, 11 FEB. 1977



M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



Fig.1.



U. J. Santurina

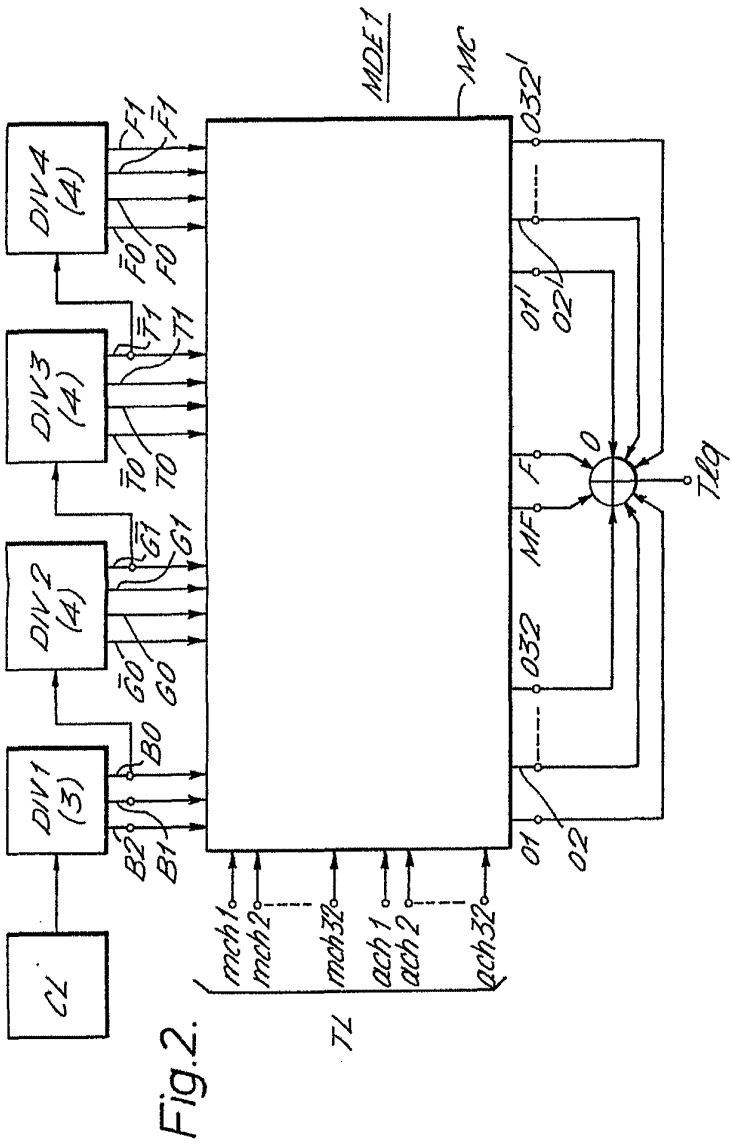
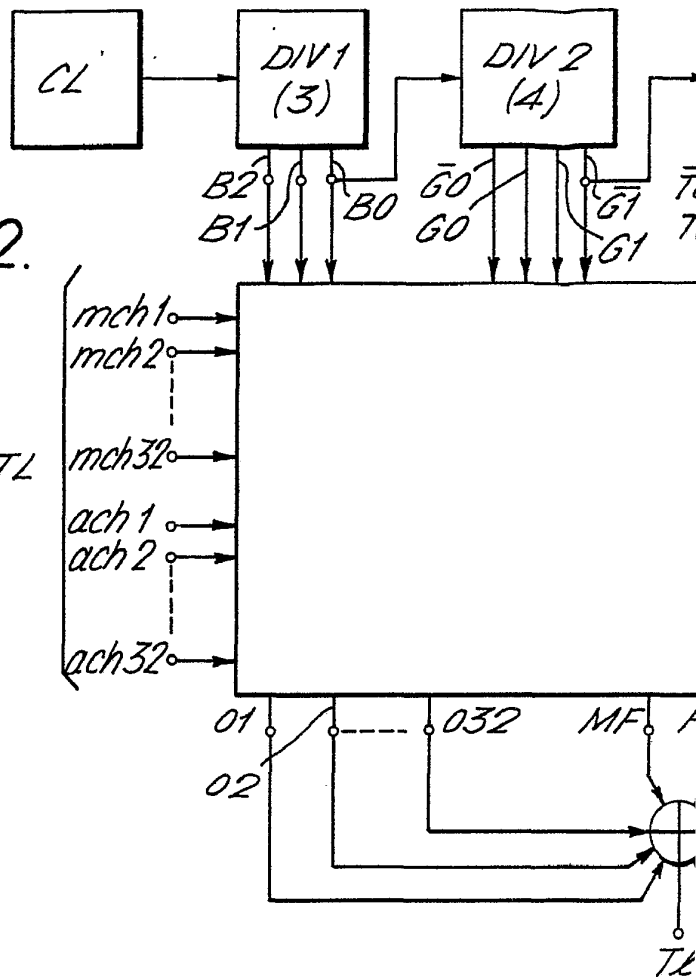


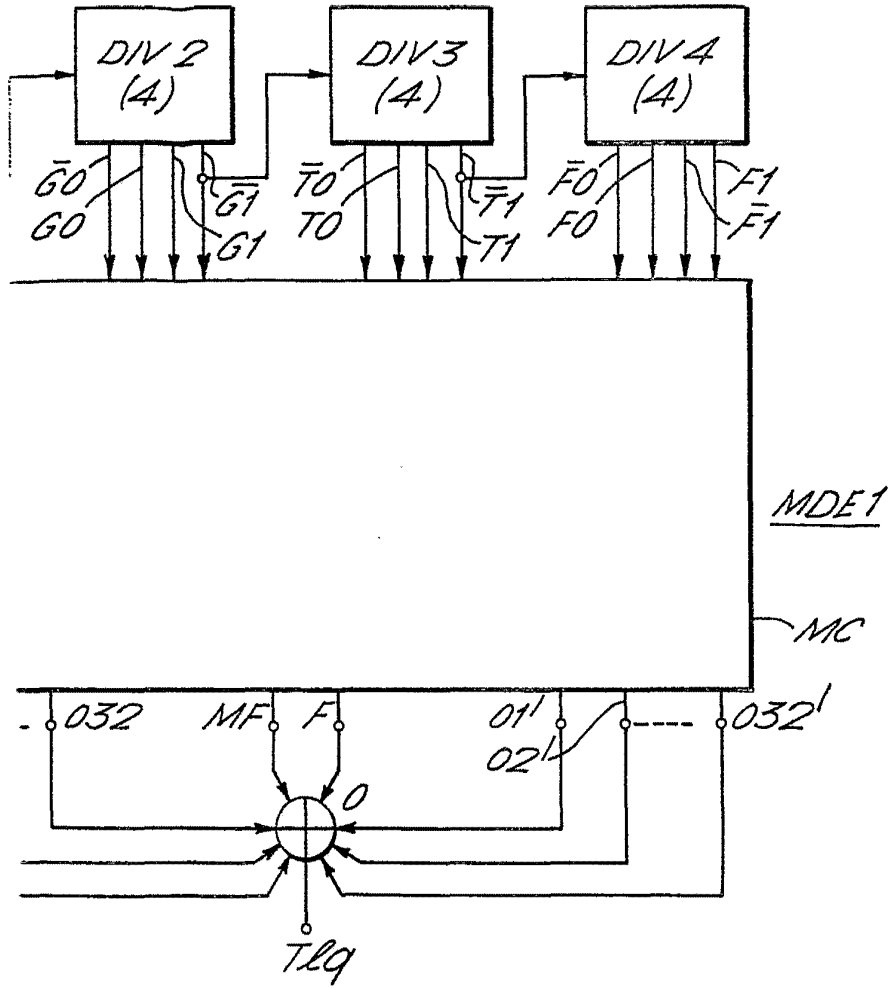
Fig. 2.

M. J. ...

Fig. 2.



11.2



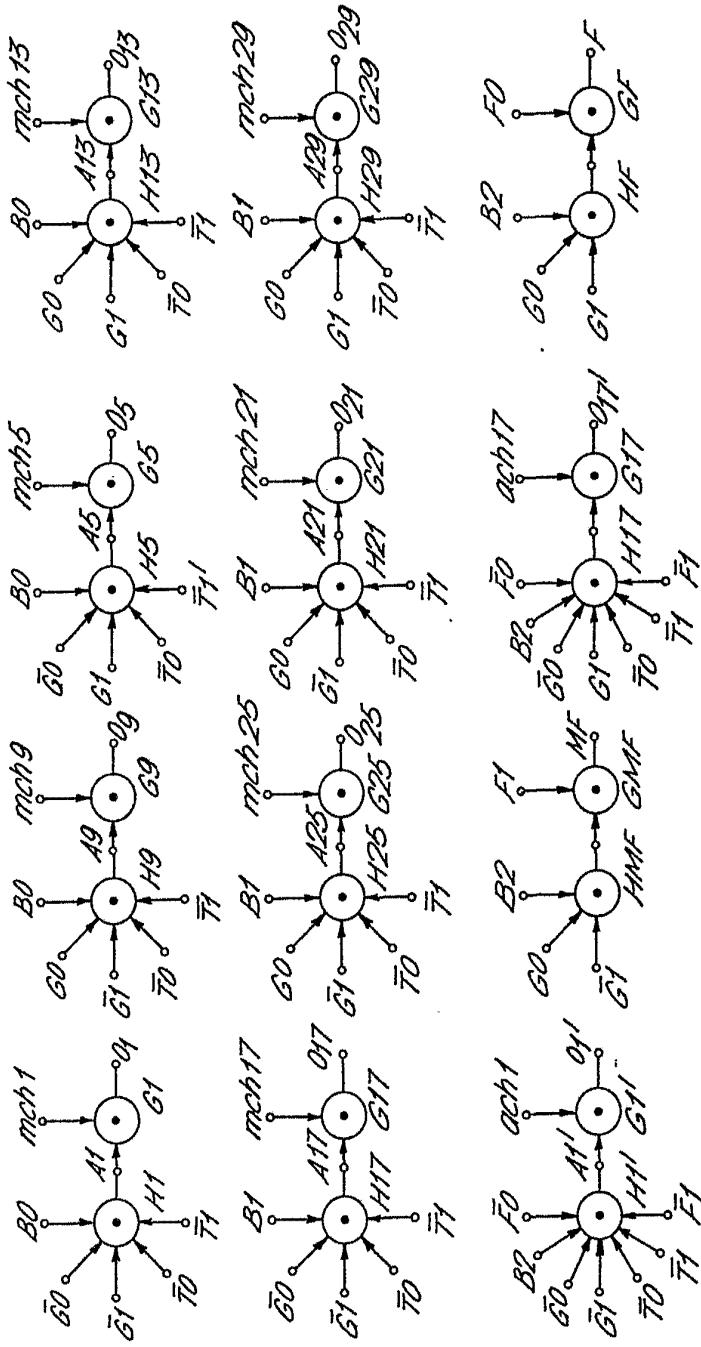
Dr. J. J. ...

Fig.3.

		0	1	2	3	4	5	6	7	8	9	10	11
		GR0 (00)			GR1 (10)			GR2 (01)			GR3 (11)		
		0	1	2	0	1	2	0	1	2	0	1	2
FR0 (00)	T50 (00)	1	17	1'	9	25	0	5	21	17'	13	29	0
	T51 (10)	3	19	9'	11	27	0	7	23	25'	15	31	0
	T52 (01)	2	18	5'	10	26	0	6	22	21'	14	30	0
	T53 (11)	4	20	13'	12	28	0	8	24	29'	16	32	0
FR1 (10)	T50			3'			0			19'			1
	T51			11'			0			27'			1
	T52			7'			0			23'			1
	T53			15'			0			31'			1
FR2 (01)	T50			2'			1			18'			0
	T51			10'			1			26'			0
	T52			6'			1			22'			0
	T53			14'			1			30'			0
FR3 (11)	T50			4'			1			20'			1
	T51			12'			1			28'			1
	T52			8'			1			24'			1
	T53			16'			1			32'			1

Mr. J. S. ...

Fig. 4.



Handwritten signature or text in the top right corner.

Fig. 4.

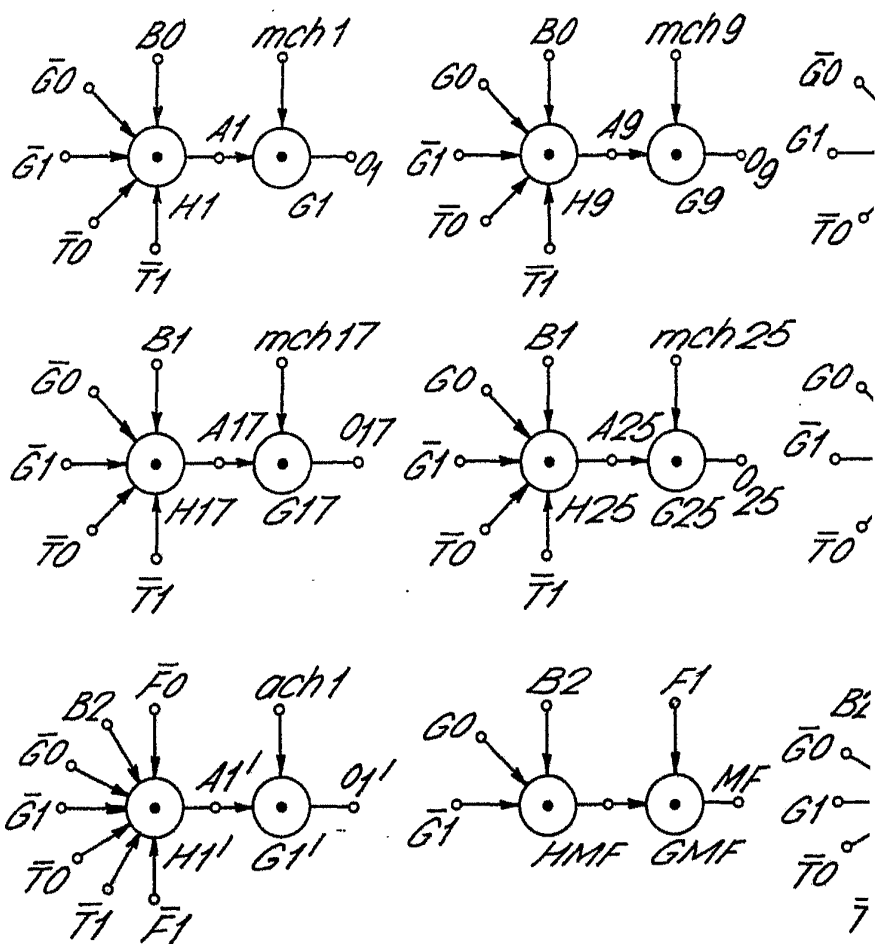
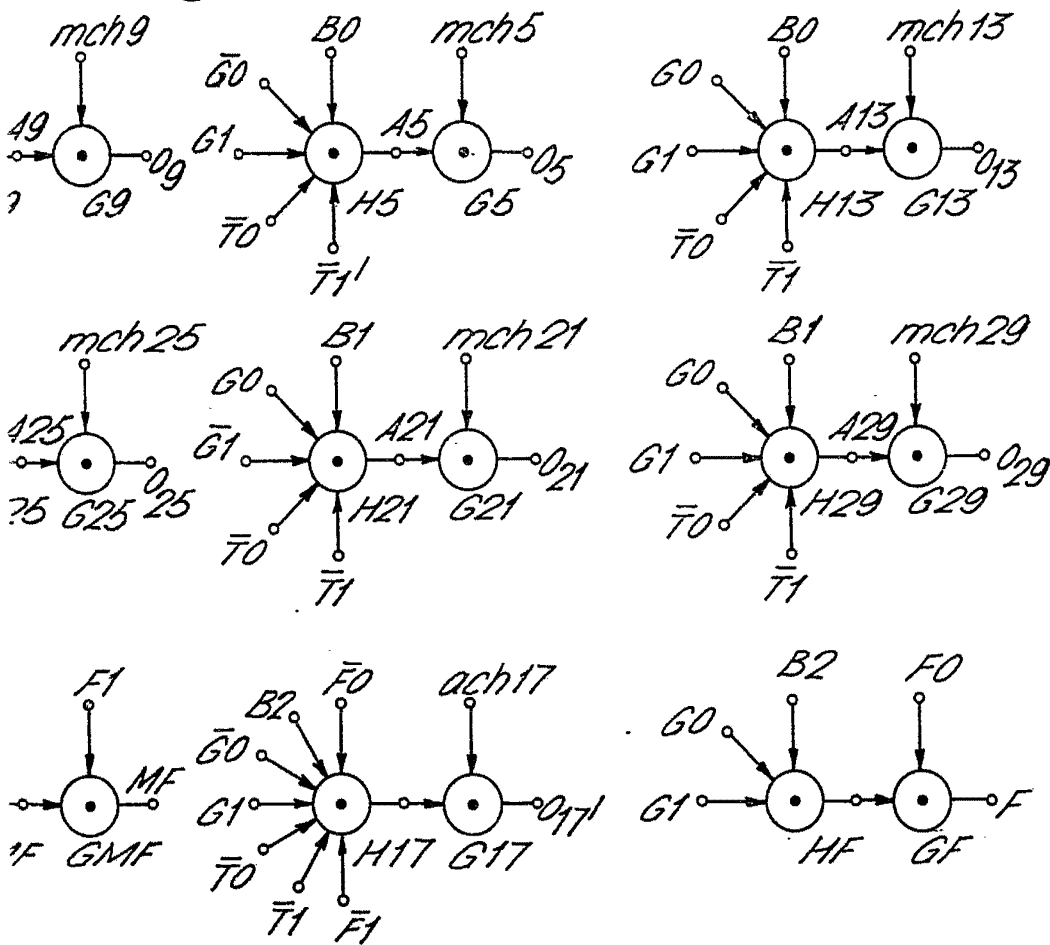
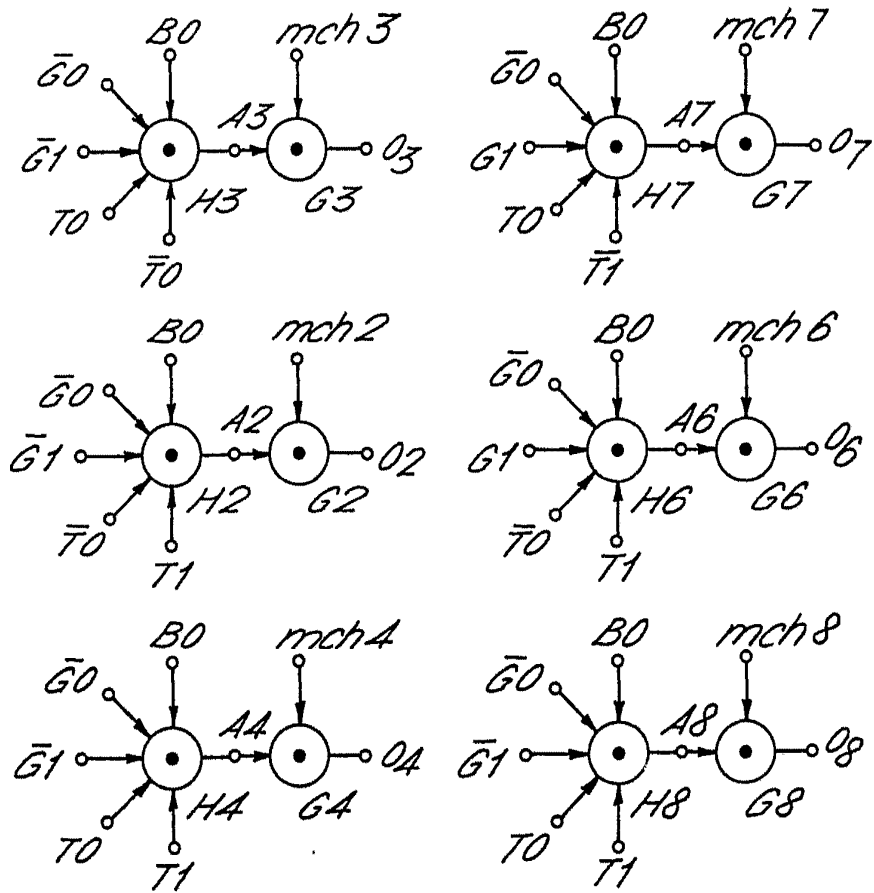


Fig.4.



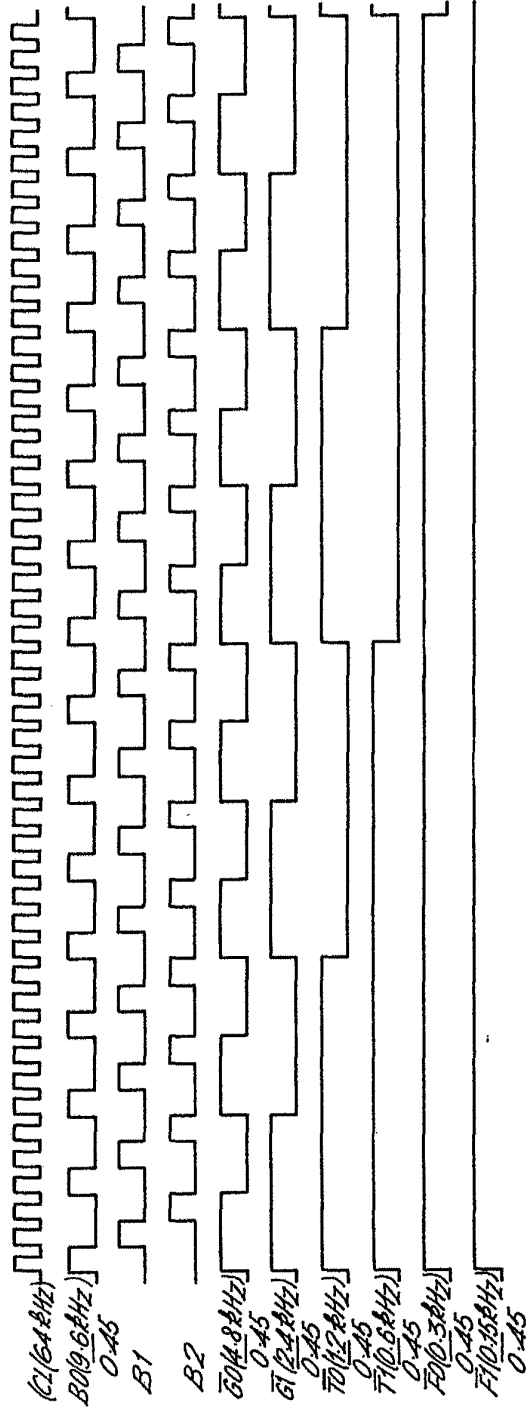
U. / ...

Fig.5.



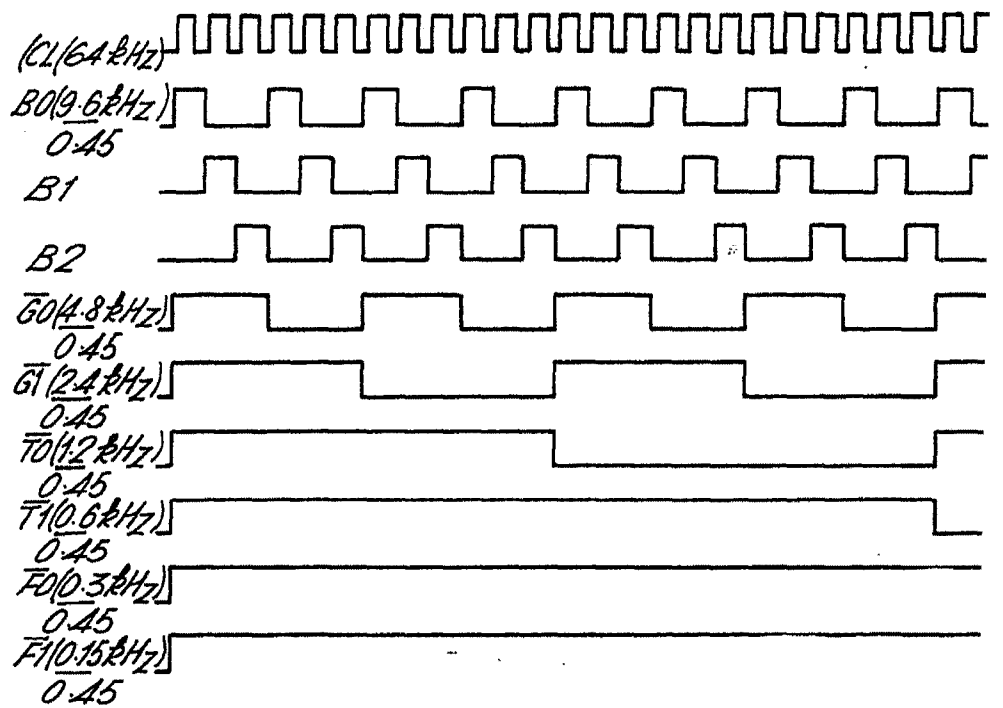
Alfred S. ...
THE SECRET ...

Fig. 6.



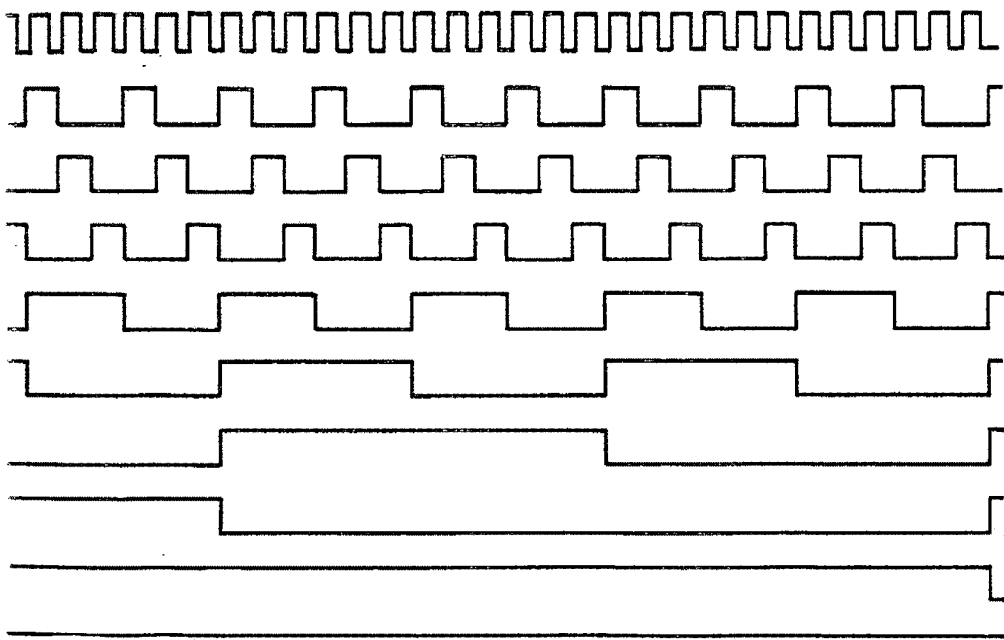
Handwritten signature

Fig.6.



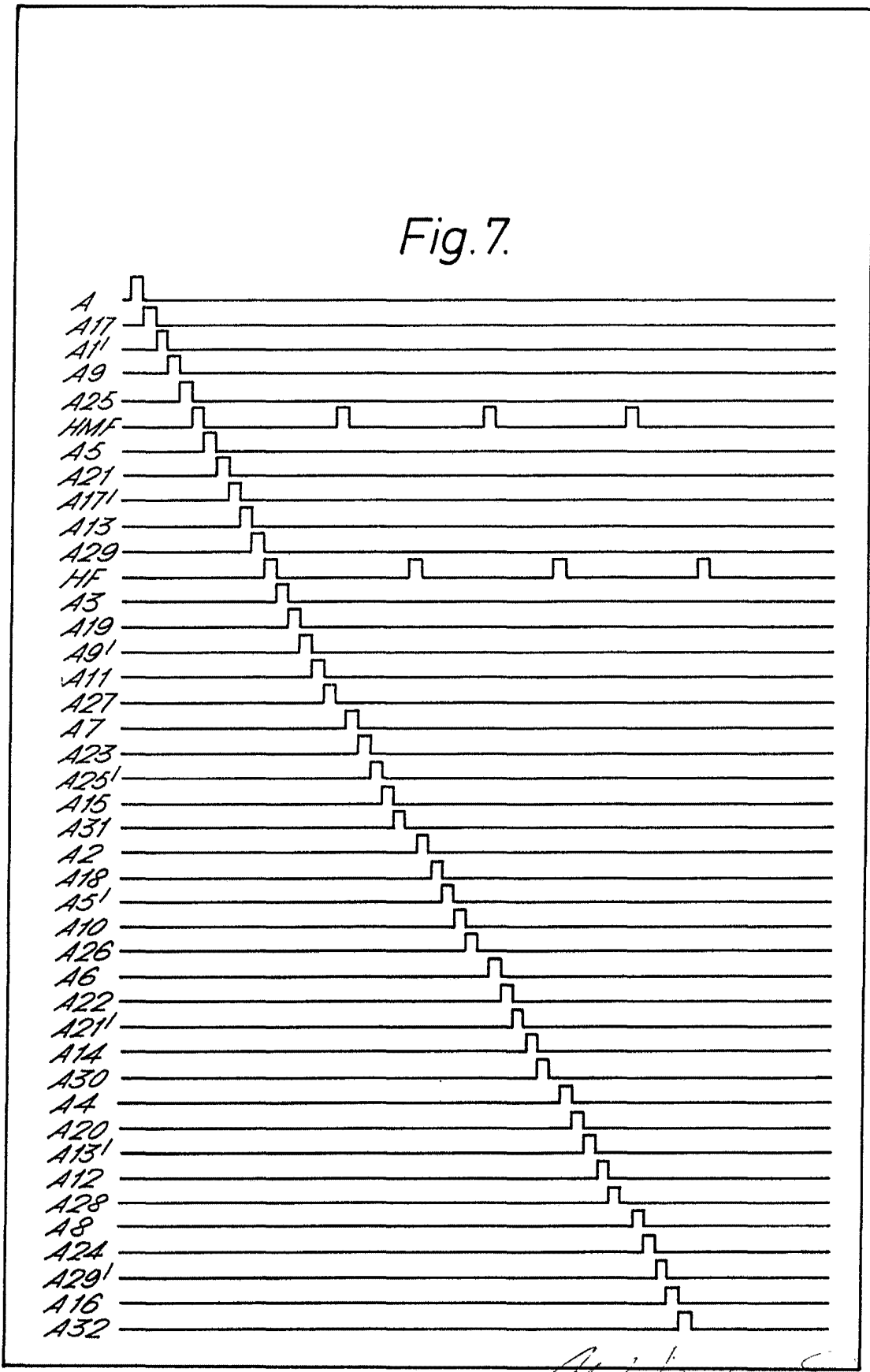
162

Fig. 6.



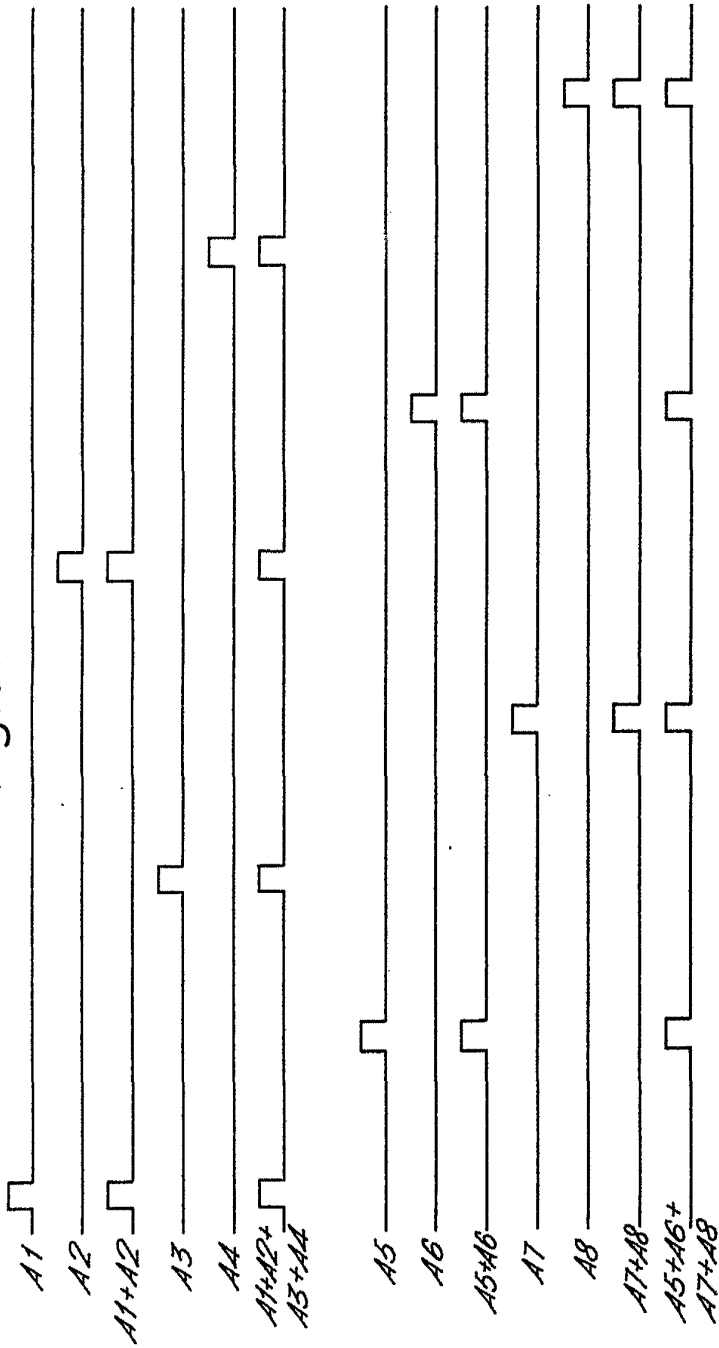
W. J. Southworth

Fig. 7.



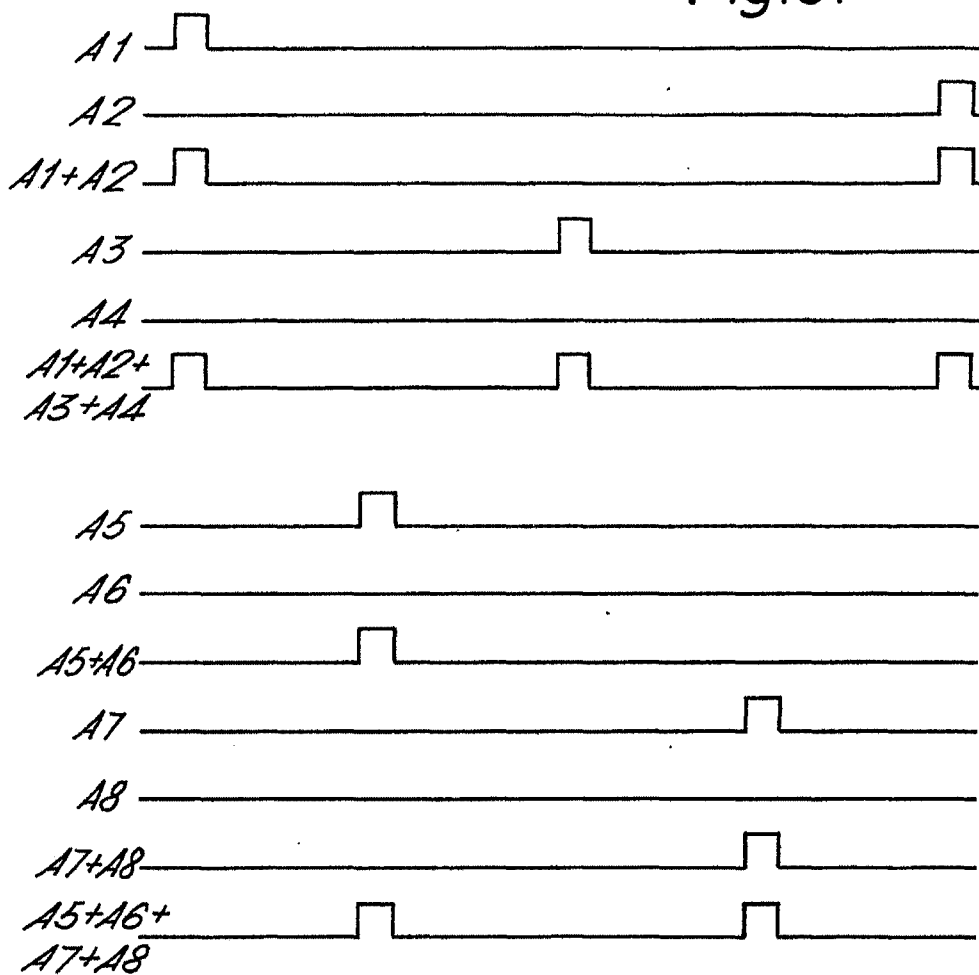
[Handwritten signature]

Fig. 8.

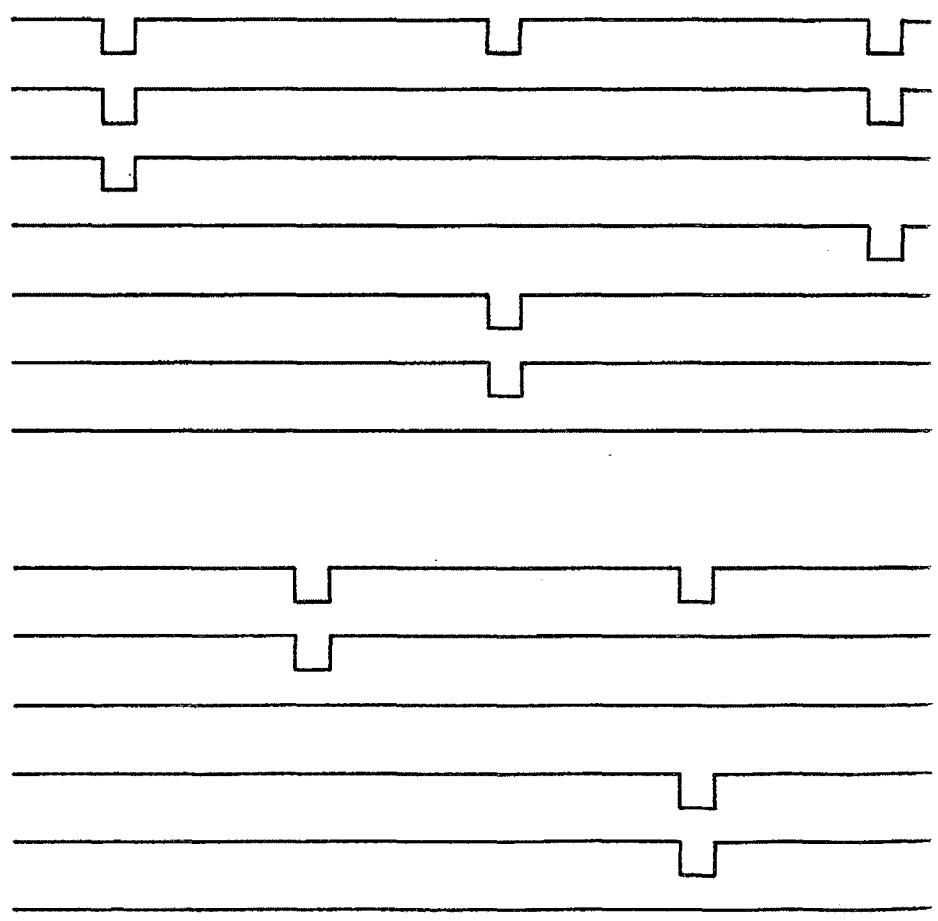


Handwritten signature or text

Fig. 8.



Handwritten signature or text in the top left corner.



ig. 8.

Small handwritten mark or signature at the bottom left.

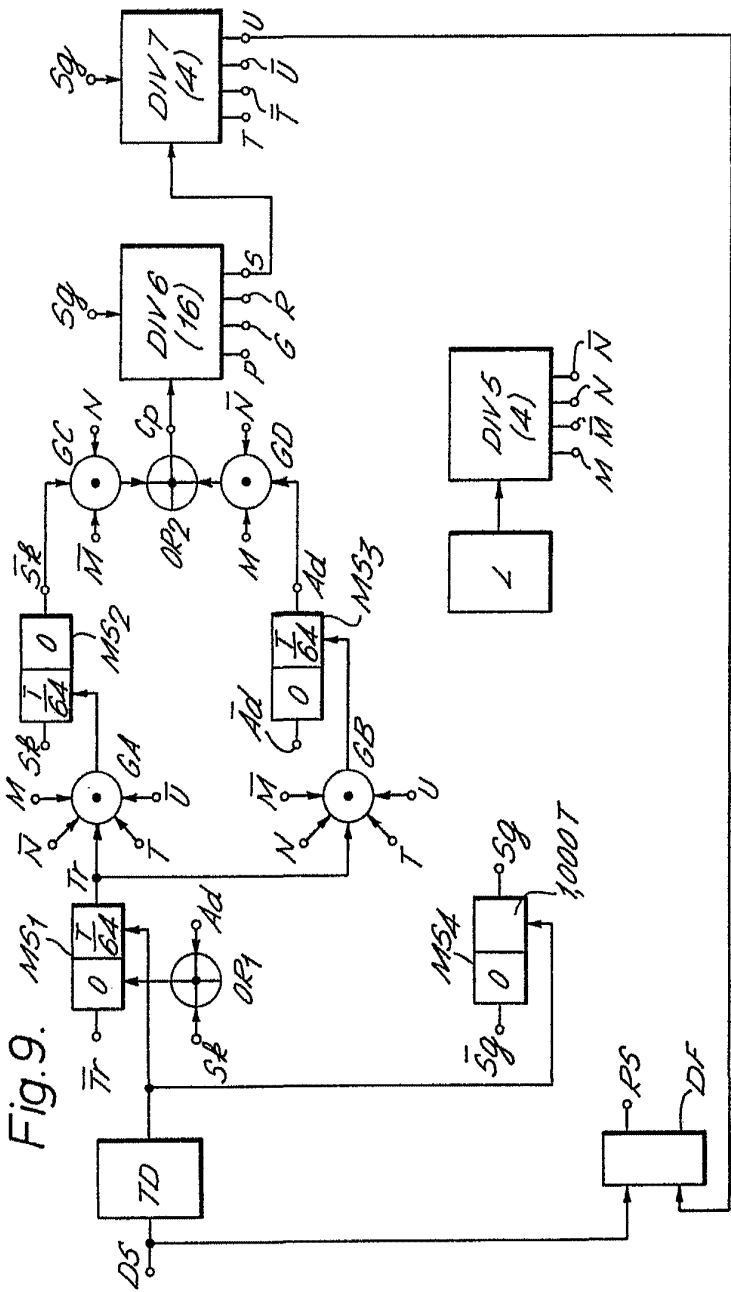
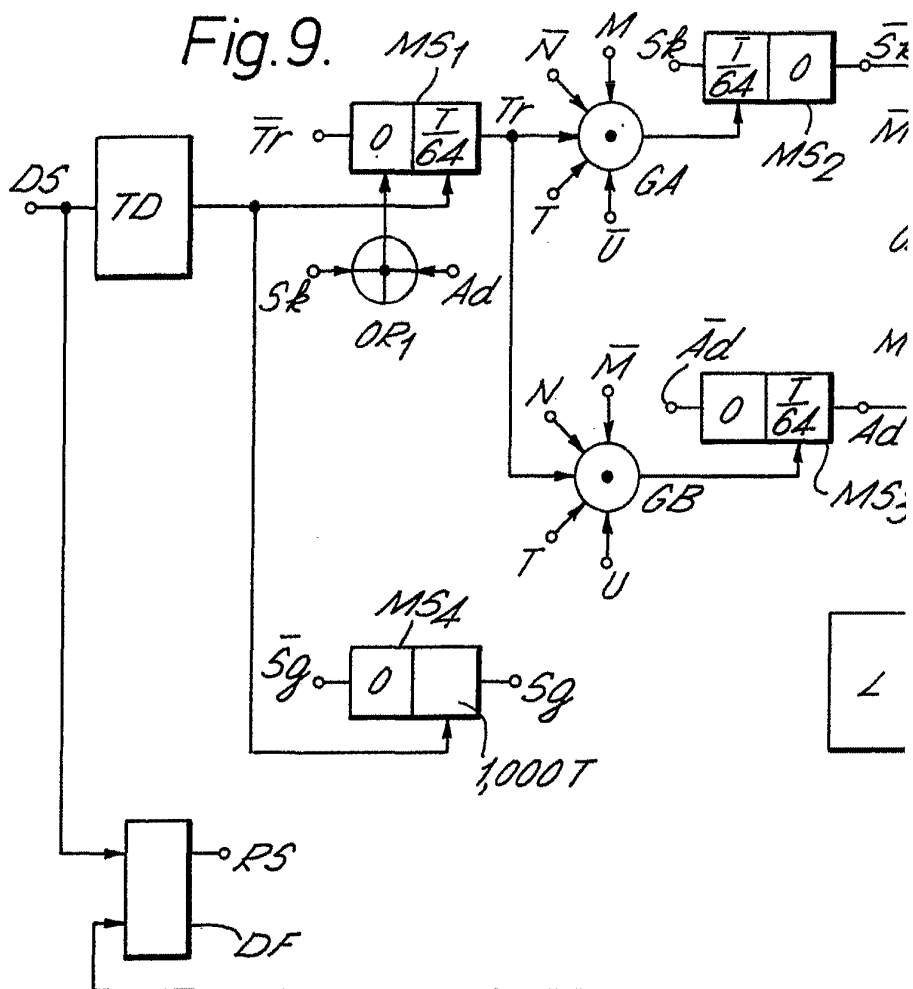


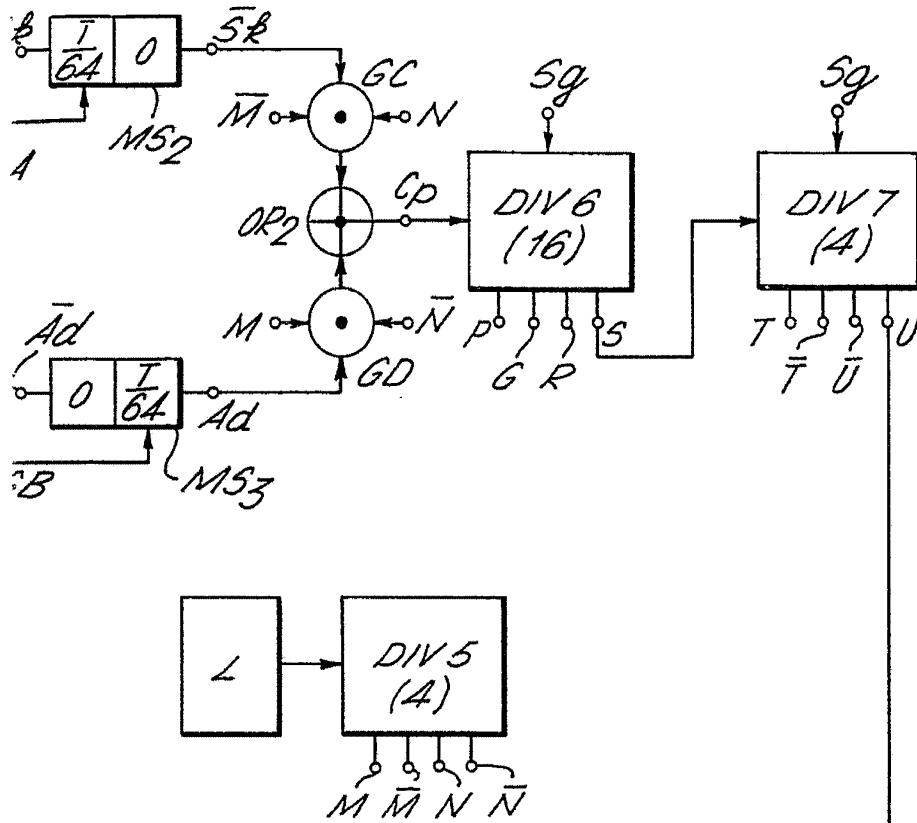
Fig. 9.

(Handwritten signature)

Fig. 9.

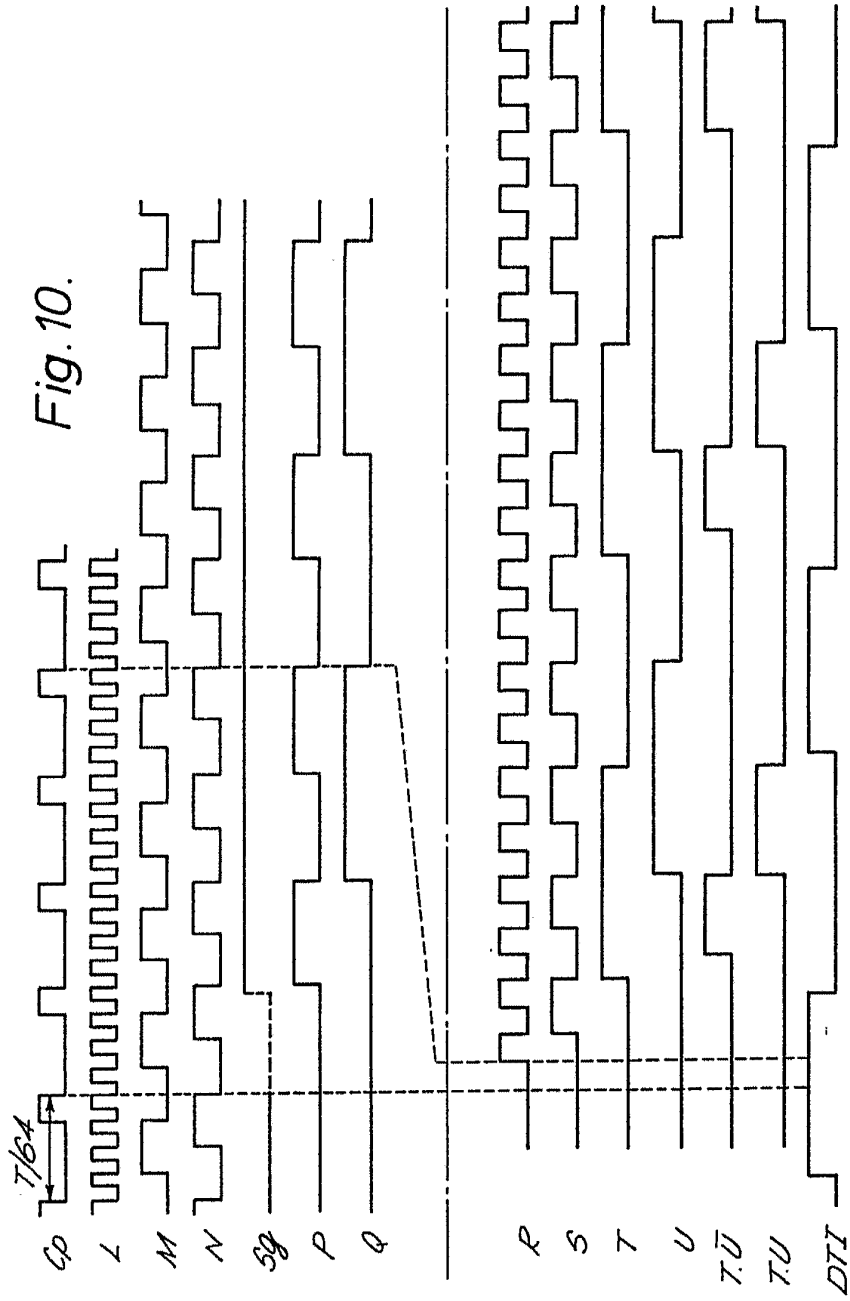


11/9

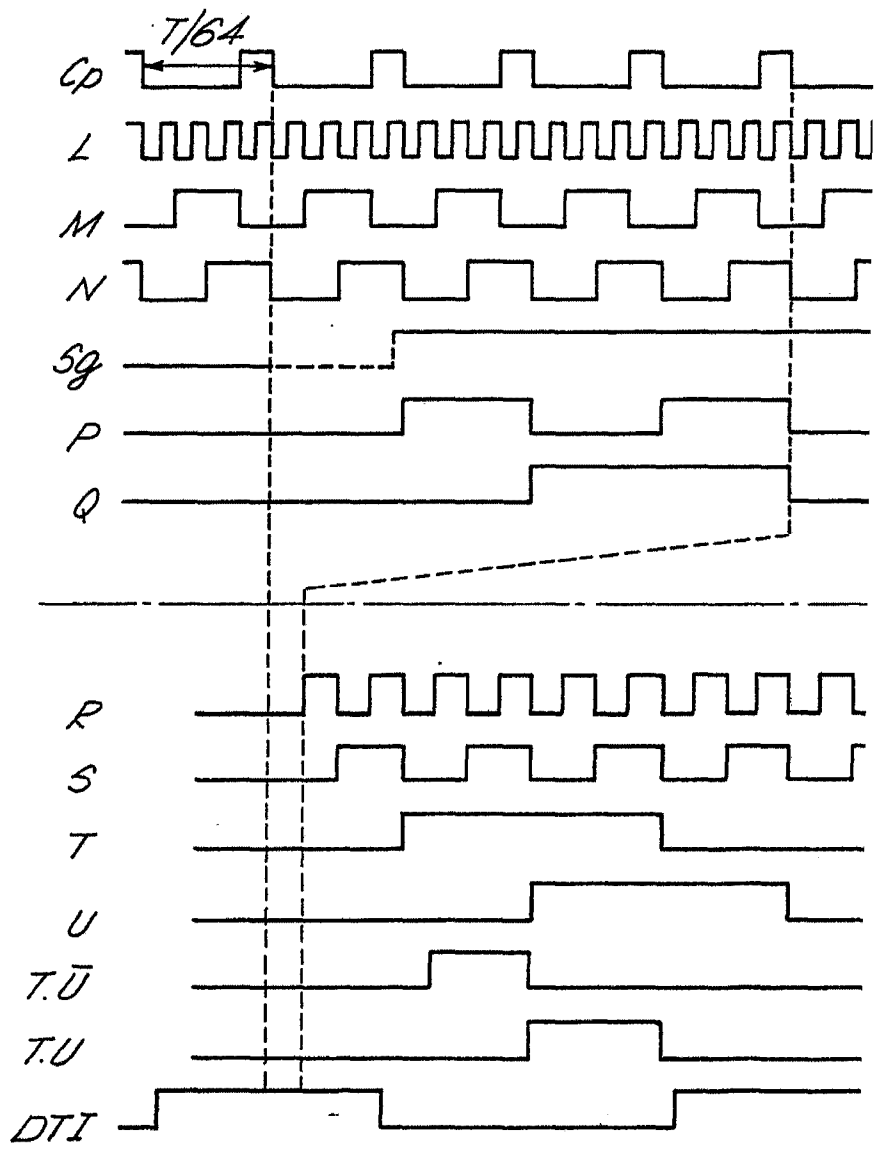


Prof. Soubhramonyam

Fig. 10.



Handwritten signature or initials



GENERAL GENERAL

Mr. J. S. ...

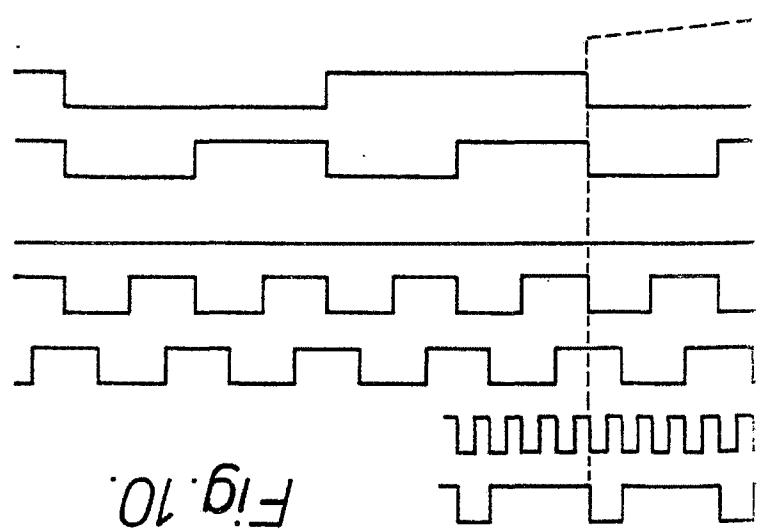
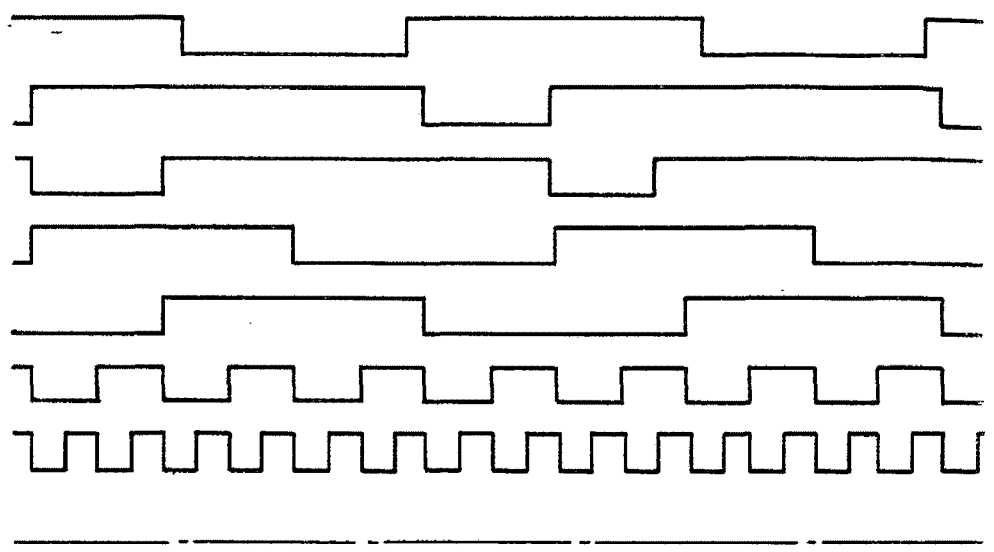


Fig. 10.

11/10

Fig. 11.

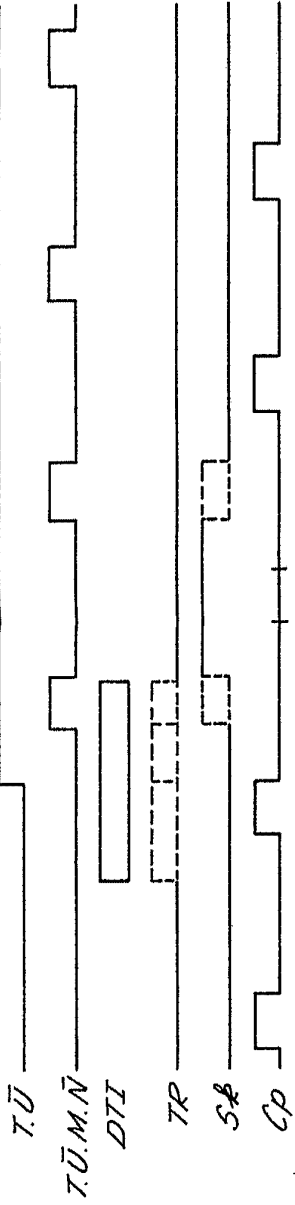
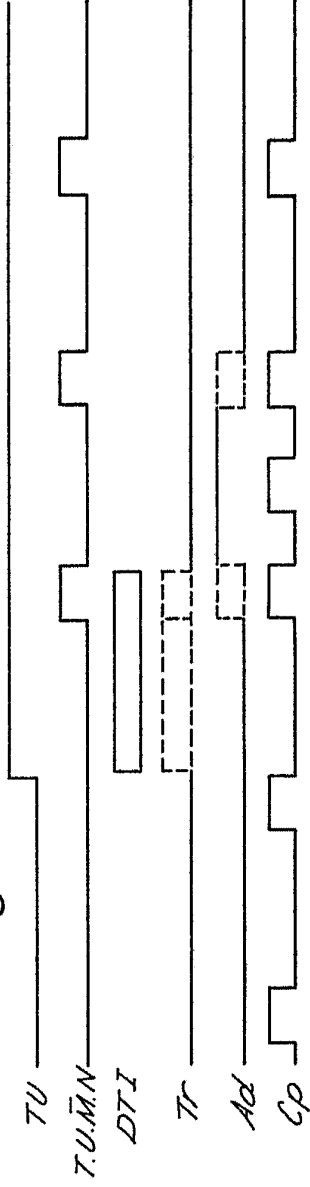


Fig. 12.



(Handwritten signature)

Fig.11.

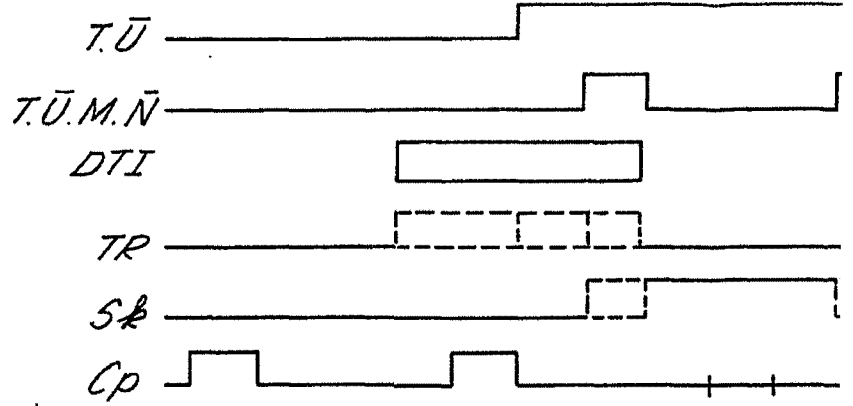
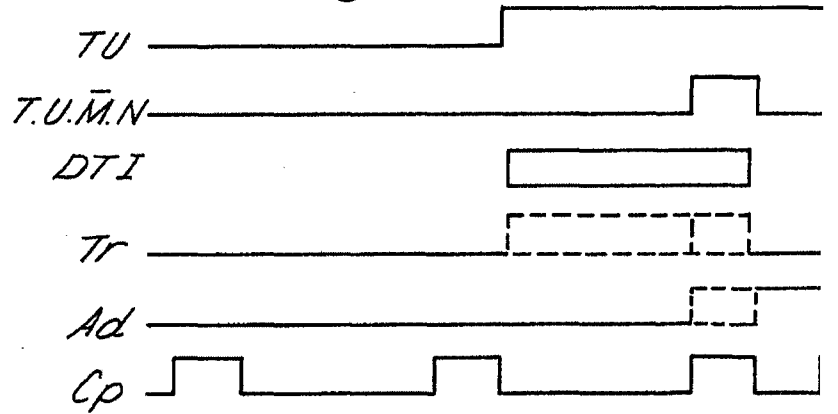
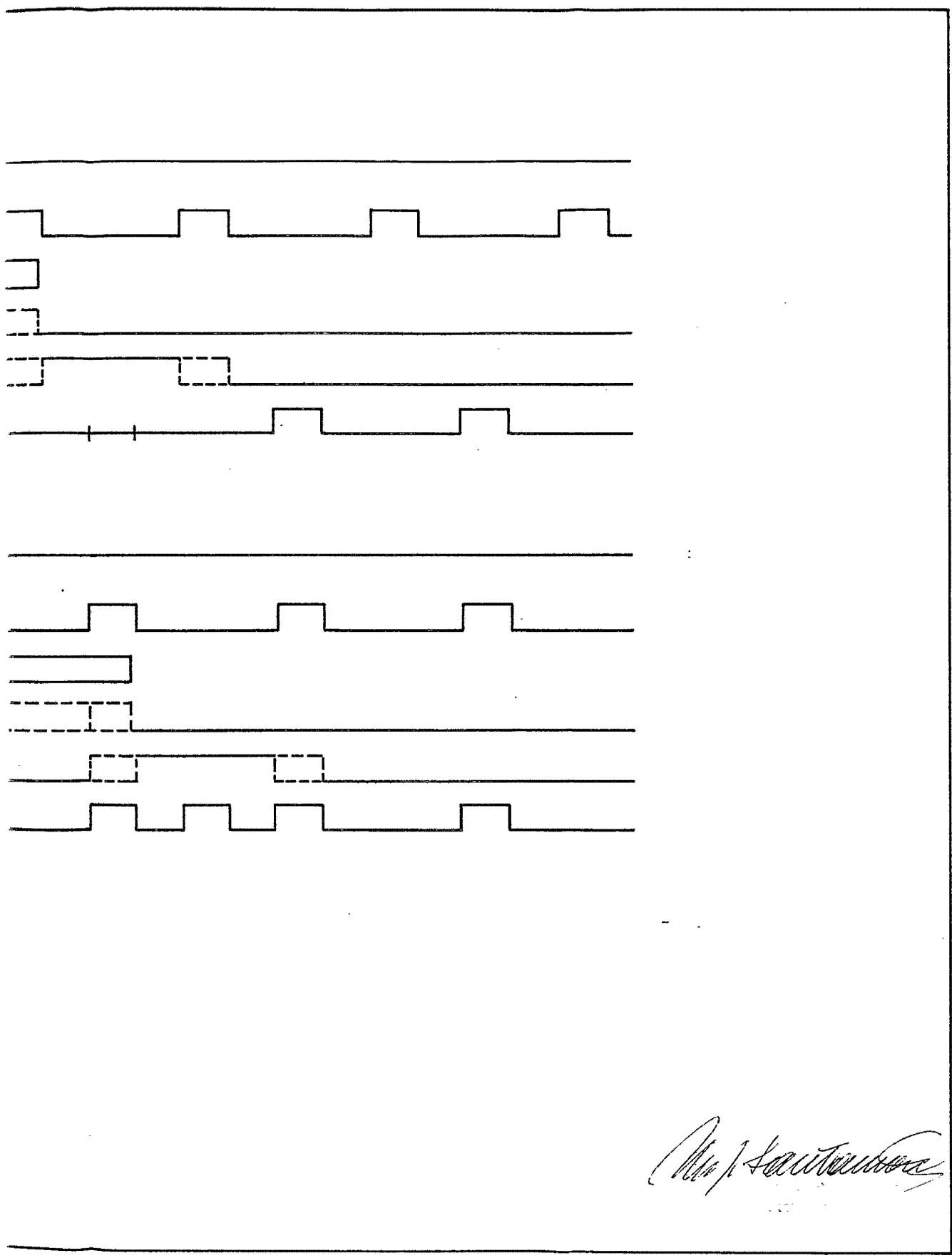


Fig.12.



100



W. J. Sauter