



10	ES	11	NUMERO	10	A 1
		21	<b>455385</b>		
		22	FECHA DE PRESENTACION		
			27 ENL. 1977		

**PATENTE DE INVENCION**

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
Ser 653.349	29 de Enero de 1.976	Norteamerica.
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04L	
64 TITULO DE LA INVENCION		
Perfeccionamientos en aparatos para comunicar señales digitales.		
71 SOLICITANTE (S)		
WESTERN ELECTRIC COMPANY, INCORPORATED, entidad norteamericana.		
DOMICILIO DEL SOLICITANTE		
residente en 195 Broadway, New York 10007, EE.UU. de A.		
72 INVENTOR (ES)		
JOSEPH HENRY CONDON.		
73 TITULAR (ES)		
74 REPRESENTANTE		
D. Jaime Gomez-Acebo y Modet.		

Este invento se refiere a un aparato para comunicar señales digitales que comprende grupos de códigos entre dos sistemas digitales que se caracterizan porque un primer sistema digital se sincroniza mediante una primera base de tiempo y un segundo sistema digital se sincroniza mediante una segunda base de tiempo independiente de la primera base de tiempo en frecuencia y fase.

5.

Las operaciones de señales digitales, tanto si son de un sistema de transmisión de señales digitales como de un codificador, decodificador o alguna clase de dispositivo de proceso o elaboración de señales, exigen algún tipo de base de tiempo predeterminado que produzca periódicamente información de temporización o señales sobre las cuales se basan las funciones sistemáticas para proporcionar operaciones ordenadas. Las operaciones de señales de temporización o sincronización se consiguen empleando todas las señales

10.

o ciertas señales elegidas de una señal de base de tiempo producida por un oscilador local o reloj local. Aunque dichos osciladores se diseñan para producir una señal de base de tiempo estable de frecuencia constante predeterminada, todos los osciladores están sujetos a una imprecisión definida en la frecuencia además de un cierto valor de desplazamiento de la frecuencia con variación de tiempo. Por consiguiente, dos osciladores diseñados de una forma idéntica, con las mismas especificaciones, es lo más probable que produzcan señales ligeramente diferentes en frecuencia y que tengan una diferencia de frecuencia que varía con el tiempo.

15.

20.

25.

Cuando una pluralidad de sistemas digitales se conectan entre sí para comunicarse unos con otros, una operación compatible exige un sincronismo total de funciones sistemáticas. Para conseguir una operación compatible, los osciladores locales de sistemas digitales se sincronizan en general o se bloquean en fase para evitar el desplazamiento de frecuencia con variación de tiempo entre

30.

los diversos osciladores locales. Si no se elimina el desplazamiento de la frecuencia, puede ser que se pierdan datos o se elaboren de una forma errónea.

5. Cuando diversas partes de un sistema de comunicaciones digitales general se diseminan para que sirvan a una cierta zona geográfica, la sincronización fiable de los osciladores locales en lugares diferentes del sistema puede que exija enlaces adicionales de comunicaciones con un reloj maestro que aumenta el coste de estos sistemas. A medida que aumentan las distancias para abarcar áreas mayores, las diferencias habidas en los tiempos de retardo de la propagación de diversos trayectos de señales, incluyendo las empleadas para fines de sincronización, son suficientes para producir problemas de sincronización. Además, el fallo del reloj maestro o cualquiera de los enlaces de comunicaciones empleados para la sincronización son fuentes adicionales de fallos del sistema.

10. Una solución tradicional para proporcionar una interfase entre sistemas digitales sincronizados independientemente es la de convertir la información digital de un sistema en información analógica y después volver a convertir la señal analógica de nuevo en una señal digital que se vuelve a temporizar de acuerdo con la base de tiempo de otro sistema. Otra técnica es convertir la señal modulada en códigos de impulsos (PCL) en una señal modulada en delta y después volver a convertir la señal en una señal de PCL de acuerdo con una segunda base de tiempo. Ambos dispositivos utilizan conversión de la señal que es indeseable por el equipo necesario para ejecutar la conversión y aproximaciones de amplitud propia de las técnicas de conversión de la señal que degradan la calidad del contenido de información de la señal que experimenta la conversión. Otro inconveniente de esta última técnica es que, si
- 15.
- 20.
- 25.
- 30.

las señales digitales de los dos sistemas no se codifican empleando el mismo régimen de muestreo, proporciona el cambio de cadencia simplemente repitiendo y suprimiendo señales digitales con lo que se degrada también la calidad de la información.

5. Por lo tanto, el problema al que esta dirigido el presente invento consiste en proporcionar una interfase flexible entre sistemas digitales sincronizados en cooperación pero de una forma autónoma empleando una cantidad mínima de conversiones de señales que compensa automáticamente la diferencia y desplazamiento de la frecuencia causados por ausencia temporal o permanente de sincronización, con lo que se mejora el comportamiento y fiabilidad generales del sistema.

10. El problema anterior se resuelve en un sistema de comunicaciones que comprende medios de almacenamiento acoplados al primer sistema digital para recibir grupos de códigos derivados de los grupos de códigos del primer sistema digital a una primera cadencia o régimen sincronizado con la primera base de tiempo, y para almacenar dichos grupos de códigos, medios de acceso para recibir el contenido de los medios de almacenamiento a una segunda cadencia sincronizada con la segunda base de tiempo, y para controlar la fase de los grupos de códigos para el segundo sistema digital, medios de temporización para generar una salida indicativa de la fase relativa de los grupos de códigos del segundo sistema digital con respecto a la fase de los grupos de códigos producida por el primer sistema digital, medios multiplicadores acoplados a los medios de almacenamiento que tienen ganancia variable controlada por la salida de los medios temporizadores, produciendo los medios multiplicadores una salida indicativa del producto de la amplitud cuantificada de por lo menos un grupo de códigos del primer sistema digital y la ganancia de los medios multiplicadores,
- 15.
- 20.
- 25.
- 30.

- medios adicionadores para combinar las salida de los medios multiplicadores con contenido elegidos de los medios de almacenamiento para producir grupos de códigos para el segundo sistema digital, donde cada grupo de códigos se deriva de por lo menos un grupos de
5. códigos del primer sistema digital, y medios de salida para generar una señal interpolada que comprende grupos de códigos producidos por los medios adicionadores sincronizandose los medios de salida con los medios de acceso para abastecer una señal interpolada compatible con el segundo sistema digital, por lo que los medios temporizadores y los medios multiplicadores acomodan diferencias en
10. frecuencia y en fase entre la primera y la segunda bases de tiempo, conservando prácticamente el mismo contenido de información en la señal interpolada que el indicado por la señal digital procedente del primer sistema digital.
15.           En el dibujo:  
La figura 1 es un diagrama de una parte de un sistema telefónico.
- Las figuras 2A y 2B, cuando se juxtaponen según se ilustra en la figura 3, ilustran un diagrama de conjuntos de un aparato organizado según el invento.
20.           Las figuras 4 y 5 sirven para explicar el funcionamiento del aparato organizado según la figura 2A; y  
Las figuras 6, 7 y 8 representan diferentes aspectos en el funcionamiento del aparato ilustrado en la figura 2B.
25.           El invento en sus diversos aspectos resuelve las limitaciones de las interfases de la tecnología anterior. Expuesto en términos generales, el invento proporciona un medio de acoplamiento de las señales todo digital con flexibilidad propia para acomodar un pequeño desplazamiento de frecuencia, comúnmente presente
30. pero variable, en la cadencia o régimen de señalización entre los

dos sistemas digitales. En algunos de sus aspectos más específicos el invento proporciona un cambio en el régimen de muestreo de señales digitales adaptando el valor de las muestras codificadas que salen del medio en respuesta a cambios de tiempo reales en la secuencia de temporización relativas en la aparición de muestras codificadas de los dos sistemas digitales acoplados a través del medio.

En sus aspectos más generales, el invento adopta la forma de una interfase elástica entre dos sistemas digitales de comunicaciones sincronizados de una forma autónoma a bases de tiempo individuales independientes una de la otra en frecuencia y fase. Los sistemas se comunican empleando grupos de códigos de señales digitales. La interfase comprende una memoria que almacena grupos de códigos del primero de los dos sistemas digitales. El contenido de la memoria se obtiene de la misma para producir grupos de códigos para el segundo de los dos sistemas digitales a un segundo régimen sincronizado de acuerdo con la base de tiempo del segundo sistema. La fase de los grupos de códigos para el segundo sistema digital se mide mediante un dispositivo de temporización con respecto a la fase de los grupos de códigos producidos por el primer sistema digital. Un multiplicador en el circuito con la memoria tiene ganancia variable controlada de acuerdo con el dispositivo de temporización. El multiplicador produce una salida indicativa del producto de la amplitud cuantificada indicada por lo menos por un grupo de códigos procedente del primer sistema y su ganancia. Un adicionador combina la salida del multiplicador con los grupos de códigos elegidos, obtenidos de la memoria para producir grupos de códigos para el segundo sistema donde cada grupo de código se deriva de por lo menos un grupo de código del primer sistema. La señal de salida de la interfase se sincroniza de acuerdo con la segunda ba-

- se de tiempo, para suministrar una señal interpolada compatible con el segundo sistema digital. Según un aspecto fundamental del invento, la flexibilidad de cambiar la ganancia del multiplicador en respuesta a diferencias en el tiempo de la aparición de los grupos de códigos de los dos sistemas, compensa las diferencias en frecuencia y fase entre dos bases de tiempo conservando prácticamente el mismo contenido de información en la señal interpolada que el indicado por la señal digital procedente del primer sistema.
- 5.
10. En algunos de sus aspectos más específicos, el dispositivo de temporización se conecta al multiplicador mediante un traductor que tiene una característica predeterminada. En una modalidad del invento, la característica de transferencia corresponde a una parte de una curva de coseno alzada. En la segunda modalidad del
15. invento, la característica de transferencia corresponde a una parte de la curva producida por un polinomio de tercer orden. La memoria en cada modalidad tiene una estructura en la cual cada lugar almacena un grupo de códigos. La memoria en cada modalidad funciona también como un intercambiador de segmentos de tiempo leyendo
20. los grupos de códigos con una secuencia de localización diferente de la secuencia de localización empleada a medida que los grupos de códigos se alimentan a la memoria. Las secuencias de localizaciones diferentes se alimentan a un substractor cuya salida se alimenta al traductor. La capacidad de memoria en cada una de estas
25. modalidades es diferente, Además, la memoria de la segunda modalidad se adapta para funcionar como un acumulador.

La figura 1 representa una parte simplificada de un sistema telefónico que ilustra una aplicación conveniente del presente invento. Debemos indicar también que solamente se ilustra un aparato pertinente a la aplicación y descripción del invento, y que

30. otros aparatos comprendidos normalmente en la parte del sistema te

telefónico de la figura 1 se ha omitido internacionalmente para mayor claridad. En la figura 1, una central telefónica local 11 da servicio a abonados locales 12 utilizando una red de conmutación multiplexada por división de tiempo (TDM) 13 para establecer conexiones entre los abonados bajo la dirección de un control y temporización comunes 14. La red 13 y el control común 14 indicados de una forma sencilla en la figura 1, como bloques en blanco que comprenden muchas funciones clásicas del sistema que no se refieren directamente al presente invento. Los detalles de la red 13 y el control común 14 se consideran conocidos, no forman parte de este invento, y se mencionaran en adelante tan solo de una forma muy breve. Un ejemplo de una red de conmutación de división de tiempo que funciona por un procesador de control común y temporización común se describe en la patente Estadounidense N° 3.736.381, concedida a Johnson et al el 29 de Mayo de 1973. Dicha red de conmutación se clasifica como una forma de red de almacenamiento-conmutación-almacenamiento-conmutación-almacenamiento. La red 13 da servicio a una pluralidad de abonados locales 12 y se comunica por un par de líneas auxiliares digitales 18 con una central distante 17. La central distante 17, por ejemplo, puede ser una central telefónica de tipo electromecánico donde las señales digitales procedentes de la línea auxiliar 18 se convierten en señales analógicas antes de ser conmutadas para proporcionar conexiones a los abonados locales de dicha central. Como la central distante 17 es un tipo clásico de central telefónica, las líneas auxiliares como las representadas por la línea auxiliar 18, que se comunican entre la central 11 y la central distante 17 se pueden sincronizar convenientemente a las operaciones de la red 13 y el control común 14. Por consiguiente, las líneas auxiliares digitales no presentan problemas de sincronización para la central 11.

- También se ilustra en la figura 1 un sistema de conmutación electrónico distante (ESS) 21 que es una central telefónica TDM que comprende sus propias dependencias comunes de control y temporización. La comunicación entre la central distante 21 y la
5. central 11 consiste en una pluralidad de pares de líneas auxiliares 22. Las líneas auxiliares 22 se sincronizan con las operaciones realizadas en la central 21 y, por lo tanto, se deben adoptar las medidas apropiadas para tener la seguridad de que el funcionamiento de las líneas auxiliares 22 sea compatible con la red 13.
10. La utilización del presente invento dentro de cada una de una pluralidad de interfases de sincronización 23, que acopla las líneas auxiliares 22 a la red 13, deberá entenderse que representa solamente una de las muchas posibles aplicaciones en las que se pueden conseguir las ventajas del presente invento.
15. Para apreciar las operaciones realizadas dentro de la pluralidad de interfase de sincronización 23, es necesario considerar las características de las señales digitales en ambas líneas auxiliares 22 y la red 13. Cada par de líneas auxiliares 22 se puede considerar como un sistema de transmisión digital de tipo de corriente portadora T separado, como el sistema de transmisión de corriente portadora T1 de Bell Telephone System, que funciona a una cadencia de 1,544 megabitios por segundo. Las señales digitales se transmiten por las líneas auxiliares 22 en bloques fijos llamados cuadros. Normalmente, cada cuadro comprende una palabra
20. de código digital de cada uno de los 24 canales de banda de información o de audiofrecuencia. Cada palabra digital es un grupo de ocho bitios en un formato de modulación de código de impulsos de compresión-expansión o codificados por alinealidad (PCM) al ritmo de muestreo de 8 kilomuestras por segundo. Al final de cada 192
25. bitios de información en un cuadro, se añade un bitio final para
- 30.

- fines de sincronización de encuadre en la corriente de bitios digitales. La red 13, por otro lado, se diseña para señales digitales producidas por un ritmo de muestreo más rápido de 32 kilomuestras por segundo. Además del aumento de 4:1 hay también una diferencia básica en el formato de las señales digitales. Cada palabra digital en la red de conmutación 13 es una palabra de 9 bitios codificada de una forma lineal utilizando PCM diferencial. El aumento del ritmo de señales digitales más la conversión de PCM alineal a PCM diferencial lineal permite la simplificación y un notable ahorro de elementos de las posibles operaciones de filtrado que se realizan en la red 13 a costa de un modesto aumento en el costo de los elementos asociados con dicho aumento de ritmo. El invento se describirá en adelante en un ambiente de multiplexación por división de tiempo, puesto que se utilizan en dicho ambiente canales codificados por impulsos, como la representada por las líneas auxiliares 22.

- Un diagrama de conjuntos completo de las interfases de sincronización 23 de la figura 1 comprende el aparato ilustrado en las figuras 2A y 2B, que deberán alinearse según se ilustra en la figura 3. Como el aparato representado en cada parte de la figura 3 funciona de un modo aproximadamente independiente, se describirá en primer lugar la figura 2 que recibe la señal entrante de la línea auxiliar y proporciona una entrada a la red de conmutación 13. El repetidor de la central 31 es el repetidor final de una línea con repeticiones que genera la señal transmitida como otro repetidores desplazados en serie a lo largo del enlace de transmisión digital representado de una forma simple como una de las líneas auxiliares 22 en la figura 1. El repetidor 31, además, puede cambiar el formato de señal bipolar utilizado tradicionalmente en la transmisión digital al formato de señales digitales unipo

lares apropiado que se asocia con la circuitería lógica empleada en el aparato de la figura 2A. La señal de salida del repetidor de la central 31 se alimenta, por el sincronizador de bitios 32, a un convertidor de serie en paralelo 33. Un sincronizador 32 asegura que el convertidor 33 se cargue sin pérdida ni repetición de bitios en cada grupo de código. El sincronizador 32 puede ser un circuito integrado, por ejemplo el sincronizador de doble impulsos SN54120 de Texas Instruments, Inc, que se describe en las páginas 264 268 de "TTL Data Book for Design Engineers", editada en 1973. El convertidor 33 es un registrador de corrimientos en serie que tiene un número de células correspondientes al número de bitio en un grupo de código de la red auxiliar 22. El convertidor 33 sirve como dispositivo de entrada para la memoria 34. La salida del repetidor de la central 31 se alimenta también al circuito de recuperación del reloj 36. El circuito de recuperación del reloj 36 es un dispositivo normal, por ejemplo un circuito tanque resonante o un circuito bloqueada en fase que proporciona una serie de impulsos de salida a una cadencia o ritmo de impulsos correspondientes al ritmo de bitios de la señal recibida en la línea auxiliar 22. El circuito de recuperación del reloj de salida 36 se alimenta a un contador 37 que divide por ocho. El detector 38 detecta el estado de todos "uno" o la salida de conteo total del contador 37 y produce una señal de activación para la memoria 34. Durante la operación sincronizada de encuadre, la señal de activación se produce para transferir cada grupo de código completo del convertidor 33 a la memoria 34. El contador 39 recibe la salida de la etapa final del contador 37 y divide por 24. A pesar de que el aparato de la figura 2A está sincronizado, el contador 39 cambia el conteo coincidiendo con el comienzo de cada grupo de código entrante en la memoria 34. Por consiguiente, el contador 39 sir

ve para identificar el lugar de cada grupo de código en el cuadro según se recibe.

5. Los bitios de encuadre comprendidos en los cuadros de la corriente de bitios recibida de la línea auxiliar 22 se identifican por medio del detector de cuadros 42. Una vez que el detector de cuadros 42 se identifica en lugar preciso de los cuadros en la corriente de bitios, pone los contadores 37 y 39 a cero de modo que el contador 37 cuantas los bitios dentro de cada palabra digital y el contador 39 mantiene un contaje indicativo del lugar de cada palabra digital dentro del patrón de encuadre de la corriente de bitios entrante para proporcionar un funcionamiento sincronizado. Conjuntamente con la salida de activación del detector 38, el contador 39 produce una salida correspondiente al lugar de la palabra digital en el patrón de encuadre recibido en la pluralidad de conductores paralelos representada por la vía 45 para proporcionar señales de localización de escritura para la memoria 34. La vía 45, al igual que otras vías empleadas en el dibujo, está indicada por un conductor de doble revestimiento. La vía 45, en este caso, comprende cinco conductores en paralelo.
10. La memoria 34 es una memoria de accesos de lectura/escritura que se organiza en líneas las cuales tienen capacidad para almacenar un grupo de códigos. La memoria 34 se divide en dos secciones; la superior se puede considerar la parte "par" y la inferior la parte "impar". Cada una de estas partes tiene capacidad suficiente para almacenar un cuadro completo de señales digitales procedentes de la línea auxiliar 22. El contaje de localización del contador 39 indica el lugar de la línea, mientras que el basculador 43 indica en que parte de la memoria ha de almacenarse el contenido del convertidor 33. El primer cuadro recibido y los cuadros impares sucesivos de señales procedentes de las líneas auxiliares
- 15.
- 20.
- 25.
- 30.

22 se escriben en la parte impar de la memoria 34. El segundo cuadro de señales entrantes procedentes de la línea auxiliar 22 incluyendo cuadros pares sucesivos se escriben en la parte par de la memoria 34.

5. Se observará que el primer grupo de códigos en cada cuadro corresponde al primer canal de información hasta el último grupo de códigos en el cuadro que corresponde al 24 canal de información. Este sistema de numeración sucesiva se utiliza para almacenar grupos de códigos sucesivos en líneas en secuencia de la memoria 34. Cada línea tiene un lugar de localización y almacena un grupo de códigos completo. La memoria 34 sirve principalmente para proporcionar las versiones codificadas de dos muestras sucesivas de un canal dado de información para fines de interpolación cada vez que la red 13 recibe una demanda de entrada por parte del control común 14.
- 10.
- 15.

- La salida de la etapa final del contador 39 se alimenta a un basculador par/impar 43 que sirve para indicar si el patrón de encuadre que se recibe en un instante determinado es impar o par. La salida del basculador 43 se alimenta al substractor 44 junto con la salida del contador 39 y la salida de la etapa final del contador 37. Las salidas del contador 39 proporcionan información de localización de escritura para cada palabra digital en la memoria 34. La información de localización de escritura se alimenta a la memoria 34 como señal de recepción de localización de escritura ( $WA_R$ ) en la vía 45. En este punto, se observará que todas las operaciones del aparato mencionado en la figura 2A se sincronizan en la señal entrantes procedente de la línea auxiliar 22 que se escribe en la memoria 34.
- 20.
- 25.

- La salida procedente del dispositivo común de control y temporización 14 se alimenta a la memoria de localización de lectu
- 30.

- ra 46. La memoria 46 proporciona dos salidas paralelas, indicadas como recepción de localización de lectura par o impar ( $RA_{ER}$  o  $RA_{RR}$ ), para localizar dos grupos de códigos sucesivos del mismo canal de información dentro de la memoria 34, para derivar cada grupo de código interpolado. Cuando una vía de salida de la memoria 46 interroga a la memoria 34 en el lugar correspondiente al grupo de código más antiguo, la salida del basculador 43 se identifica. Al recibirse esta localización en la memoria 34, su contenido se transfiere al convertidor de paralelo en serie 47.
10. La salida del convertidor de paralelo en serie 47 se alimenta por el convertidor de códigos 48 al interpolador 49. El convertidor de códigos 48 cambia el contenido de bitios de cada uno de los grupos codificados de una forma alineal, almacenados en una memoria 34, a un grupo codificado de una forma lineal para ser utilizado por el interpolador 49. El convertidor 48 es un circuito de tipo normal conocido como expansor digital, según se indica en la figura 15 de un artículo titulado "Formulación Unificada de Leyes de Expansión-Compresión de Segmentos y Síntesis de Codex y Expansor-Compresores Digitales" escrito por H. Kaneko en The Bell System Technical Journal, volumen 49, Nº 7, Septiembre 1970, página 1.555-1.588. Un dispositivo para proporcionar funcionamiento inverso de compresión digital, se ilustra en la figura 16 del artículo mencionado. La función inversa se realiza por parte del convertidor de códigos 85 de la figura 2B. La señal de localización siguiente producida por la memoria 46 de la otra salida corresponde, por lo tanto, a los grupos de códigos de la muestra sucesiva siguiente del mismo canal de información almacenado en la memoria 34. Al aparecer esta señal de localización, la salida del convertidor 37 transfiere el grupo de código almacenado en dicha localización modificado por el convertidor 48 al interpolador 49. Cuando el par de
- 5.
- 15.
- 20.
- 25.
- 30.

grupos de códigos surge del convertidor 48, el intervalo de temporización entre el par de dos grupos de códigos sucesivos es igual al retardo de propagación del retardador 51, por lo que ambos grupos de códigos aparecen disponibles en la entrada y la salida del retardador. Como las entradas al substractor 52 se conectan a la entrada y la salida del retardador 51, la salida del substractor proporciona la diferencia entre estas dos señales.

La otra entrada al interpolador 49 se suministra por la memoria 53. La entrada a la memoria 53 del substractor 44 se produce restando la señal de localización de lectura de la primera muestra codificada de la señal de localización de escritura simultánea del grupo de códigos que se escribe en dicho instante en la memoria 34 desde el convertidor 33 en el momento en que el control común 14 pide el grupo de código interpolado. La primera muestra codificada es el primer grupo de código del par que llega a las dos muestras codificadas sucesivas del mismo canal de señales utilizado por el interpolador 49 para producir un grupo de códigos interpolados. Como los contadores 37 y 39 proporcionan los lugares de localización de escritura de los grupos de códigos dentro de la memoria 34, dividen también el intervalo entre dos grupos de códigos sucesivos del mismo canal de señal en 48 incrementos. Esto se realiza fácilmente puesto que cada patrón de encuadre contiene 24 palabras de códigos y la salida final del último estado del contador 37, que se alimenta al substractor 44, cambia al doble del ritmo de la salida del contador 39. Por consiguiente, el substractor 44 produce una salida de número binario en un orden correspondiente de 0-48 una vez en cada instante en que se obtienen dos grupos de códigos sucesivos de la memoria 34. Esta salida del substractor 44 sirve para identificar la posición relativa de cada grupo de códigos interpolados dentro del intervalo definido entre la llega del

- par de dos grupos de códigos sucesivos en la memoria 34. La memoria 53 transforma la salida del substractor 44 en un coeficiente  $\alpha_i$  que controle la ganancia del multiplicador 54. La salida del multiplicador 54 se alimenta a una entrada del adicionador 56.
5. Simultáneamente con cada salida del multiplicador 54 se produce la salida del retardador 51. La función del adicionador 56, por lo tanto, es añadir una cantidad medida de la diferencia entre dos grupos de códigos sucesivos al grupo de código más antiguo o que se ha recibido en primer lugar. La salida del interpolador 49
10. que llega del adicionador 56 se alimenta al filtro digital 57. El filtro digital 57 compensa la eliminación de alta frecuencia producida por la función de interpolación realizada por el interpolador 49. Este filtro digital es un filtro de cuarto orden de diseño clásico que se puede poner en práctica, por ejemplo,
15. poniendo el alud dos secciones de segundo orden del tipo ilustrado en las figuras 2 o 3 de la patente Estadounidense numero : 3.777.730, concedida a Croisier el 4 de diciembre de 1.973. Como variante, el filtro 47 se puede poner en práctica mediante una sola sección de cuarto orden del filtro de tipo Croisier. La
20. función final del filtro 57 es convertir el grupo de código interpolado de PCM en un grupo de código de PCM diferencial, que se suministra a la red de conmutación 13 de la figura 1.
- El funcionamiento del interpolador 49 de la figura 2A se expondrá con más detalle con relación a las figuras 4 y 5.
25. Según se ha indicado anteriormente, el substractor 44 produce un número digital, indicado en la figura 4 como  $\delta_R$ . Este número se puede considerar como una variable de fase indicativa de la posición relativa del grupo de código interpolado entre el par de grupos de códigos del que se deriva. En la tabla de la figura
30. 4 se indican valores correspondientes de  $\alpha_i$  por cada valor de  $\delta_R$ .

- En la figura 5,  $XX'$  es la base de tiempo de la señal entrante,  $YY'$  es la base de tiempo de la señal interpolada,  $x_n, x_{n+1}$  son los valores de amplitud indicados por el par de palabras de código en la señal entrante,  $y_1, y_2, y_3, y_4$  son los valores de amplitud derivados por la interpolación entre  $x_n$  y  $x_{n+1}$  y  $\delta_{R1}, \delta_{R2}, \delta_{R3}$  y  $\delta_{R4}$  son intervalos de tiempo empleados para derivar palabras de códigos interpoladas. En la práctica, un par de dos grupos de códigos sucesivos procedentes del mismo canal de información se suministra al interpolador 49 y se representan por  $x_n$  y  $x_{n+1}$  en la escala de tiempo superior  $XX'$  de la figura 5. La flecha bidireccional por encima de la escala de tiempo  $XX'$  representa el desplazamiento de frecuencia relativo entre el reloj que hace funcionar la línea auxiliar 22 y el relé interno del circuito de control y temporización común 14 de la figura 1 que produce un desplazamiento lateral entre las escalas de tiempo  $XX'$  e  $YY'$ . Según se ha indicado anteriormente, la red de conmutación 13 funciona utilizando grupos de códigos indicativos de un ritmo o cadencia de 32 kilomuestras por segundo, o cuatro veces el ritmo o cadencia de la señal entrante en los sistemas de transmisión digitales representados por las líneas auxiliares 22 de la figura 1. Por consiguiente, por término medio, se derivan cuatro grupos de códigos interpolados representados como  $y_1$  a  $y_4$  en la figura 5 desde cada par de grupos de códigos sucesivos.
25. Como las apariciones de los grupos de códigos interpolados están determinadas por el control común 13, su posición relativa entre el par de grupos de códigos se mide por el substractor 44 de la figura 2A y se emplea como base de interpolación. El substractor 44 resta la localización de lectura del más sentido de los dos grupos de código sucesivos de la localización de es

critura corriente que se suministra por el contador 39. La salida del substractor 44, de hecho, mide el intervalo de tiempo entre la recepción del grupo de códigos más antiguos (o recibido en primer lugar) por la memoria 34 y la lectura de la memoria 34 de éste mismo grupo de códigos, para proporcionar el grupo de código interpolado. Se comprenderá que el contaje combinado de todas las salidas del contador 39 y la salida final del contador 37 no excede nunca de 48 o nódulo de contaje 48. Por lo tanto, la diferencia entre las dos localizaciones  $\mathcal{J}_R$  no excede de 48, aunque el intervalo por el cual se almacena la muestra codificada más antigua en la memoria 34 excede realmente del intervalo entre dos muestras de señales codificadas sucesivas del mismo canal de señales, puesto que ambas muestras codificadas deben estar disponibles antes de que pueda tener lugar la interpolación.

Una característica importante de la aplicación ilustrada en la figura 1 es que la interfase de sincronización es idónea para realizar la función de almacenamiento inicial que es necesaria para el funcionamiento de la red de conmutación 13. Además de la función de almacenamiento, la conmutación se realiza también cambiando la secuencia con la cual se leen las señales de la memoria 38 desde la secuencia en la cual se escriben en la memoria. Esta función de conmutación, en combinación con la función de almacenamiento, es una función conocida perfectamente por el experto en la materia como función de intercambio de segmentos de tiempo. Por consiguiente, la salida del substractor 44 es una medida real del tiempo que la muestra codificada más antigua está retenida en la memoria 34 después que el grupo de códigos sucesivo siguiente del mismo canal de información llega a la memoria. Basándose en ésta consideración el experto

5. en la materia puede darse cuenta de las ventajas de este invento empleando el segundo grupo de código o grupo más nuevo del par de grupos de código de la memoria 34 de una manera similar para determinar  $\int_R$  pero, como es lógico, comprende una ligera modificación de la circuitería ilustrada en la figura 2A

10. La memoria de lectura solamente 53  $\int_R$  en un coeficiente  $\alpha_i$  que es el factor de ponderación asignado a la diferencia entre la amplitud del par de grupos de códigos. Entonces, la diferencia ponderada entre el par de grupos de códigos se suma algebraicamente al grupo de código más antiguo por parte del adicionador 56 para proporcionar la salida del interpolador 49.

Esta operación se puede expresar por

$$y_i = x_n + \alpha_i (x_{n+1} - x_n).$$

15. Por término medio, se derivan cuatro grupos de códigos interpolados sucesivos de cada par de grupos de códigos de la memoria 34. Además, cada grupo de códigos de la memoria 34 se utiliza dos veces: Una vez como la muestra más reciente y después una vez como la muestra más antigua para proporcionar el aumento de régimen de muestreo 4:1.

20. Según se ilustra en la figura 5, los coeficientes  $\alpha_i$  definen una curva suave que abarca entre  $x_n$  y  $x_{n+1}$ , donde el valor de  $\alpha_i$  varía de cero a la unidad. La variación de los valores de  $\alpha_i$  determina la forma de la curva suave que, en este caso, se conforma a un semiperíodo de un coseno alzado. Debemos indicar que si la amplitud de  $x_{n+1}$  fuera menor que  $x_n$ , entonces la curva de coseno alzado tendría una pendiente negativa en lugar de una pendiente positiva ilustrada en la figura 5.

25. Para apreciar la importancia de la curva de coseno alzado, se deben examinar los efectos en la señal interpolada pro  
30.

- ducida por éste proceso. Existen dos efectos prominentes. Se introduce una eliminación fija en la banda de paso (v.g., 0 a 4.000 Hz) de la señal muestreada Nyquist. Este efecto se puede compensar fácilmente empleando una característica de banda de paso de compensación en el filtro digital 57 de la figura 2A. El segundo efecto es una eliminación con variación de tiempo o fluctuación de amplitud en la señal para la que no se puede conseguir fácilmente compensación. La forma de la curva empleada en el proceso de interpolación es importante puesto que determina la gama de frecuencias en la cual se produce el efecto de la eliminación con variación de tiempo. El empleo del coseno alzado en lugar de una línea recta produce el efecto beneficioso de elevar la gama de frecuencias de la eliminación con variación de tiempo desde la banda de paso hasta por encima de la banda de paso. Así, el efecto de la eliminación con variación de tiempo se puede eliminar esencialmente mediante una selección apropiada de una característica de banda de paso en el filtro digital 57 de la figura 2A. Se comprenderá que los expertos en la materia pueden elegir otras características diferentes basándose en la información presentada en la presente memoria. En tales casos, deberán elegirse valores diferentes para  $\alpha_i$  en la figura 4 y la curva de la figura 5 tendrá también una forma diferente.

El funcionamiento del interpolador 49, en combinación con la memoria 34 y el aparato correspondiente, proporciona una interfase completamente elástica en la cual las señales entrantes se sincronizan con una fuente de temporización, mientras que las señales de salida interpoladas se producen en sincronización con una segunda fuente de temporización. Al contrario que en un dispositivo compensador normal que es elástico solamente hasta el grado permitido por la capacidad del compensador y por

- lo tanto puede compensar solamente un desplazamiento de frecuencia a plazo relativamente corto, el aparato del invento lleva en sí la capacidad de compensar como diferencia de frecuencia continua en el régimen de impulsos causada por el funcionamiento de sincronizado de las dos fuentes de temporización mencionadas.
5. El interpolador 49 consiguió esta característica alterando la amplitud del grupo de código interpolado para permitir el desplazamiento en posición del grupo de código interpolado con relación a los grupos de códigos recibidos de los cuales se deriva.
10. En vista de ésta característica única en su género, se emplea la expresión "promedio" para describir el número de grupos de códigos interpolados derivados de cada par de grupo de códigos sucesivos, puesto que habrá ocasiones, aunque infrecuentes, en las cuales se deriven tres o cinco grupos de códigos interpolados de un par de grupos de códigos sucesivos. El hecho de que se deriven más o menos de cuatro grupos de códigos interpolados de un par de grupos de códigos se determina por el hecho de que el régimen de bitios entrantes de la línea auxiliar sea más rápido más lento que el régimen de bitios que exige la conmutación. La característica anterior se pondrá más de evidencia en la exposición de las figuras 6,7 y 8 que facilitan la explicación del proceso de interpolación de la figura 2B.
- 15.
- 20.

- El aparato de la figura 2B proporciona una interfase entre la salida de la red de conmutación 13 y la entrada a la línea auxiliar digital 22, que están indicadas, respectivamente, en la esquina inferior derecha y la esquina superior izquierda de la figura. Antes de exponer una descripción del aparato de la figura 2B, se deberá considerar que la circuitería funciona en general de una forma similar al aparato ilustrado en la figura 2A. Deberá tenerse en cuenta que la inversa de las operaciones
- 25.
- 30.

de la señal descritas con relación a la figura 2 se realizan en la figura 2B. Servirá de ayuda también observar que las diferencias básicas en la circuitería resultarán evidentes comparando estas dos figuras y que se deben principalmente al hecho de que el régimen de muestreo se reduce en lugar de aumentar como en la figura 2A.

La entrada de datos de la red de conmutación 13 se alimenta al filtro digital 61, que es un filtro digital normal que realiza filtro de paso de banda de la señal. El filtro 61 se puede llevar a la práctica acoplando entre si dos secciones de paso alto de primer orden seguido de una parte de paso bajo que comprende dos secciones de segundo orden o una sección de cuarto orden del tipo Croisier. El filtro 61 proporciona además una conversión de código de señal PCM diferencial a señal de PCM líneal.

Además del filtro 61, el trayecto de señal de la red de conmutación 13 comprende el multiplicador digital 62, adicional 63 y convertidor serie en paralelo 64 que sirve como dispositivo de entrada para la memoria 66. La memoria 66 tiene una estructura similar a la memoria 34 pero sirve solamente como almacén de un cuadro y proporciona además una función de intercambio de segmentos de tiempo similar a la memoria 34 de la figura 2B. La memoria 66 sirve también como acumulador para almacenar términos parciales de señales interpoladas durante el proceso de interpolación.

La señal procedente de la red de conmutación 13 se produce en bloques o cuadros que contienen una palabra digital de cada uno de los 24 canales de señales diferentes. El orden en el cual estas palabras digitales llegan desde los canales de señales diferentes está en función a las operaciones de conmu

- tación de la red 13 en la figura 1 y a la operación de intercambio de segmentos de tiempo que se produce en la figura 2A. Se observará que las palabras de códigos de cada canal son palabras derivadas digitalmente del proceso de interpolación producido en dicho aparato de la figura 2A, por lo que cada palabra del código es una equivalente de la señal analógica representada por la señal digital en las líneas auxiliares 22 de la figura 1 muestreada a un régimen de 32 kilomuestras por segundo. El aparato de la figura 2B convierte estas señales digitales de 32 kilomuestras por segundo de nuevo en una señal de salida digital de ocho kilomuestras por segundo compatible para transmisión en las líneas auxiliares 22 de la figura 1. Por término medio, se utilizarán cuatro muestras de 32 kilomuestras por segundo de un canal de señales de la red de conmutación 13 para proporcionar una sola señal de salida interpolada de una de las líneas auxiliares 22 en la figura 1.
- 5.
- 10.
- 15.

- A medida que cada muestra codificada llega a la red de conmutación 13, el dispositivo de control y temporización común 14 de la figura 1 produce señales de control en la otra entrada a la figura 2B para la memoria de localización de lectura y escritura 67. La memoria 67 produce señales de localización digitales en la vía 68 para la memoria 66 y también señales de acción cíclica que activan el convertidor 64 a través del retardador 65 para la transferencia de cada grupo de códigos. A medida que cada muestra codificada llega desde la red de conmutación 13 la memoria 67 recibe instrucciones de control común 14 para identificar el canal de destino o el lugar del grupo de código en cada cuadro de señal para transmitir por la línea apropiada de las líneas auxiliares 22 de la figura 1. El canal de destino determina por lo tanto el lugar de la línea de cada grupo en la
- 20.
- 25.
- 30.

memoria 66 que será explorado en secuencia para lectura. La memoria 67 produce también una señal digital que se alimenta al substractor 84. El substractor 84 recibe otra señal de la salida del divisor 77 que tan solo se retarda ligeramente por el retardador 70. La señal del divisor 77 es un número binario de seis bitios en el cual los últimos cinco bitios corresponden a la señal de transmisión de localización de lectura ( $RA_T$ ) y el bitio de orden siguiente superior del divisor. Esta señal en la via 80 toma lectura de las palabras de código de la memoria 66. La diferencia entre la señal de seis bitios y la señal de la memoria 67 sirve para dividir el tiempo entre palabras de código sucesivas del mismo canal de señal en doce incrementos que proporciona la misma resolución que dividir el intervalo de encuadre correspondiente utilizado en la figura 2A en 48 incrementos. A pesar de que la salida del substractor 84 del contador 77 alcanza de 0 a 48, el contador suministra la señal  $RA_T$  a la memoria 66 que tiene un alcance de 1 a 24. La señal  $RA_T$  es un conteo binario que lee en secuencia las líneas de la memoria 66 para suministrar una señal de salida por cada línea al repetidor de la central 83 por el trayecto de señal que comprende el selector 72, convertidor paralelo en serie 74, convertidor de código 65, y memoria de prioridades (FIFO) o compensador 78.

A continuación se describe el funcionamiento básico del proceso de interpolación. Como cada muestra codificada de la red de conmutación 13 aparece en la salida del filtro digital 61, la memoria 67 produce transmisión de localizaciones de lectura/escritura ( $R/W A_T$ ) que identifica el canal de destino de la señal de información por instrucciones de localización para la memoria 66 y suministra una señal de entrada al substractor 84. El substractor 84 resta la entrada de la memoria 67 de la señal

- suministrada por el contador 77. La salida del substractor 84 se puede considerar una variable de fase para transmisión indicada como  $\delta_t$ . El valor de  $\delta_t$  se alimenta a la memoria de lectura solamente 86 que elige el coeficiente almacenado que controla la ganancia del multiplicador 62. El contenido de la memoria de lectura solamente 86 se indica en la tabla de la figura 7. Por consiguiente, el multiplicador 62 tiene asignado un coeficiente de ponderación por la memoria de lectura solamente 86 que determina la contribución de cada grupo de código a un código interpolado. Por término medio, las contribuciones de cuatro grupos de códigos de la red de conmutación 13 de la figura 1 se combinan para producir un grupo de códigos interpolados. Cada contribución, después de la inicial, se añade a las contribuciones anteriores por acción del adicionador 63 hasta que se forma un grupo de códigos interpolado completo y se almacena en la memoria 66 hasta que lo pide la señal  $RA_T$  del divisor 77. Las contribuciones anteriores se leen de la memoria 66 y se suministran al convertidor de paralelo en serie 73 por el selector 72 para alimentarse a la otra entrada del adicionador 73. La lectura tiene lugar cuando el selector 72 se activa por acción de la memoria de lectura y escritura 67.
5.  
10.  
15.  
20.

- La salida del substractor 84 se verifica continuamente por el circuito umbral 91 para detectar el momento en que la variable de fase tiene un valor que indica que se ha de utilizar un grupo de códigos particular como primer término parcial de la serie de términos parciales que se acumulan en la memoria 66 para proporcionar una señal interpolada. Si  $\delta_t$  tiene un valor menor que 12, el circuito umbral 91 produce una señal clara para la memoria 66 que elimina los valores acumulados en la memoria 66 correspondiente a la señal de localización producida en
25.  
30.

la vía 68. Si la señal del multiplicador 62 es la primera contribución o término parcial de un grupo de código interpolados, pasa a través del adicionador 63 sin alterar y se introduce en la memoria 66 por el convertidor 64. En el cuadro siguiente recibido de la red de conmutación 13, la señal con el mismo canal de destino se la asigna un factor de ponderación o coeficiente por operación del multiplicador 62. La memoria 86 recibe instrucciones del substractor 84 que de nuevo resta las señales de localización de la memoria 66 como se hace por cada grupo de código suministrado por la red de conmutación 13, para determinar el tiempo de la aparición del grupo de códigos interpolado con respecto a los grupos de códigos de la red de conmutación 13 que contribuyen a su derivación. El producto del coeficiente de ponderación del multiplicador 62 y el grupo de códigos de la red de conmutación 13 se combina con el término parcial anterior del mismo canal de destino en el adicionador 63. La suma acumulada de estos dos términos parciales se almacena de nuevo en la memoria 66 por el convertidor 64. La señal de activación para el selector 72 se retarda por acción del retardador 65 y se alimenta a la memoria 66 para activar la transferencia de señal del convertidor 64 a la memoria. El retardador 65 retarda la señal de activación para compensar el tiempo de propagación de la señal a través del convertidor 73 a la entrada del convertidor 65. Por término medio, este proceso se repetirá dos veces más, de modo que se utilicen cuatro muestras de señales de la red de conmutación 13 para producir una señal interpolada que se almacena en la memoria 66. Las señales interpoladas se leen de la memoria 66 en una frecuencia determinada por la salida del contador 77. El contador 77 produce también una señal de activación para el selector 72 que transfiere la salida de la memoria 66

al convertidor 74.

Cada convertidor 85 recibe los grupos de códigos interpolados del convertidor 74 y los cambia en grupos codificados de una forma lineal para formar una señal PCM comprimida -expandida.

- 5. El proceso de compresión se utiliza en el convertidor 85 que es la operación inversa del producido por el convertidor de códigos 48 de la figura 2A y se describe en el artículo de Kaneko mencionado. La salida del convertidor de código 85 es amorriguada por la memoria 78 para eliminar las fluctuaciones de plazo
- 10. corto antes de la alimentación al repetidor 85 para la transmisión de retorno por la línea auxiliar 22. Una entrada a la memoria 78 es la señal de cronometración recuperada del circuito de recuperación de cronometración 36 de la figura 2A. El descodificador 79 verifica el contenido de la señal de la memoria 78
- 15. y produce una señal de control que se alimenta al oscilador controlado por voltaje 81 por el filtro de paso bajo 82. Se observará que la memoria 78, decodificador 79, filtros 82 y oscilador 81 formen un bucle de bloqueo de fase que amortigua las fluctuaciones de corto plazo y la desalineación de frecuencias
- 20. temporales entre las señales interpolados producidas por la memoria 66 y la operación de temporización del repetidor de la central 83 que se sincroniza con una de las líneas auxiliares 22.

El proceso de interpolación realizado por el aparato de la figura 2B es normalmente una secuencia de cuatro fases o etapas en la cual se acumulan las sumas parciales en la memoria 66. Estas cuatro etapas se pueden expresar como

25.

$$1 \quad p_1 [y_n] = h_3 x_1 = a \quad (2)$$

$$2 \quad 3 \quad p_2 [y_n] = h_2 x_2 + a = b \quad (3)$$

$$4 \quad p_3 [y_n] = h_1 x_3 + b = c \quad (4)$$

5

$$6 \quad p_T [y_n] = y_n = h_0 x_4 + c \quad (5)$$

5. donde los valores de  $h_j$  se determinan por la salida  $\int_T$  del subtracot 84 de acuerdo con la figura 7. Los coeficientes  $h_j$  corresponden a la curva suave de un polinomio de tercer orden que pasa a través de los cuatro puntos de  $x_1, x_2, x_3$  y  $x_4$ . La sustitución de  $c, b$ , y  $a$  expande la ecuación (5) a la expresión de interpolación más tradicional de

10.

$$y_n = h_3 x_1 + h_2 x_2 + h_1 x_3 + h_0 x_4 \quad (6)$$

15.

Las ondas de la figura 6 ilustran la flexibilidad del principio del invento. Estas ondas son representaciones analógicas de un proceso de interpolación completamente digital realizado por el aparato de la figura 2B. La figura 6 ilustra un régimen de cambio de  $\int_T$  que es más exagerado que el que se encontraría normalmente en un medio de transmisión debido a relojes de alta precisión empleados como fuentes de temporización. En

20.

la figura 6,  $XX'$  es la base de tiempo de conmutación,  $YY'$  la base de tiempo de la línea auxiliar de salida,  $x_1-x_5$  los valores de amplitud de las señales del conmutador, e  $y_1-y_3$  son los valores de amplitud derivados por interpolación.  $\int_T$  cambia normalmente a un ritmo muy lento, por lo que su valor permanece constante durante varios cuadros de la corriente de bitios digitales

25.

procedentes de la red de conmutación 13. La onda A de la figura 6 ilustra tres operaciones de interpolación sucesivas para el mismo canal de señal para una de las líneas auxiliares 22 que tienen una base de tiempo de marcha rápida exagerada  $YY'$  con relación a la base de tiempo  $XX'$  de la red de conmutación 13.

30.

Realmente las operaciones de interpolación de los canales de

señal restantes del cuadro se intercalan entre dos señales interpoladas sucesivas de un canal de señales. Los mismos ocurre con la onda B que representa una base de tiempo de marcha lenta exagerada. Estas diferencias en los regimenes de base de temporización producen operaciones de interpolación infrecuentes que están ilustradas por la señal media interpolada de cada una de las ondas en la figura 6. En la onda A, solamente se utilizan tres palabras de códigos de la red de conmutación 13 para determinar el grupo de códigos interpolado medio, mientras que la onda B se utilizan cinco palabras de códigos de la red de conmutación 13 para producir el grupo medio de códigos interpolados. Se comprenderá que en el ambiente normal de transmisión estas dos condiciones se producen bastante infrecuentemente, pero cuando ocurre, el grupo de códigos interpolados debe derivarse con precisión. Para determinar cada uno de éstos grupos de códigos interpolados, los coeficientes de ponderación se utilizan en la figura 7 para determinar la contribución de cada palabra de código procedente de la red de conmutación 13 para derivar el grupo de códigos interpolados. Se observará que la onda A el grupo medio de códigos interpolado corresponde al valor real del segundo grupo de códigos de la red de conmutación 13. En este instante, el valor de  $\delta_t$  es 36, por lo que el coeficiente de ponderación equivale a la unidad. Por otro lado, en la onda B el valor del grupo medio de código interpolados corresponde a la tercera palabra de código de la red de conmutación 13, en cuyo instante el valor de  $\delta_t$  es también 36 y por lo tanto el coeficiente de ponderación  $h_j$  tiene el valor de la unidad. En la figura 6, la doble flecha de dirección indicada anteriormente parece cada una de las bases de tiempo  $XX'$ , ilustra el desplazamiento lateral que tiene lugar entre las dos bases de tiempo

cuando se producen entre las mismas desplazamiento de frecuencia. Como la interpolación se realiza sobre una base de tiempo real, todas las palabras codificadas de la red de conmutación 13 que contribuyen a un grupo de códigos interpolados deben estar disponibles antes de que se pueda determinar el grupo de código interpolado. Por consiguiente, la onda indicada con línea de rayas o la onda retardada simula la condición de funcionamiento que tiene lugar en el aparato de la figura 2B. Como este retardo tiene un valor fijo, simplemente aumenta el tiempo de propagación de la señal a través de la central local 11 de la figura 1 en una magnitud constante que no produce efecto alguno en la calidad de las señales transmitidas.

La figura 8 es un diagrama de temporización que demuestra otro aspecto de la operación producida por el aparato de la figura 2B. De nuevo, el régimen de cambio de  $\int_{\pi}$  en la figura 8 está exagerado para comprender la serie de grupos de códigos sucesivamente interpolados correspondientes a un canal de señal común requerido para demostrar la flexibilidad del principio de invención. La parte A de la figura 8 ilustra la serie de etapas que tiene lugar en el proceso de interpolación cuando la base de tiempo de la línea auxiliar es de marcha rápida si se compara con la red de conmutación 13 de la figura 1, mientras que la parte B representa las situación opuesta de la base de tiempo de la línea auxiliar de funcionamiento lento.

En la figura 8, los aumentos de tiempo se producen de izquierda a derecha. Por consiguiente, los valores interpolados de  $y_n$  se forman por los valores  $\pi$  y el grupo de  $x_n$  de valores inmediatamente a la izquierda de cada  $y_n$ . Se comprenderá que el substractor 84 de la figura 2B produce un valor de  $\int_{\pi}$  restando la localización del canal de destino de la localización del grupo de código interpolado leída simultáneamente de la memoria 66

por el contador 67. Según resultará evidente por la figura 8,  $\delta_T$  se produce inmediatamente antes de que cada grupo de códigos de la red de conmutación 13 se alimente al multiplicador 62. Cada vez que  $\delta_T$  tiene un valor entre 0 y 12, el circuito umbral 91 proporciona una señal clara para la memoria 66 que borra la señal acumulada en el lugar de localización de escritura del canal de destino en la memoria. Entonces el producto de la ganancia del multiplicador 62, que es el valor del coeficiente suministrado por la memoria 86, y el grupo de código alimentado al multiplicador, se escribe en el lugar del canal de destino en la memoria 66. El coeficiente se elige de acuerdo con la salida  $\delta_T$  del substractor 84. La escritura tiene lugar cuando el convertidor 64 se carga completamente y la memoria 66 se activa por la señal de salida del retardador 65, para trasladar el contenido del convertidor a la memoria. Normalmente se realizan tres etapas más en el proceso de interpolación para completar la función de interpolación. En cada etapa después de la primera, la suma de las contribuciones anteriores se suministra por la salida del convertidor 73 a través del selector 72 para alimentarse a la otra entrada del adicionador 63. La salida del adicionador 63 corresponden entonces a la suma de la contribución o contribuciones anteriores más la salida presente del multiplicador 62. El lugar en la memoria 66 del canal de destino almacena por lo tanto el nuevo valor acumulado por cada etapa en el proceso de interpolación incluyendo el valor total producido al final del proceso de interpolación. Según se verá en la figura 8, el valor de  $\delta_T$  para las tres etapas siguientes en el proceso de interpolación, después de la primera etapa del proceso, queda comprendido en la gama de 13 a 48, por lo que la operación del circuito umbral 91 no estorba a la función de acumu

lación de la memoria 66.

En la parte A de la figura 8, el cuarto valor interpolado se basa solamente en tres grupos de códigos sucesivos o muestras de señales codificadas del mismo canal de señales de la red de conmutación 13. Así, la figura 8 ilustra la misma condición que se representa en la figura 6, por la onda A, para una línea auxiliar con una base de tiempo de funcionamiento rápido con relación a la base de tiempo de la red de conmutación 13. De un modo similar, se produce la circunstancia opuesta en la parte

B de la figura 8, donde cinco muestras codificadas sucesivas del mismo canal de señales de la red de conmutación 13 se utilizan para determinar un grupo de códigos interpolados. En este

caso, el valor de  $\delta_T$  cae dentro de la gama de 0 a 12 para  $x_5$ , puesto que la parte del contador 77 empleada para generar la señal  $RA_T$  cuanta el nódulo 48 y la entrada al substracor 84 excedería de otro modo de 48 para  $x_5$ . El retardador 70 proporciona un retardo momentáneo en la emisión de la señal de vuelta a cero del circuito de umbral 91, por lo que la acumulación de

las contribuciones que finalizan con  $x_4$  se pueden leer de la memoria 66 con la señal  $RA_T$  en la vía 80 antes de que se produzca la señal de puesta a cero. El efecto de ésta operación es asignar una ponderación cero a la contribución  $x_5$  al grupo de códigos interpolados.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

- 1.- Perfeccionamientos en aparatos para comunicar seña
5. les digitales, que comprenden grupos de códigos entre dos sistemas digitales, donde un primer sistema digital se sincroniza por una primera base de tiempo y un segundo sistema digital se sincroniza por una segunda base de tiempo independiente de la primera base de tiempo en frecuencia y fase, caracterizados por
10. que cada aparato comprende un dispositivo de almacenamiento acoplado al primer sistema digital para recibir grupos de códigos derivados de los grupos de códigos del primer sistema digital a un primer ritmo o cadencia sincronizada con la primera base de tiempo, para almacenar dichos grupos de códigos; medios de
15. acceso para recibir el contenido del dispositivo de almacenamiento a un segundo ritmo o cadencia sincronizada con la segunda base de tiempo y para controlar la fase de los grupos de códigos para el segundo sistema digital; medios de temporización para generar una salida indicativa de la fase relativa de los grupos de
20. códigos del segundo sistema digital con respecto a la fase de los grupos de códigos producidos por el primer sistema digital; medios multiplicadores acoplados a los medios de almacenamiento, que tienen ganancia variable controlada por la salida de los medios de temporización, produciendo los medios multiplicadores una salida indicativa del producto de la amplitud
25. cuantificada de por lo menos un grupo de códigos del primer sistema digital y la ganancia de los medios multiplicadores; medios adicionadores para combinar la salida de los medios multiplicadores con contenidos elegidos de los medios de almacenamiento para producir grupos de códigos para el segundo sistema digital,
30. donde cada grupo de códigos se deriva de por lo menos un grupo

de códigos procedente de primer sistema digital; y medios de salida para generar una señal interpolada que comprende grupos de códigos producidos por los medios adicionadores, sincronizándose los medios de salida con los medios de acceso para suministrar una señal interpolada compatible con el segundo sistema digital, por lo que los medios de temporización y los medios multiplicadores permiten diferencias en la frecuencia y fase entre la primera y la segunda bases de tiempo conservando prácticamente el mismo contenido de información en la señal interpolada que el indicado por la señal digital procedente del primer sistema digital.

5. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque se dota a cada aparato de medios traductores dispuestos entre los medios temporizadores y los medios multiplicadores, teniendo los medios traductores una característica de transferencia prescrita definida por coeficiente de ponderación, respondiendo los medios traductores a los medios de temporización asignando coeficientes de ponderación a los medios multiplicadores que determinan su ganancia.

15. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque los medios traductores tienen una característica de transferencia predeterminada que es una curva suave cuya forma corresponde a una parte de una curva de coseno alzado.

20. 4.- Perfeccionamientos según la reivindicación 2, caracterizados, porque los medios traductores tienen una característica de transferencia predeterminada que tiene una forma correspondiente a una parte de la curva producida por un polinomio de tercer orden.

25. 5.- Perfeccionamientos según la reivindicación 2, caracterizados porque los grupos de códigos de las señales digitales de  
30.

comunicación son indicativas de una pluralidad de canales de señales, multiplexados en división de tiempo en una corriente de bitios, y las señales digitales de comunicación comprenden señales de sincronización que sirven para indicar la identidad de el

5. canal de cada grupo, y porque cada aparato comprende además medios de localización para recibir las señales de sincronización con el fin de establecer una secuencia de localización de escritura para los grupos de códigos sucesivos en la corriente de bitios suministrando los medios de localización, la secuencia de localización de escritura a los medios de almacenamiento para determinar la organización espacial de los grupos de códigos en los mismos.

15. 6.- Perfeccionamientos según la reivindicación 5, caracterizados porque los medios de acceso establecen la secuencia de localización de lectura que determina el orden en el cual se obtienen los grupos de códigos de los medios de almacenamiento para formar la señal interpolada.

20. 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque la secuencia de localización de escritura producida por los medios de localización y la secuencia de localización de lectura producida por los medios de acceso proporciona un orden de salida de grupos de códigos para el segundo sistema digital que difiere del orden de grupos de códigos producidos por el primer sistema digital, de forma que los medios de almacenamiento sirven para funcionar como un intercambiador de segmentos de tiempo.

25. 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque los medios de temporización comprenden medios subtractores conectados a los medios de localización y los medios de acceso para proporcionar una señal de salida indicativa de
- 30.

la diferencia entre la secuencia de localización de escritura y la secuencia de localización de lectura, suministrando los medios de temporización la señal de salida a los medios traductores.

5.

9.- Perfeccionamientos según la reivindicación 8, caracterizados porque la corriente de señales digitales de comunicación comprende cuadros sucesivos, cada uno de los cuales sirve por lo menos un grupo de códigos de cada uno de la pluralidad de canales de señales, y porque los medios de almacenamiento comprenden dos partes que tienen cada una capacidad suficiente para retener uno de los cuadros.

10.

10.- Perfeccionamientos según la reivindicación 8, caracterizados porque la corriente de bits de la señal digitales de comunicación comprende cuadros sucesivos, cada uno de los cuales tiene por lo menos un grupo de códigos de cada una de la pluralidad de canales de señales y los medios de almacenamiento tienen capacidad suficiente para retener uno de los cuadros.

15.

11.- Perfeccionamientos según la reivindicación 9, caracterizados porque el primer ritmo o cadencia es menor que el segundo ritmo o cadencia y porque los medios de localización comprenden medios de verificación para detectar el momento en que los cuadros alternos de los grupos de códigos son recibidos por los medios de almacenamiento y los indican a los medios de almacenamiento, respondiendo los medios de almacenamiento a los medios de verificación para leer cuadros alternos en partes alternas de los mismos, obteniendo los medios de acceso pares de grupos de códigos de los medios de almacenamiento en cuadros sucesivos correspondientes al mismo canal de señales al segundo ritmo o cadencia, utilizándose cada grupo de códigos en los medios de almacenamiento una pluralidad de veces para producir los grupos de códigos para el segundo sistema digital, propor-

20.

25.

30.

cionando de éste modo un cambio predeterminado en el ritmo o cadencia prácticamente igual a la diferencia entre el primer ritmo y el segundo ritmo o cadencias.

5. 12.- Perfeccionamientos según la reivindicación 10, caracterizados porque el primer ritmo es mayor que el segundo ritmo y los medios multiplicadores reciben grupos de códigos del primer sistema digital, y porque cada aparato comprende además medios de realimentación para obtener el contenido selectivo de los medios de almacenamiento y suministrarlo a los medios adionadores, cooperando los medios de almacenamiento con los medios de realimentación y los medios adionadores para funcionar como un acumulador donde cada señal de salida producida por los medios adionadores y retenida en los medios de almacenamiento es el resultado de una pluralidad de grupos de códigos correspondientes al mismo canal de señal que se alimenta a los medios multiplicadores, por lo que el número de grupos de códigos alimentados a los medios multiplicadores para producir un grupo de códigos para el segundo sistema digital, proporcionan un cambio predeterminado en el ritmo o cadencia prácticamente igual a la diferencia entre el primer ritmo y el segundo ritmo .

15. 13.- Perfeccionamientos según la reivindicación 11, caracterizados porque se dota a cada aparato de medios de retardo dispuestos en el circuito entre los medios de almacenamiento y los medios adionadores, teniendo los medios de retardo un retardo suficiente de modo que se encuentren disponibles simultáneamente dos grupos de códigos sucesivos del mismo canal de señales, conectándose los medios de sustracción a los medios adionadores para obtener la diferencia entre dos grupos de códigos sucesivos y alimentarlos a los medios multiplicadores, combinando los medios adionadores la salida suministrada
20. 25. 30.

por los medios de retardo con la otra salida alimentada a los mismos para producir un grupo de códigos interpolados para el segundo sistema digital.

5. 14.- Perfeccionamientos en aparatos para comunicar señales digitales, tal y como queda sustancialmente descrito en la presente Memoria, y en los dibujos adjuntos.

Esta Memoria consta de treinta y ocho hojas, escritas a máquina por una sola cara.

Madrid, 27 ENE. 1977

WESTERN ELECTRIC COMPANY, INCORPORATED,

GOMEZ ACEBO Y RODET  
S. A. Firmados L. Gasta Fernández

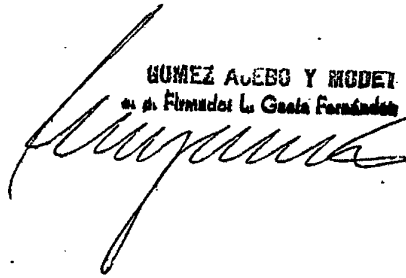
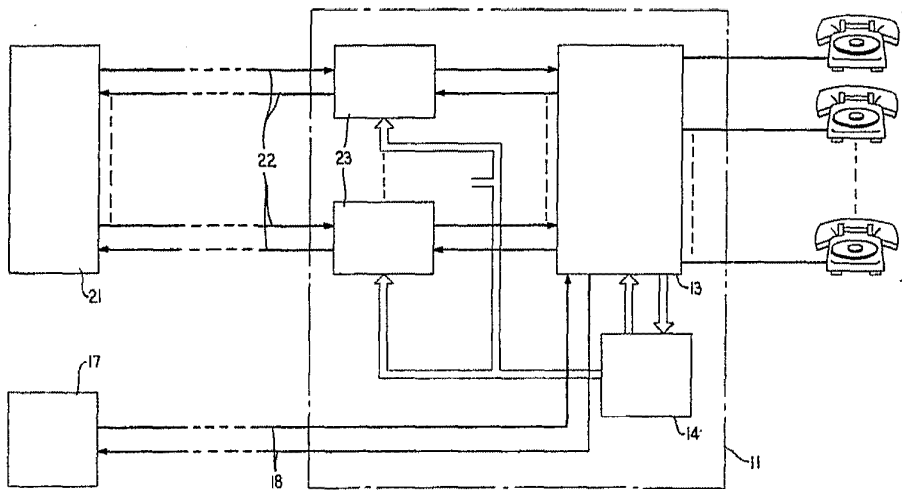
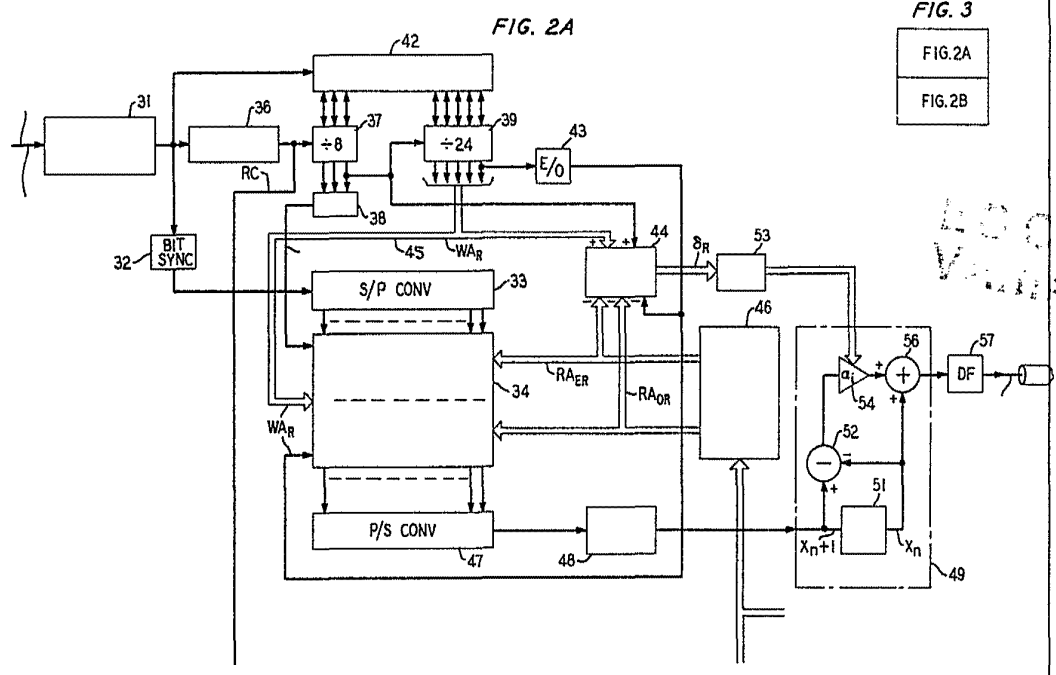


FIG. 1



22 ENL 13707  
B. S. ...  
*[Handwritten signature]*



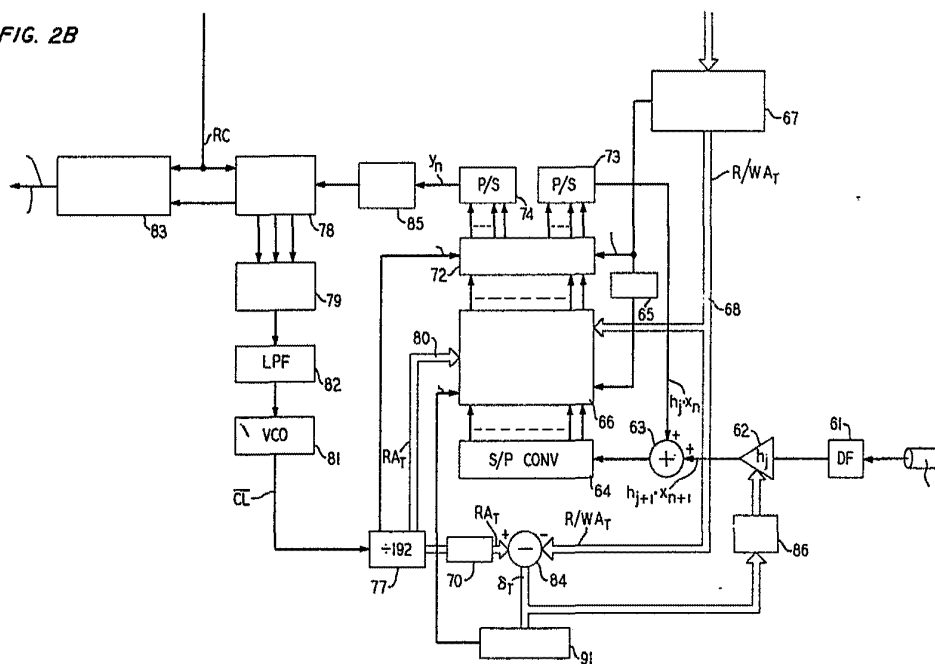
400  
 VARIABLE

27 ENE 1977

EDUARDO AGUIRRE  
 P. B. Eduardo J. Guate

*[Handwritten signature]*

FIG. 2B

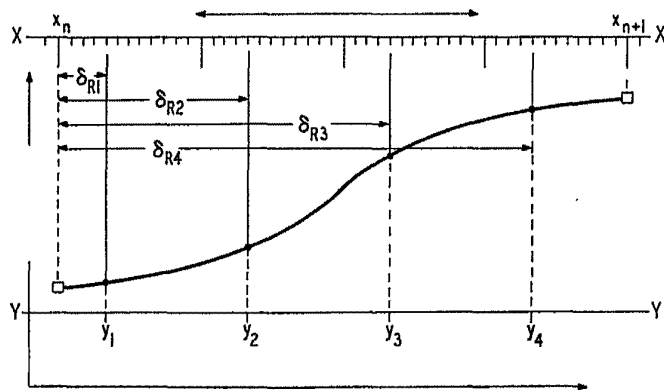


REV. 10/68  
 100-1000-0000  
 Fernando L. Costa

FIG. 4

$\delta_R$	$\alpha_i$	$\delta_R$	$\alpha_i$	$\delta_R$	$\alpha_i$	$\delta_R$	$\alpha_i$
0	.00000000	12	.14644665	24	.50000000	36	.85355294
1	.00107062	13	.17032701	25	.53270102	37	.87591922
2	.00427777	14	.19561911	26	.56526256	38	.89667618
3	.00960743	15	.22221476	27	.59754467	39	.91573429
4	.01703715	16	.25000000	28	.62940884	40	.93301225
5	.02653503	17	.27885526	29	.66071904	41	.94843590
6	.03806031	18	.30865806	30	.69134128	42	.96193945
7	.05156362	19	.33928001	31	.72114360	43	.97346473
8	.06698734	20	.37059015	32	.75000000	44	.98296261
9	.08426523	21	.40245450	33	.77778459	45	.99039245
10	.10332334	22	.43473649	34	.80437994	46	.99572217
11	.12408006	23	.46729797	35	.82967234	47	.99892926
12	.14644665	24	.50000000	36	.85355294	48	1.00000000

FIG. 5



$XX'$  -  
 $YY'$  -  
 $x_n, x_{n+1}$  -  
 $y_1, y_2, y_3, y_4$  -  
 $\delta_{R1}, \delta_{R2}, \delta_{R3}, \delta_{R4}$  -

27 FEB 1974

*[Handwritten signature]*

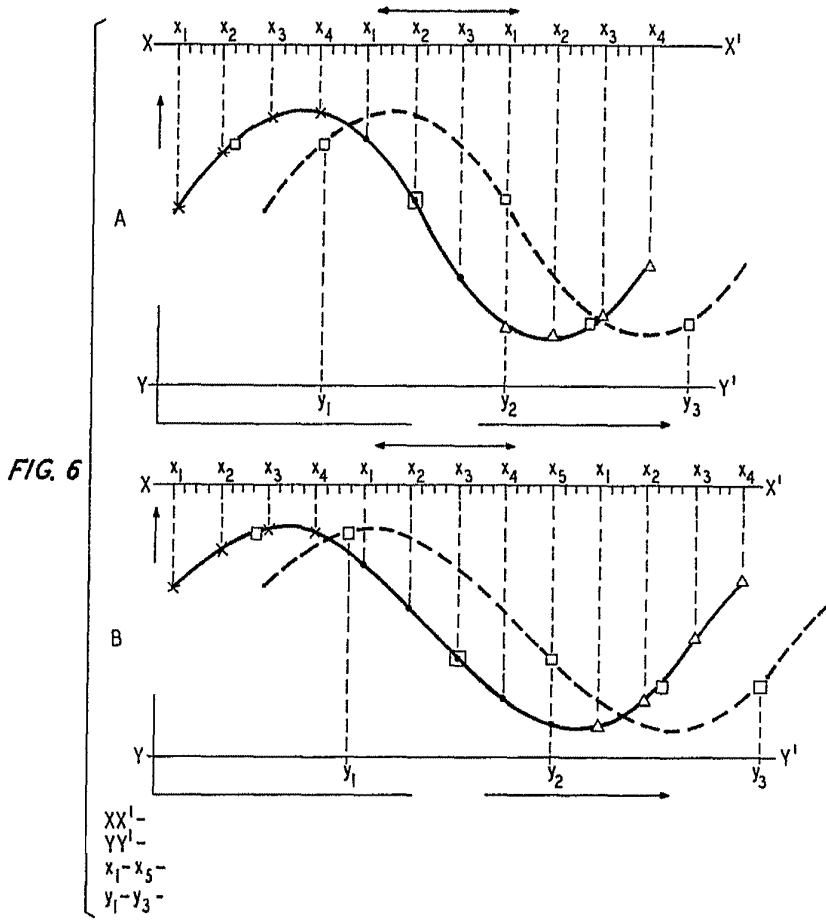


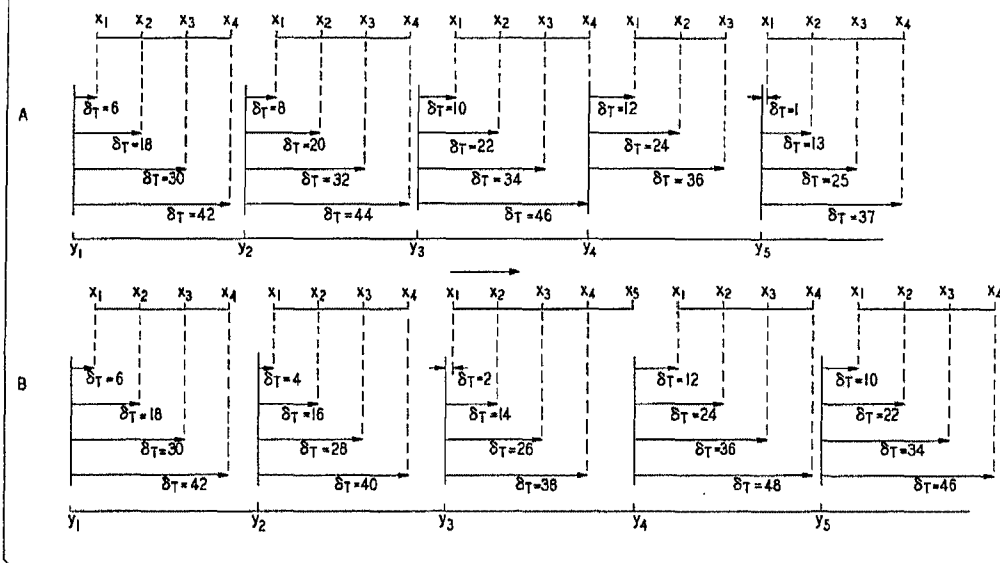
FIG. 7

$\delta_T$	$h_j$	$\delta_T$	$h_j$	$\delta_T$	$h_j$	$\delta_T$	$h_j$
0	0.00000000	12	0.00000000	24	1.00000000	36	0.00000000
1	-.01379242	13	.08651610	25	.95167816	37	-.02440198
2	-.02700614	14	.17824054	26	.89120376	38	-.04243822
3	-.03906250	15	.27343750	27	.82031250	39	-.05468749
4	-.04938269	16	.37037021	28	.74074066	40	-.06172837
5	-.05738808	17	.46730298	29	.65422463	41	-.06413963
6	-.06250000	18	.56250000	30	.56250000	42	-.06250000
7	-.06413963	19	.65422440	31	.46730322	43	-.05738811
8	-.06172840	20	.74074054	32	.37037051	44	-.04938272
9	-.05468749	21	.82031250	33	.27343750	45	-.03906250
10	-.04243828	22	.89120352	34	.17824078	46	-.02700618
11	-.02440204	23	.95167804	35	.08651637	47	-.01379246
12	0.00000000	24	1.00000000	36	0.00000000	48	0.00000000

27 ENR 1977

*[Handwritten signature]*

FIG. 8



27 188 100  
*[Handwritten signature]*