



(19) ES	(11) 455336	(10) A1
(21)	FECHA DE PRESENTACION	
(22)	25.1.77	

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NUMERO 653.410			(32) FECHA 29.1.76	(33) PAIS Estados Unidos
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL H03K	(62) PATENTE DE LA QUE ES DIVISIONARIA		
(64) TITULO DE LA INVENCION MEJORAS INTRODUCIDAS EN UN SISTEMA PARA LA REGENERACION DE INFORMACION BINARIA CODIFICADA.				
(71) SOLICITANTE (S) SPERRY RAND CORPORATION				
DOMICILIO DEL SOLICITANTE 1290 Avenue of the Americas, New York, N.Y. 10019, Estados Unidos.				
(72) INVENTOR (ES)				
(73) TITULAR (ES)				
(74) REPRESENTANTE D. BERNARDO UNGRIA GOIBURU				

- 2 -

EXTRACTO DE LA DESCRIPCION

La entrada del flujo de datos que se aplica a la lógica de regeneración se toma desde un punto donde sus transferencias coinciden en el tiempo con las de la entrada del flujo de datos aplicado al comparador de fase del bucle del oscilador sincronizado en fase que se emplea para controlar la producción de las ventanas de regeneración.

No se ha previsto ningún retardo entre el punto de toma del flujo de datos y su entrada en la lógica de regeneración.

El oscilador sincronizado en fase (PLO) y los circuitos generadores de ventana cooperan para mantener las transferencias representativas de los datos y de los impulsos de ritmo en el flujo de datos aplicado a la lógica de regeneración, centradas en las ventanas respectivas.

DESCRIPCION GENERAL DEL INVENTO

El invento se refiere a un circuito mejorado para regenerar datos binarios presentados en serie en un flujo de datos. Estos datos pueden obtenerse a partir de un medio magnético, tal como un disco de registro magnético, a partir de una vía de comunicación, o a partir de cualquier otra fuente.

Es bien conocido que estos datos pueden ser regenerados mediante la generación de las llamadas ventanas de tal manera que coincidan con los momentos en los cuales se ha previsto que se producirán los componentes individuales del flujo de datos, (tales como uno, cero, impulso de ritmo, etc.), y utilizando estas ventanas para extraer estos componentes de datos del flujo compuesto de datos.

Estas ventanas se producen por medio de un oscilador sincronizado en fase (PLO), que está controlado por el mismo

flujo de datos, de modo que las ventanas producidas correspondan adecuadamente a la frecuencia y a los momentos en los cuales se producen los componentes de los datos.

5 El procedimiento de regeneración que utiliza estas
ventanas producidas por el oscilador sincronizado en fase es
muy delicado. En particular, es importante que la posición de
los componentes de los datos que han de ser regenerados, se
mantenga lo más posible centrada en sus ventanas respectivas.
10 Esto es importante cualquiera que sea el tipo de codificación
de datos utilizado. Es particularmente importante en el caso
de tipos sofisticados de codificación de datos tales como la
codificación M^2 FM. Este término indica un tipo de codificación
FM, caracterizado porque los bitios de información "uno" están
representados por un impulso situado en el centro del interva-
15 lo de tiempo (posición de memoria de bitios) y los bitios "ce-
ro" están representados por un impulso situado en el límite
del intervalo de tiempo. Por cada bitio de información uno, se
produce un impulso, pero para los bitios de información cero,
existe un impulso solamente cuando en el intervalo de tiempo
20 inmediatamente anterior no existe un impulso uno ni un impulso
cero, y no se produce ningún impulso de datos en el intervalo
de tiempo que sigue inmediatamente el límite en cuestión. El
intervalo mínimo T entre los impulsos se produce en el caso de
bitios uno sucesivos. El intervalo máximo entre impulsos es
25 por tanto de $2,5 T$, y se produce en el caso de un bitio uno
que sigue tres bitios cero sucesivos o múltiples impares más
elevados de estos bitios cero sucesivos. Pueden también produ-
cirse intervalos de $1,5 T$ y $2 T$ entre impulsos sucesivos, se-
gún la configuración de los bitios.

30 En razón de las reglas de codificación que se aplican

a este código M^2_{FM} , los impulsos situados en los límites de los intervalos de tiempo representan no solamente cero, sino también la información llamada de "reloj" o "ritmo". Se trata de una información de tiempo que indica el tiempo general del mensaje, tales como los comienzos de grupos de posiciones binarias, palabras y mensajes, y se utiliza para la sincronización general del sistema de utilización de datos en el cual los uno y los cero proporcionan el contenido detallado de la información. Por consiguiente, el sistema de regeneración debe también prever la regeneración de la información de ritmo que forma parte del flujo de datos. Esto significa que, en el sistema de regeneración, no pueden ignorarse los impulsos que representan cero, sino que también deben ser regenerados, además de los impulsos que representan un uno. Por consiguiente, es preciso que las ventanas producidas para la regeneración sean igualmente adaptadas a esta finalidad.

El oscilador típico sincronizado en fase para producir las ventanas necesarias para regenerar señales con código M^2_{FM} o codificadas de otra manera, consiste en un dispositivo de circuito de bucle cerrado que incluye un oscilador controlado por una tensión destinado a generar las señales de salida deseadas. Este oscilador controlado por una tensión recibe su señal de control a partir de un filtro. El filtro se alimenta a su vez con la salida de un comparador de fase. Una entrada de este comparador de fase se obtiene mediante realimentación a partir del mismo oscilador, y la otra se obtiene a partir de la señal externa con la cual debe sincronizarse el oscilador sincronizado en fase. El funcionamiento del oscilador sincronizado en fase es tal que tiende a mantenerse una relación de fase fija (por ejemplo una coincidencia de fase) entre

ciertos parámetros de las dos señales de entrada que se aplican al comparador de fase.

Se han presentado dificultades para utilizar estos osciladores sincronizados en fase para la regeneración de datos.

5 Cuando se utiliza un oscilador sincronizado en fase para crear las ventanas necesarias para la regeneración se suele emplear el flujo de datos como señal externa de control del oscilador controlado por una tensión (a través del comparador de fase y del filtro) mientras que se suele utilizar la salida del oscilador controlado con una tensión para generar las
10 ventanas de regeneración.

La presencia de un impulso a la salida del equipo de tratamiento de señal 10, asegura la preparación de la lógica de realimentación para realizar a continuación una comparación de fase entre el borde posterior de este impulso y la señal
15 realimentada a partir del oscilador controlado por la tensión. Los impulsos de datos tal como salen originalmente del medio de registro, de la vía de comunicación o de otra fuente no son generalmente adecuados para esta finalidad, porque tienen típicamente la forma de impulsos estrechos y bastante cortos,
20 que proporcionan un intervalo de tiempo insuficiente entre sus flancos delantero y posterior para permitir la activación del oscilador sincronizado en fase y efectuar la comparación de fase tal y como se ha descrito más arriba.

25 Por este motivo, es conocido utilizar circuitos de tratamiento de señales en el canal de entrada de los datos antes del comparador de fase para dar a los impulsos de datos originales cortos y estrechos la forma de impulsos más largos, con transiciones de nivel (flancos) dispuestas de acuerdo con
30 una relación de tiempo predeterminado con respecto a los im-

pulsos de datos originales. Por ejemplo, en el caso de sistemas que tienen un periodo mínimo nominal T de 2 microsegundos entre impulsos, se ha utilizado un circuito tal como un multivibrador monoestable para alargar el impulso y obtener un impulso cuyo flanco posterior se produce 1 microsegundo después del flanco delantero del impulso de datos original. Sin embargo, además de realizar el alargamiento deseado de los impulsos, este circuito de tratamiento de la señal introduce también un cierto grado de retardo general en el flujo de datos.

5
10 Dada la configuración del circuito del oscilador sincronizado en fase utilizado hasta ahora, se suele tomar aquellos impulsos de dato que deben ser verdaderamente regenerados (por medio de las ventanas creadas por el oscilador sincronizado en fase) en un punto del canal de datos situado antes del multivibrador monoestable que se utiliza para alargar estos impulsos antes de su aplicación al oscilador sincronizado en fase.

15
20 Como resultado de la interposición del dispositivo de alargamiento de impulsos en el canal de entrada de datos al oscilador sincronizado en fase, pero no en el canal de entrada de datos al circuito de regeneración, se produce inherentemente un cierto grado de retardo diferencial entre estos dos canales (concretamente entre el canal de datos de generación de ventana y el canal de datos en derivación respecto al oscilador sincronizado en fase de generación de ventana, y que llega directamente al circuito que emplea las ventanas para regenerar verdaderamente los datos).

25
30 Para superar el efecto contrario de este retardo diferencial inherente, se suele introducir voluntariamente un retardo de compensación en el canal en derivación. Este retar

do de compensación constituye un gasto y en razón de los parámetros de tiempo y frecuencia constituye un gasto importante.

Además, para que los impulsos de datos puedan finalmente centrarse en sus ventanas respectivas para su regeneración, cualquier retardo de este tipo en el canal seguido por el flujo de datos debe ser capaz de ser ajustado con precisión, y en realidad este reglaje debe efectuarse durante la construcción del equipo. Esto aumenta todavía más el gasto.

Lo que es peor, cualquiera que sea el grado de perfección con el cual este retardo ha sido ajustado inicialmente, y cualquiera que sea la estabilidad de todo el circuito en el tiempo, los impulsos de datos están sometidos todavía a una deriva a partir de sus posiciones centradas deseadas en las ventanas, debido a los posibles cambios incontrolables de la frecuencia del flujo de datos. Estos cambios de frecuencia pueden producirse por varios motivos, tales como cambios de velocidad en el mecanismo de transporte del aparato de registro o de reproducción. Cuando esta frecuencia varía, la variación de fase correspondiente a un retardo de tiempo dado, varía igualmente y esto hace que las posiciones de los impulsos de datos en derivación varíe con relación a sus ventanas de regeneración, y en particular a partir de sus posiciones centradas deseadas en estas ventanas.

Estas variaciones con relación al centro de las ventanas perjudica la fiabilidad de la regeneración de los datos, o, para decirlo de otra manera, aumenta la frecuencia de los errores. Este efecto contrario aumenta conforme la magnitud de las variaciones de frecuencia se eleva. Además, la sensibilidad a estas variaciones aumenta cuando se utilizan códigos más complicados con mayores densidades de aglomeración de los

datos.

No solamente las tolerancias son inherentemente más pequeñas en el caso de datos aglomerados más densamente, sino que la naturaleza de los códigos más complicados es tal que deben utilizarse procedimientos más sofisticados para su regeneración y estos están también sometidos a tolerancias más precisas.

Utilizando como ejemplo el código M^2FM , la utilización de ventanas que presentan longitudes desiguales (llamadas a continuación ventanas no simétricas) es provechosa para la regeneración de datos procedentes del flujo de datos. Las ventanas que se utilizan para regenerar los uno son preferentemente más largas que las que se emplean para regenerar los cero (es decir, la información de ritmo). Preferentemente, estos dos tipos de ventana presentan duraciones con una relación de 60/40. En otras palabras ocupan, respectivamente, el 60 y el 40% de un intervalo de bitio uno T. La producción y la utilización de estas ventanas no simétricas hace más difícil el mantenimiento de un centrado preciso de los datos, lo que aumenta de nuevo la sensibilidad a los cambios de frecuencia indeseables.

Se observará que el mismo tipo de problemas atribuibles al retardo diferencial entre los dos canales de señales, puede también producirse si la realización del sistema general de regeneración es tal que el canal de derivación de señal, en lugar del canal del oscilador sincronizado en fase, presenta inherentemente el retardo más largo.

Por consiguiente, un objeto del invento consiste en proporcionar un sistema de regeneración de datos menos propenso a los problemas producidos por el retardo diferencial en-

tre los dos canales de señal que conducen al circuito de regeneración propiamente dicho.

5 Otro objeto del invento consiste en proporcionar un sistema de regeneración de datos de este tipo menos propenso a los problemas producido por el retardo en la lógica de tratamiento de señales de entrada que se aplica al oscilador sin cronizado en fase.

10 Otro objeto consiste en proporcionar un sistema de este tipo que no exige un retardo de compensación en el canal de derivación de datos.

Otro objeto del invento consiste en proporcionar un sistema de este tipo que no necesite ningún retardo ajustable.

15 Otro objeto del invento consiste en proporcionar un sistema de este tipo especialmente adecuado para ser utilizado con los códigos más sofisticados.

Otro objeto del invento consiste en proporcionar un sistema de este tipo particularmente bien adaptado para funcionar con ventanas no simétricas que se prefieren para la regeneración de señales codificadas con el código M^2 FM.

20 Otro objeto más del invento consiste en proporcionar un sistema de este tipo particularmente bien adaptado para la regeneración de datos codificados en M^2 FM aglomerados de manera densa.

25 Estos objetos, así como otros, se consiguen de acuerdo con el invento utilizando para el circuito de formación de ventanas una configuración de circuito que permite conectar el flujo de datos de entrada en derivación respecto al oscilador sincronizado en fase, con el circuito de regeneración de datos propiamente dicho, sin utilizar un retardo de compensación en el canal de derivación y sin que sea necesario efec-

30

tuar un reglaje de retardo.

Más particularmente, el canal de derivación destinado a este flujo de datos de entrada se alimenta con una señal de entrada cuyas características de variación en función del tiempo están adaptadas con precisión a las características de variación en función del tiempo de la señal de entrada derivada de los datos que se suministra al comparador de fase propiamente dicho del oscilador sincronizado en fase.

Esta entrada del comparador de fase propiamente dicho se efectúa después de realizar en el flujo de datos cualquier tratamiento de la señal (por ejemplo, alargamiento de los impulsos). El canal de derivación se alimenta igualmente con una señal que ha sido sometida exactamente al mismo tratamiento de la señal. De este modo, se elimina cualquier necesidad de un retardo de compensación en el canal de derivación. Se elimina igualmente la necesidad de un reglaje de retardo para conseguir el centrado de los impulsos de datos en el interior de las ventanas de regeneración, así como el peligro de variaciones con relación a este reglaje central debido a los cambios de frecuencia.

El circuito de formación de ventanas, así como el circuito de regeneración de datos que utiliza estas ventanas y que actúa en el flujo de datos en derivación, están contruidos para cooperar con el modo de realización del oscilador sincronizado en fase según el invento.

En la forma preferida del invento, se producen ventanas no simétricas y se utilizan estas ventanas para la regeneración de datos con código M^2 FM.

Para más detalles se hará referencia a la descripción que sigue, tomada conjuntamente con los dibujos que la acompa-

ñan, en los cuales:

La figura 1 es un diagrama en bloques del sistema general que incorpora el invento;

5 la figura 2 es un diagrama de tiempo y formas de onda que representa los datos tales como se presentan inicialmente en el formato con código M^2_{FM} ;

la figura 3 representa las formas de onda de señal en varios puntos del sistema de la figura 1;

10 la figura 4 representa la relación que existe entre las señales de entrada y de salida del contador decimal codificado en binario (BCD) que forma parte del sistema de la figura 1;

la figura 5 representa los elementos lógicos que constituyen la lógica de realimentación de la figura 1;

15 la figura 6 representa los elementos lógicos que constituyen el variador de fase de la figura 1; y

la figura 7 representa los elementos lógicos que constituyen la lógica de regeneración de la figura 1.

20 En todas las figuras, los mismos números de referencia se utilizan para designar elementos correspondientes.

Las flechas indican las direcciones de la circulación de las señales entre los elementos de circuito.

25 En los diagramas de tiempo y forma de onda, el tiempo transcurre desde la izquierda hacia la derecha a través de la hoja.

30 Haciendo referencia a la figura 1, ésta representa un modo de realización del invento particularmente previsto para regenerar los datos codificados con formato M^2_{FM} . Estos datos se representan llegando al circuito de la figura 1 a la entrada del circuito de tratamiento de señales 10. La forma

típica de la señal de entrada de datos que se aplica al circuito 10 se ilustra en la figura 2. En la línea superior de la figura 2 se representan los intervalos de tiempo consecutivos (llamados a veces posiciones de memoria de bits) que tienen cada uno una duración T que puede ser de dos microsegundos en la práctica. Dentro de estos intervalos de tiempo, están intercalados, en la figura 2, los caracteres binarios que se supone que han de ser representados. Por tanto, en el primer intervalo se supone que existe un uno, en el segundo igualmente un uno, en el tercero un cero, y así sucesivamente en el sentido transversal de la página. La línea inferior de la figura 2 representa, por tanto, los impulsos de señal eléctrica que corresponden a la configuración de uno y cero de la línea superior en las condiciones de la codificación M^2 FM. Se trata de una señal idéntica a la de la línea inferior de la figura 2 que se aplica realmente al circuito de tratamiento de señales 10 de la figura 1. Sin embargo, se entenderá que las posiciones de los impulsos con respecto a los intervalos de tiempo variarán en la práctica de los que se han previsto teóricamente, debido a toda especie de factores, que incluyen las variaciones del valor de cresta entre impulsos adyacentes, ruido, limitaciones de anchura de banda, variaciones en la velocidad del aparato de registro o de reproducción, y así sucesivamente. Estas variaciones son las que dan lugar a la necesidad de un esquema de regeneración sofisticado tal como el del invento.

Volviendo a la figura 1, y examinando particularmente el oscilador controlado por una tensión (VCO) 13, este oscilador está construido de manera convencional para producir una señal de forma esencialmente cuadrada a una frecuencia ar

mónica de la frecuencia de recurrencia de los intervalos de tiempo de la señal de entrada codificada con formato M^2_{FM} . Por unos motivos que aparecerán más adelante, es preferible utilizar un múltiplo de diez, aunque puedan utilizarse otros múltiplos.

5

La figura 3 representa, en la línea (c), esta señal de salida del oscilador controlado por una tensión (VCO). Para un análisis adecuado, se representa igualmente en la figura 3, concretamente en su línea (a) una parte de la señal de entrada representada en la línea inferior de la figura 2, concretamente la que constituye el intervalo III en la figura 2. Incluye dos impulsos 51 y 52. Típicamente, el impulso 51 corresponde a un uno, mientras que el impulso 52 corresponde al límite de dos intervalos consecutivos representativos de un

10

15

Se representa igualmente en la figura 3, en la línea (b) situada entre las líneas (a) y (c), un diagrama que subdivide cada intervalo T de 2 microsegundos de la línea (a) en 10 intervalos de "recuento" de 200 nanosegundos, numerados de 0 a 9, y que corresponden a la producción de las ondas cuadradas a una frecuencia diez veces superior a la frecuencia producida por el oscilador controlado por una tensión 13 de la figura 1.

20

El circuito de tratamiento de la figura 10, al cual se aplica la señal de entrada representada en la figura 3, línea (a), puede ser de cualquier forma convencional, por ejemplo un multivibrador monoestable, capaz de alargar los impulsos de entrada que se le aplican. Las salidas Q y \bar{Q} procedentes de este circuito 10 se representan en las líneas (d) y (e) de la figura 3, respectivamente. Se representa cada impulso de

25

30

entrada alargado sobre la mitad del intervalo T , es decir en más de un microsegundo. Los impulsos de salida Q alargados que corresponden a los impulsos de entrada 51 y 52 están designados respectivamente por 51a y 52a y los impulsos \bar{Q} están designados por 51b y 52b, respectivamente.

Los impulsos de salida Q se aplican directamente a la entrada V_1 del comparador de fase 11, y los impulsos de salida \bar{Q} se aplican directamente a una entrada del circuito lógico de regeneración 18.

El comparador de fase 11 puede ser un circuito integrado Motorola, modelo MC4044, que incluye también un dispositivo de bombeo de carga, conectado de la manera ilustrada en los dibujos.

Se aplica a la entrada R_1 de este comparador de fase 11 una señal de realimentación derivada del VCO 13 por medio del circuito lógico de realimentación 15, de una manera que se describirá más detalladamente en lo que sigue. Basta con decir ahora que el objeto del PLO (oscilador sincronizado en fase) que incluye su comparador de fase 11, el filtro 12, el VCO 13 y la lógica de realimentación 15, consiste en crear y mantener el sincronismo más exacto posible entre las entradas V_1 y R_1 del comparador de fase 11. El comparador de fase funciona de la siguiente manera. Cualquier desplazamiento en el tiempo que se produzca entre transiciones de nivel alto-nivel bajo en la entrada V_1 (variable) y la entrada R_1 (valor de referencia) que se aplican al comparador de fase, da lugar, a la salida del dispositivo de bombeo de cargas que forma parte del circuito 11, a una señal de error de fase representativa de este desplazamiento en el tiempo. Por medio del filtro convencional 12, se aplica esta señal de error de fase al VCO

13 con el objeto de controlar la frecuencia de este último de la manera convencional.

De acuerdo con la práctica normal, se ajusta la ganancia y la anchura de banda del filtro 12 para que éste responda a las variaciones a largo plazo del flujo de impulsos de datos de entrada, durante varios periodos T del mismo, y no responda a las variaciones instantáneas debidas al ruido o al desplazamiento de los bitios individuales.

Además de ser suministrada a la lógica de realimentación 15, la salida del VCO 13 se suministra también al contador decimal codificado en binario 14 y al dispositivo de variación de fase 16.

El contador decimal con codificación binaria 14 cuenta de manera recurrente de 0 a 9 en respuesta a los impulsos sucesivos procedentes del VCO 13. Durante esta operación, el contador 14 produce las ventanas de regeneración propiamente dichas y produce también una señal de control auxiliar para la lógica de realimentación, por medio del detector 17 de 0 y 5.

El dispositivo de variación de fase 16 produce una señal de control auxiliar suplementaria para la lógica de realimentación 15.

La figura 4 representa la configuración de las salidas procedentes del contador binario codificado en decimal 14, que se obtienen en sus terminales A a D, en respuesta a las señales de entrada del VCO.

En la figura 4, se ve también que las cifras 8 a 3 producen un nivel en el terminal de salida C, y que las cifras 4 a 7 producen el otro nivel. Estos dos intervalos presentan una relación de 60/40. Por tanto, se producen en el terminal C señales con relación de 60/40 adecuadas como ventanas no simé-

tricas. Estas ventanas de salida que aparecen en el terminal C del contador 14 se representan en la línea (f) de la figura 3. Se observará la relación no simétrica de 60/40 entre las duraciones de sus segmentos negativos y positivos. Esta es la configuración de ventana preferida para la regeneración de señales codificadas con código M^2_{FM} , tal y como se ha indicado más arriba. Esta señal es también la que se suministra para esta finalidad a una segunda entrada de la lógica de regeneración 18 en la figura 1, (estando la primera alimentada con la señal que se representa en la línea (e) de la figura 3).

Estudiando ahora la lógica de realimentación 15, se representan en la figura 5 los elementos constitutivos del circuito lógico. Este incluye tres flip-flops 20, 21 y 23, y una puerta NAND 22, estando estos elementos conectados los unos con los otros y con la lógica de circuito externa 15.

La señal de entrada alargada procedente de la misma salida Q de la unidad de tratamiento de señales 10 que alimenta la entrada V_1 del comparador de fase 11, se aplica también para disparar el flip-flop 20, que vuelve a cero cuando se aplica a la siguiente entrada R_1 del comparador de fase la señal de realimentación procedente de la salida de la lógica 15. El impulso de salida resultante en la salida Q del flip-flop 20 es transferida además a la salida Q del flip-flop 21 mediante su activación con una señal derivada del contador decimal codificado en binario 14 a través del dispositivo de variación de fase 16. Tal y como se explicará más completamente en lo que sigue, esta señal de reloj aplicada al flip-flop 21 de la lógica de realimentación 15 consiste en pares de impulsos cuyos flancos delanteros están desplazados en el tiempo con la misma relación de 60/40 que la salida de onda rectangular proce-

dente del terminal C del contador decimal con código binario 14. Sin embargo, debido al dispositivo de variación de fase 16, las separaciones con relación de 60/40 de esta señal se desplazan en fase en un grado adecuado, preferentemente 180° :

5 Esta serie de pares de impulsos cuya fase está desplazada 180° se representa en la línea (g) de la figura 3. Haciendo referencia al dispositivo de variación de fase 16, representado detalladamente en la figura 6, este dispositivo incluye una puerta OR 25, alimentada con las salidas B y D del contador 14 y, a su vez, produce la señal de entrada que se aplica al flip-flop 26, cuya entrada de ritmo está constituida por la señal de salida del VCO, y cuya entrada de reposición está constituida por la señal con relación de 60/40 procedente del terminal C del contador. Se observará fácilmente que estos componentes cooperan para producir a la salida Q del flip-flip 26 los pares de impulsos deseados, con una relación de separación de 60/40, pero con el desfase deseado de 180° .

15 Se observará que cada espacio de 60% entre los flancos delanteros de un par de impulsos, está centrado en el mismo emplazamiento que las ventanas originales de 40% (línea f en la figura 3). y viceversa.

20 Volviendo a la figura 5, y a la lógica de realimentación 15 representada detalladamente en ella, se ve que la salida Q del flip-flop 21 atraviesa el circuito NAND 22 al producirse la siguiente señal procedente del contador decimal codificado en binario 14 que representa una cuenta de cifra 0 o una cuenta de cifra 5. Con esta finalidad, los cuatro terminales de salida del contador 14 están conectados con el detector 17 de cifra 0 y cifra 5. Este detector puede tomar cualquier forma convencional de circuito lógico digital para detectar las confi

25

30

guraciones de cuentas número 0 y 5, respectivamente, de las señales de salida del contador (véanse formas de tensiones de salida representadas en la figura 4) y para combinar estas señales para producir una señal de activación de la puerta NAND 22 en respuesta a cada cuenta de 0 y de 5.

Finalmente, la salida de la puerta 22 se suministra al flip-flop 23, a través del cual es transmitida por la señal de salida del VCO 13. La salida Q procedente del flip-flop 23 constituye la señal de referencia aplicada a la entrada R 1 del comparador de fase 11.

Esta salida Q procedente del flip-flop 23 se representa en la línea (1) de la figura 3, y puede verse que incluye transiciones de nivel alto-nivel bajo 51c y 52c que coinciden con las transiciones de nivel alto-nivel bajo de las entradas variables 51a y 52a, respectivamente, que se aplican a la entrada V_1 del comparador de fase 11, como es conveniente para un funcionamiento adecuado del sistema.

Las modificaciones de la señal que se producen así en el circuito lógico de realimentación 15, se representan en las líneas (h) a (j) de la figura 3.

Antes de describir estas señales de las líneas (h) a (j), se observará que la señal suministrada a partir de la salida Q del flip-flop 20 a la entrada J del flip-flop 21 de la lógica 15 tiene sus transiciones de nivel alto-nivel bajo alineadas en el tiempo con las transiciones de nivel alto-nivel bajo de la señal representada en la línea (d) de la figura 3, es decir que tiene transiciones de nivel alto-nivel bajo que corresponden a las de los impulsos 51a y 52a.

En el flip-flop 21, la acción de sincronización de la señal procedente del dispositivo variador de fase 26 (línea

(g) de la figura 3) coopera con la acción de reposición de la señal procedente del flip-flop 23 para producir la salida Q representada en la línea (h) de la figura 3. Se observará que el impulso positivo 51d contenido en esta señal de salida Q, que corresponde a la señal variable 51a tiene una longitud de 400 nanosegundos, mientras que el impulso positivo 52d que corresponde a la señal variable 52d tiene una longitud de 600 nanosegundos. Sin embargo, cada uno de estos dos impulsos tiene su flanco negativo (posterior) alineado con el impulso variable correspondiente, estando compensada la diferencia de duración por la programación en el tiempo diferente de sus bordes delanteros.

El significado del desplazamiento de fase de 180° producido por el dispositivo de variación de fase 16 se ve ahora claramente. En ausencia del dispositivo de variación de fase 16, cada transición de nivel bajo-nivel alto de la entrada variable aplicada al comparador de fase a partir de la salida Q del circuito de tratamiento 10 -después de pasar a través del flip-flop 20- sería conducida a través del flip-flop 21 por el comienzo de la siguiente ventana procedente del terminal C del contador decimal con código binario. Sin embargo, la comparación de las líneas (d) y (f) de la figura 3 indica que (igualmente en el caso de ausencia del dispositivo de variación de fase 16) la ventana que acompaña esta transición entre nivel bajo-nivel alto en un impulso de información 51a, es una ventana de 40%, mientras que la ventana que acompaña una transición entre nivel bajo-nivel alto en un impulso de ritmo 52a es una ventana de 60%. Esto es exactamente el inverso de la condición deseada, en la cual las transiciones de datos (1) deben acompañar las ventanas de 60% y las transiciones

de ritmo las ventanas de 40%. Esto se corrige por medio del dispositivo de variación de fase de 180° 16, en razón de esta operación, la transición del impulso 51a se transmite a través del flip-flop 21 por una ventana de 60%, y la transición del impulso 52a por una ventana de 40%.

5

Las señales 51e y 52e producidas a continuación por la puerta NAND 22 se representan en la línea (j) de la figura 3. Se observará que la discrepancia mencionada más arriba entre las longitudes de los impulsos 51d y 52d deja de aparecer en los impulsos 51e y 52e.

10

El significado del suministro de las salidas 0 y 5 a partir del detector 17 de 0 y 5 a esta puerta NAND 22 se ve ahora claramente. La transición en la cuenta 0 a 1 producida por el contador decimal con código binario 14 corresponde al centro de la ventana de 60% producida por este contador, y la transición en la cuenta de 5 a 6 corresponde al centro de la ventana de 40%. Por tanto, la puerta NAND será activada en los centros de estos intervalos respectivos debido a la presencia simultánea de las transiciones de cuenta 0 ó 5 (véase línea (i) de la figura 3) y de las transiciones de salida del flip-flop 21 (véase línea (h) de la figura 3).

15

20

Finalmente, con relación a la salida Q del flip-flop 23, la cual, como se ha indicado anteriormente constituye la realimentación de referencia procedente del VCO 13 que se aplica al comparador de fase 11, puede verse que sus transiciones entre nivel alto y nivel bajo 51c y 52c están perfectamente alineadas en varios aspectos.

25

Uno de estos aspectos es la perfecta alineación con las transiciones entre nivel alto-nivel bajo de las correspondientes entradas variables 51a y 52a del comparador. Esto co-

30

responde a un estado de sincronización perfecta del oscilador sincronizado en fase (PLO).

Otro aspecto es la alineación con los centros de las ventanas de regeneración adecuadas. Por tanto, la transición de la señal de referencia 51c entre nivel alto y nivel bajo, que corresponde a un impulso de información uno 51, está alineada con los centros de las ventanas de 60% (comparar las líneas (1) y (f) de la figura 3).

Por otra parte, la transición de la tensión de referencia 52c entre nivel alto y nivel bajo, que corresponde al impulso 52 representativo del límite de los cero (ritmo) está alineada con el centro de una ventana de 40%. Se observará que esta condición es totalmente independiente de las variaciones de la frecuencia de datos respecto a su valor nominal. De este modo se evitan las dificultades del sistema de regeneración descritas más arriba que pueden producirse debido a estas variaciones de frecuencia.

Por lo que a los diagramas de forma de onda de las figuras 2 y 3 se refiere, estas variaciones de frecuencia se manifestarían bien por una separación más reducida entre los impulsos de información sucesivos (si la frecuencia aumenta) o por una separación más ancha (si la frecuencia disminuye). Esto significa que la longitud absoluta del intervalo T (que se ha supuesto anteriormente de 2 microsegundos) variará de manera correspondiente. Sin embargo, la frecuencia del VCO 13 variará de la misma manera, y el nuevo intervalo T estará dividido de la misma manera en dos porciones de ventana con una relación de 60/40 en razón del funcionamiento inherente del contador decimal con código binario 14 que forma las ventanas. Todas las otras funciones de sincronización continuarán de la

misma manera, pero en unos momentos desplazados de manera correspondiente con respecto al nuevo intervalo T y a las nuevas ventanas con relación de 60/40.

5 La derivación de la información variable a partir de la salida \bar{Q} del circuito de tratamiento de señal 10 hacia la lógica de regeneración 18 no se somete a ninguna variación de fase diferencial porque no existe nada capaz de producir dicha variación de fase en el canal de derivación. Por tanto, las posiciones centradas de estos datos en las ventanas no
10 son perturbadas por el cambio defrecuencia.

Se observará igualmente que el canal de realimentación real desde la salida del VCO 13 hasta la entrada de referencia R_1 del comparador de fase 11, ha sido reducido a un solo flip-flop 23. Todas las demás funciones de control que influyen en esta realimentación, es decir las que están realizadas por los circuito 20, 21, 22, así como las señales que excitan estos circuitos, se toman del canal de realimentación real. Esto reduce esencialmente el retardo de realimentación a un valor mínimo irreductible y mejora además el funcionamiento adecuado del sistema.
15
20

Aunque esto no esté directamente relacionado con las ventajas mencionadas más arriba, conviene indicar que el invento proporciona un oscilador sincronizado en fase, cuyo oscilador controlado por tensión 13 no presenta variaciones de frecuencia a pesar del hecho de que los datos reales no son periódicos, en razón del formato del código M^2FM . En el presente invento, no se suministra ninguna realimentación de referencia de comparador de fase, salvo cuando existe realmente una entrada variable derivada de los datos.
25

30 Por tanto, cuando no existen entradas variables,

no existe variación de la frecuencia del oscilador controlado por tensión. Naturalmente, el sistema funciona también con señales de entrada estrictamente periódicas.

5 Ya que, en razón del aparato descrito más arriba, se obtienen señales representativas de datos centradas con precisión en las ventanas de regeneración derivadas, queda por regenerar realmente los datos. Esto se efectúa en la lógica de regeneración 18, cuya configuración de circuito interno se representa en la figura 7.

10 Como se representa en esta figura las señales \bar{Q} (representativas de los datos) procedentes del dispositivo de ensanchamiento de impulsos 10, se aplican a las entradas de ritmo C de los dos flip-flops 30 y 31. Se aplican las entradas de datos D de los mismos flip-flops a las ventanas 60/40 a partir del terminal C del contador 14. La entrada de reposición del flip-flop 30 es la cuenta 0 procedente del contador 14 que se obtiene a través del decodificador 17 de 0 y 5, pero con polaridad invertida según se indica por $\overline{\text{DECODE 0}}$ en la figura 7. La entrada de reposición del flip-flop 31 es la

15 cuenta 5, cuya polaridad ha sido igualmente invertida, según se indica por $\overline{\text{DECODE 5}}$, en la figura 7.

20

Las salidas Q de los flip-flops 30 y 31 reciben las entradas respectivas D de dos flip-flops suplementarios 32 y 33, cuyas entradas C reciben las señales de salida del terminal C procedente del contador 14, salvo que esta entrada C que se aplica al flip-flop 32 atraviesa en primer lugar un inversor 34 antes de llegar al flip-flop 32.

25

Finalmente, la salida Q del flip-flop 32 se suministra a la entrada D de otro flip-flop 35, la salida \bar{Q} procedente del flip-flop 33 se suministra a la entrada D de o-

30

tro flip-flop 36, y las entradas C de ambos flip-flops 35 y 36 se aplican a la misma entrada DECODE 5 a partir del detector 17 de 0 y 5.

5 En la línea (m) de la figura 3, se representa la señal producida a la salida Q del flip-flop 31, y en la línea (n) se representa la señal producida a la salida Q del flip-flop 30. Se observará un intervalo de nivel bajo de 800 nanosegundos en la línea (m) y un intervalo de nivel alto de la misma duración en la línea (n). Estas señales representan
10 lo que podrían llamarse formas rudimentarias de la información regenerada representada por los impulsos 51 y 52 en la línea (a) de la figura 3.

En las líneas (o) y (p) de la figura 3, se representan, respectivamente, las señales de salida finales de
15 los flip-flops 36 y 35, respectivamente.

La señal que aparece en la línea (o) es la señal de datos regenerada. Su porción de nivel alto 51f corresponde al impulso 51 representativo de un uno de la línea (a) en la figura 3, y en la figura 2. Tiene una duración de T (2 microsegundos) y está limitado como es preciso, por unas porciones de nivel bajo que corresponden a unos cero en los datos en su estado inicial.
20

La señal que aparece en la línea (p) es la señal de ritmo regenerada. Su porción de nivel alto 52f corresponde al impulso representativo de ritmo 52 de la línea (a) en la figura 3 y en la figura 2.
25

En la figura 3, las limitaciones de espacio impiden la representación de otras porciones de las señales regeneradas que corresponden al flujo de datos de la figura 2, pero estas porciones presentarían el mismo contenido repre-
30

sentativo de datos y de ritmo.

Se pondrá de nuevo el acento sobre la insensibilidad de este sistema a las variaciones de frecuencia del flujo de datos de entrada. Estas variaciones corresponden a un cambio en el valor absoluto del intervalo T que se representa en las figuras 2 y 3. Sin embargo, todas las relaciones de tiempo dentro de estas figuras se adaptan simplemente al nuevo valor absoluto de T , y las posiciones relativas de todos los acontecimientos importantes permanecen sin cambio.

La utilización ulterior de las señales regeneradas producidas por la lógica 18 puede efectuarse de la manera convencional y por tanto no se describirá aquí.

En la descripción que antecede, se ha supuesto que el sistema de la figura 1 está ya en el modo de funcionamiento de estado permanente, aplicándose los datos al circuito 10 de tratamiento de señales, y progresando de manera correspondiente las diversas otras operaciones de sincronización y recuento.

Este estado puede establecerse, después de activar el sistema, de cualquier manera deseada que incluye, por ejemplo, la señal CLAMP que se representa aplicada al circuito 10 y también al VCO 13 y al contador 14 en la figura 1.

En primer lugar, se suministra al circuito 10 en lugar del flujo de datos normal, una señal procedente de un oscilador local controlado por cristal (no representado) a una frecuencia que corresponde al intervalo nominal T . Durante esta operación se mantiene la señal CLAMP en su nivel alto.

El flujo de datos recibido contiene típicamente un preámbulo que consiste en una secuencia de bits uno, sepa-

rados cada uno por un intervalo T con relación a los bitios adyacentes. Después de que el oscilador sincronizado en fase (PIO) se ha estabilizado en respuesta a los impulsos del oscilador controlado por cristal, se desconecta el oscilador controlado por cristal de la entrada del circuito 10 y se sustituye por el preámbulo de flujo de datos. En el momento en que se aplica el primer impulso del preámbulo, se conmuta igualmente la señal $\overline{\text{CLAMP}}$ a un nivel bajo. Esto desactiva el circuito 10 de tal manera que no responde al primer impulso de preámbulo. Al tomar un valor bajo la señal $\overline{\text{CLAMP}}$ desactiva también el VCO 13 y carga una cuenta de site en el contador 14. Al producirse el siguiente impulso de preámbulo, según se determina, por ejemplo, por medio de la coincidencia de un impulso de este tipo y de una réplica retardada del primer impulso de preámbulo, la señal $\overline{\text{CLAMP}}$ toma de nuevo el nivel alto. Esto suprime la señal de desactivación del circuito 10, pero no a tiempo para que responda al impulso instantáneo de preámbulo. Al tomar un valor alto, la señal $\overline{\text{CLAMP}}$ suprime también la señal de desactivación del VCO 13, permitiendo que éste empiece a oscilar después de un retardo de un ciclo. El oscilador controlado por tensión modelo 74S124 de Texas Instruments funciona de esta manera. A continuación, se aplican unos impulsos de preámbulo adicionales al circuito 10, y el PIO responde de la manera descrita más arriba para la regeneración de los datos, estabilizándose de nuevo la señal a la salida del filtro 12 en un valor que corresponde al intervalo T de los impulsos de preámbulo. Después de un nivel predeterminado de impulsos de preámbulo, el PIO queda de nuevo disponible para la regeneración de los impulsos de datos.

Se entenderá que el invento no se limita a las con

figuraciones de señal particulares que se ilustran, ni tampoco al modo de realización particular del circuito. Por el contrario abarca el amplio concepto de la producción de ventanas de regeneración de datos en el cual los parámetros de las señales representativas de los datos se mantienen centrados sin retardo de compensación y a pesar de las variaciones de frecuencia.

Los peritos en la materia podrán idear numerosas modificaciones sin alejarse del concepto del invento. Por ejemplo, la utilización de un oscilador controlado por tensión (VCO) que frecuencia a una frecuencia igual a diez veces la frecuencia nominal de los datos no es esencial. Es posible utilizar otros valores múltiples. Un múltiplo de diez es conveniente para producir ventanas con una relación de 60/40. En el caso de utilizar otros códigos, otra relación de simetría podría ser preferible y esto podría conducir a su vez a la utilización de múltiplos diferentes de la frecuencia VCO.

Igualmente, el valor particular de la variación de fase introducida por el dispositivo variador de fase 16, no es necesariamente 180° en todas las aplicaciones del invento.

En el modo de realización descrito, el circuito 10 de tratamiento de la señal prolonga los impulsos del flujo de datos en 1 microsegundo antes de aplicarlos a la entrada V_1 del comparador de fase 11 de la figura 1. Este alargamiento corresponde a la mitad del intervalo de tiempo T de 2 microsegundos ocupado por cada bitio de datos. En la terminología del dominio de frecuencia, esto es equivalente a un retardo de fase de 180° con respecto a la frecuencia nominal del flujo de bitios. Esto es el motivo por el cual es conveniente utilizar un dispositivo de variación de fase de 180° en el sistema de la figura 1. Utilizando dicha variación de fase de 180° , los bitios de

datos "uno" serán sincronizados para controlar la realimentación del PLO por las ventanas de 60%, y los bitios de ritmo por las ventanas de 40%, tal y como se ha explicado más arriba.

5 Si se hubiese utilizado un grado diferente de alargamiento de los impulsos, la variación de fase facilitada por el dispositivo de variación de fase 16 hubiese sido cambiada de manera adecuada para que se siga obteniendo la interacción descrita más arriba entre los componentes del flujo de datos y las ventanas respectivas.

10 En resumen, la presente patente de invención que se solicita deberá recaer en las siguientes:

REIVINDICACIONES

15 1. - Mejoras introducidas en un sistema para la regeneración de información binaria codificada que está representada en un flujo de datos en unas posiciones de tiempo que recurren a una frecuencia normalmente predeterminada, pero sometida a variaciones incontrolables, incluyendo el sistema unos medios para generar señales que tienen porciones altas y bajas
20 alternativamente para ser utilizadas como ventanas de regeneración, una lógica de regeneración alimentada con dichas ventanas, y un bucle de oscilador sincronizado en fase controlado por un comparador de fase y que determina los momentos de ocurrencia de las ventanas, aplicándose al comparador de fase,
25 dos señales de comparación, una que está constituida por la señal de realimentación del bucle, mientras que la otra es una señal derivada del flujo de datos, estando dichas mejoras caracterizadas porque incluyen:

30 un dispositivo para suministrar a la lógica de regeneración una señal también derivada del flujo de datos y

que tiene características variables en función del tiempo representativas de la información que se produce sustancialmente al mismo tiempo que unas características variables en función del tiempo correspondientes, de dicha señal derivada a partir del flujo de datos que se suministra al comparador de fase, y ello de manera sustancialmente independiente de dichas variaciones de frecuencia.

5
10
15
2. - Mejoras según la reivindicación 1, caracterizadas porque el dispositivo de producción de ventana de regeneración y el oscilador sincronizado en fase están contruidos de tal manera que las mismas características de variación en función del tiempo en la señal suministrada a la lógica de regeneración a partir del flujo de datos, estén sustancialmente centradas dentro de las ventanas de regeneración, de manera sustancialmente independiente de dichas variaciones de frecuencia.

20
3. - Mejoras según la reivindicación 2, caracterizadas porque el dispositivo para suministrar la señal derivada del flujo de datos a la lógica de regeneración incluye un dispositivo de tratamiento de la señal para producir réplicas alargadas de los impulsos contenidos en el flujo de datos.

25
4. - Mejoras según la reivindicación 3, caracterizadas porque el dispositivo para suministrar la señal de comparación derivada del flujo de datos al comparador de fase incluye igualmente un dispositivo de tratamiento de señal para producir réplicas alargadas de los impulsos contenidos en el flujo de datos.

30
5. - Mejoras según la reivindicación 4, caracterizadas porque el dispositivo de tratamiento de señal alarga ambas réplicas sustancialmente en el mismo grado.



6. - Mejoras según la reivindicación 5, caracterizadas porque el dispositivo de tratamiento de señal es un multivibrador monoestable que produce ambas réplicas alargadas.

5 7. - Mejoras según la reivindicación 6, caracterizadas porque las réplicas alargadas se obtienen en las salidas Q y Q del multivibrador, respectivamente.

8. - Mejoras según la reivindicación 5, caracterizadas porque las señales de salida del dispositivo de alargamiento de impulsos se suministran a la lógica de regeneración sin interposición de un dispositivo de retardo.

9. - Mejoras según la reivindicación 8, caracterizadas porque el bucle de oscilador sincronizado en fase, incluye un oscilador controlado por una tensión que funciona a una frecuencia armónica de la frecuencia de recurrencia de la información representativa de las posiciones en el tiempo.

10. - Mejoras según la reivindicación 9, caracterizada porque el dispositivo de producción de ventanas incluye un contador alimentado con la tensión de salida procedente del oscilador armónico y que responde a éste produciendo unas cuentas correspondientes, que recurren con una periodicidad igual a la del periodo de recurrencia de las posiciones en el tiempo de la información contenida en el flujo de datos.

11. - Mejoras según la reivindicación 10, caracterizadas porque el dispositivo contador incluye un dispositivo para producir una señal de salida que tiene dentro de cada periodo de recurrencia una porción alta y una porción baja, que coinciden respectivamente con unas series predeterminadas de recuentos.

12. - Mejoras según la reivindicación 11, caracterizadas porque incluyen un dispositivo para suministrar dichas

porciones de señal de salida de contador de nivel alto y bajo a la lógica de regeneración bajo la forma de ventanas de regeneración.

5 13. - Mejoras según la reivindicación 12, caracterizadas porque la lógica de regeneración incluye un dispositivo para utilizar las ventanas de regeneración y las señales de salida del dispositivo de alargamiento de impulsos para regenerar la información codificada en dichas señales de salida.

10 14. - Mejoras según la reivindicación 13, caracterizadas porque la lógica de regeneración incluye un dispositivo para utilizar una ventana durante cada periodo de recurrencia para regenerar los uno y los cero codificados en las señales de salida, y la otra ventana para regenerar los impulsos de ritmo codificados.

15 15. - Mejoras según la reivindicación 14, caracterizadas porque la lógica de regeneración incluye dos vías de señal, alimentadas cada una con las señales de salida del dispositivo de alargamiento de impulsos y las ventanas de regeneración, y alimentadas respectivamente con señales que representan los centros de la ventana uno y de la otra ventana.

20 16.- Mejoras según la reivindicación 12, caracterizadas porque el dispositivo contador está construido para producir las porciones de señal de nivel alto y bajo con duraciones desiguales.

25 17. - Mejoras según la reivindicación 11, caracterizadas porque el flujo de datos está codificado con formato M^2FM , y las duraciones de las porciones de señal de nivel alto y nivel bajo presentan una relación de 40/60.

30 18. - Mejoras según la reivindicación 16, carac-



terizadas porque el bucle oscilador sincronizado en fase incluye una lógica de realimentación alimentada con la señal de salida procedente del oscilador controlado por una tensión.

5 19. - Mejoras según la reivindicación 18, caracterizadas porque incluyen unos medios para derivar unas primera y segunda señales auxiliares del dispositivo contador, teniendo la primera señal auxiliar unas transiciones desplazadas en fase respecto a las de las ventanas de regeneración
10 en una cantidad predeterminada, y teniendo la segunda señal auxiliar unas transiciones que coinciden con los centros de las respectivas ventanas de regeneración.

 20. - Mejoras según la reivindicación 19, caracterizadas porque el flujo de datos está codificado con formato M^2FM , y las transiciones en la primera señal auxiliar tienen una fase desplazada 180° .
15

 21. - Mejoras según la reivindicación 19, caracterizadas porque incluyen un dispositivo para aplicar la primera señal auxiliar a la lógica de realimentación para sincronizar una señal derivada de la señal de comparación suministrada al comparador de fase y que ha sido obtenida del flujo de datos.
20

 22. - Mejoras según la reivindicación 21, caracterizadas porque la lógica de realimentación incluye un flip-flop al cual se aplica la primera señal auxiliar, como señal de sincronización y cuya reposición se efectúa por la misma señal que se suministra al comparador de fase bajo la forma de su señal de realimentación de comparación.
25

 23. - Mejoras según la reivindicación 21, caracterizadas porque incluyen un dispositivo para aplicar la se-
30

gunda señal auxiliar a la lógica de realimentación para dar paso a la señal sincronizada por la primera señal auxiliar.

5 24. - Mejoras según la reivindicación 23, caracterizadas porque la lógica de realimentación incluye una puerta NAND a la cual se aplican al mismo tiempo la señal sincronizada por la primera señal auxiliar y la segunda señal auxiliar, y un flip-flop alimentado con la señal de salida de la puerta NAND y con la salida del oscilador controlado por una tensión como señal de sincronización.

10 25. - Mejoras según la reivindicación 24, caracterizadas porque la señal de salida del flip-flop mencionado en último lugar constituye la señal de salida de lógica de realimentación y se aplica al comparador de fase bajo la forma de su señal de realimentación de comparación.

15 26. Se reivindica por último como objeto sobre el que ha de recaer la patente de invención que se solicita:
MEJORAS INTRODUCIDAS EN UN SISTEMA PARA LA REGENERACION DE
INFORMACION BINARIA CODIFICADA.

20 Todo conforme queda descrito y reivindicado en la presente memoria descriptiva que consta de treinta y tres páginas mecanografiadas y dibujos adjuntos.

Madrid, 25 Enero de 1977

BERNARDO UNGRIA

p.p.

25

30



FIG. 1

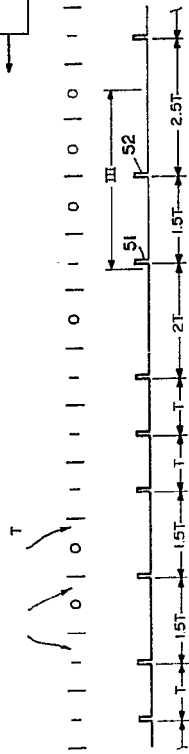
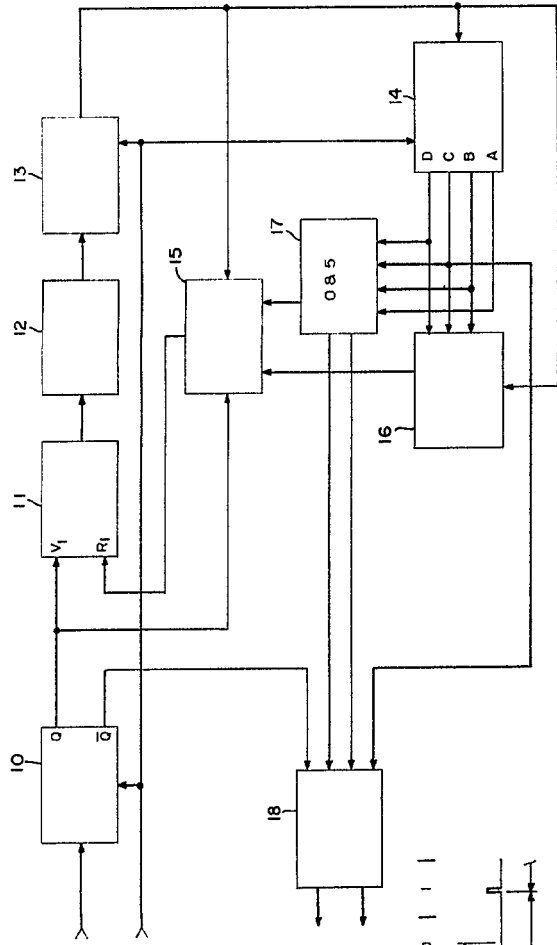


FIG. 2

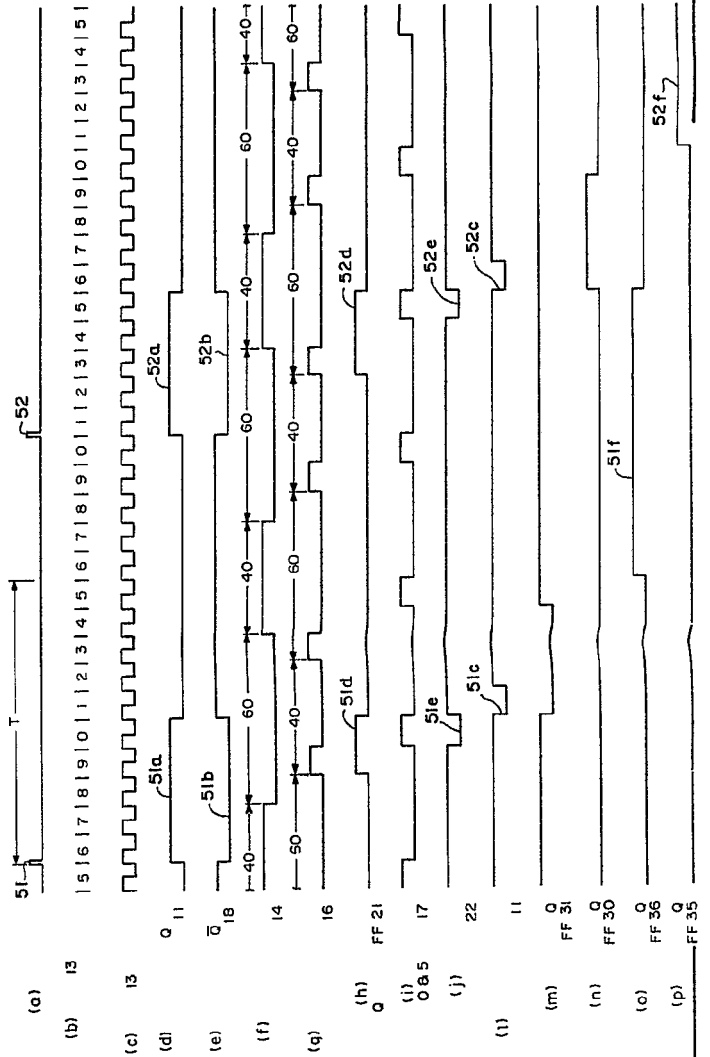


FIG. 3

ESCALA VARIABLE
 Madrid, 25 Enero de 1977
 BERNARDO BNGRIA
 P.P.

FIG. 1

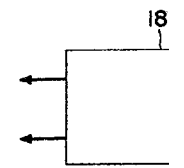
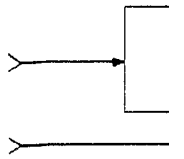


FIG. 2

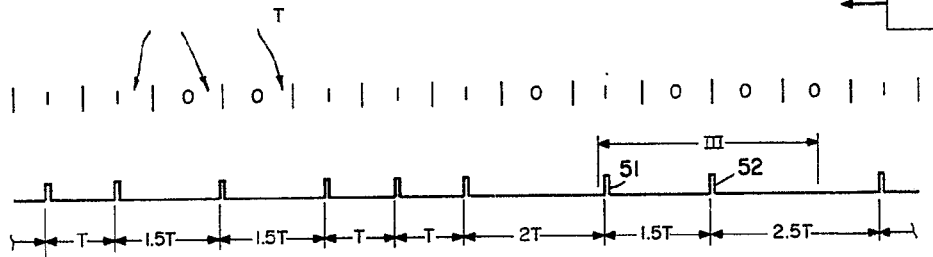
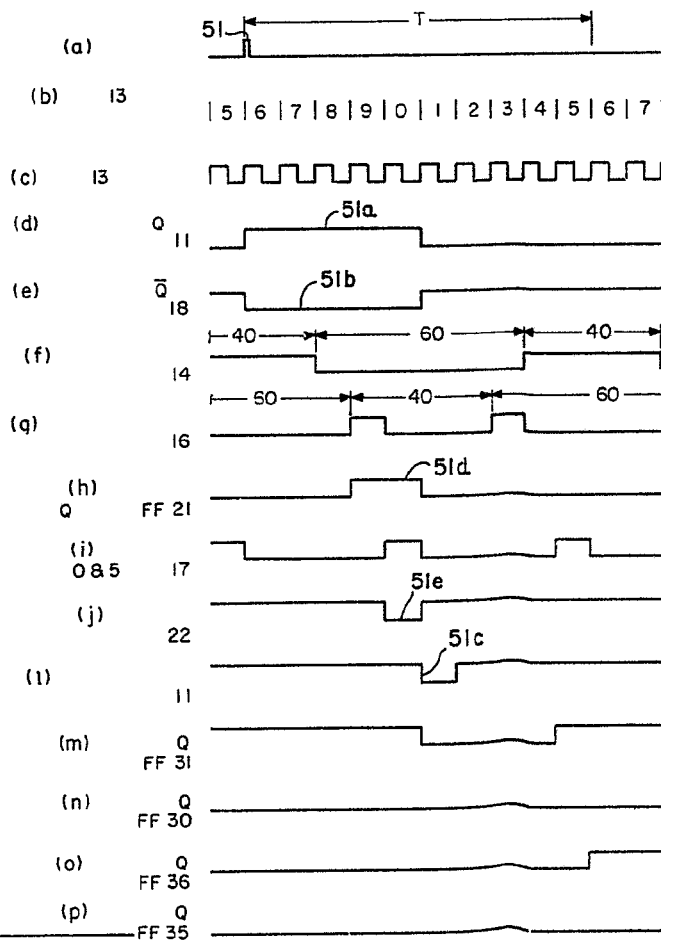
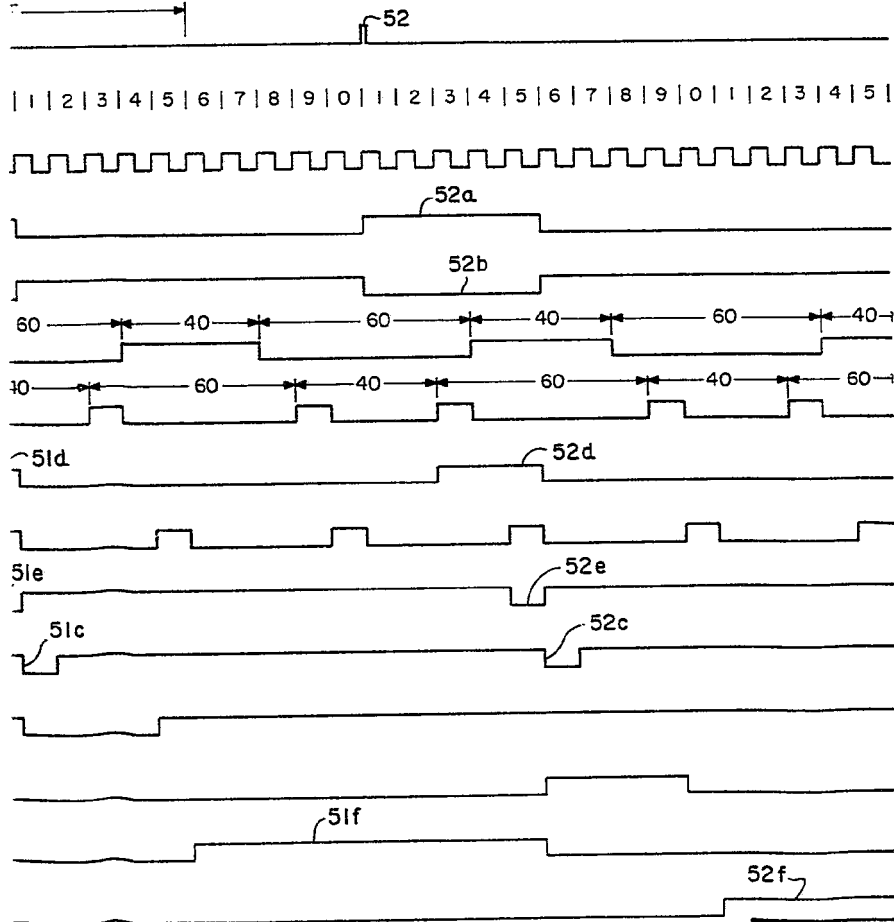
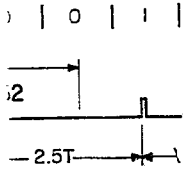
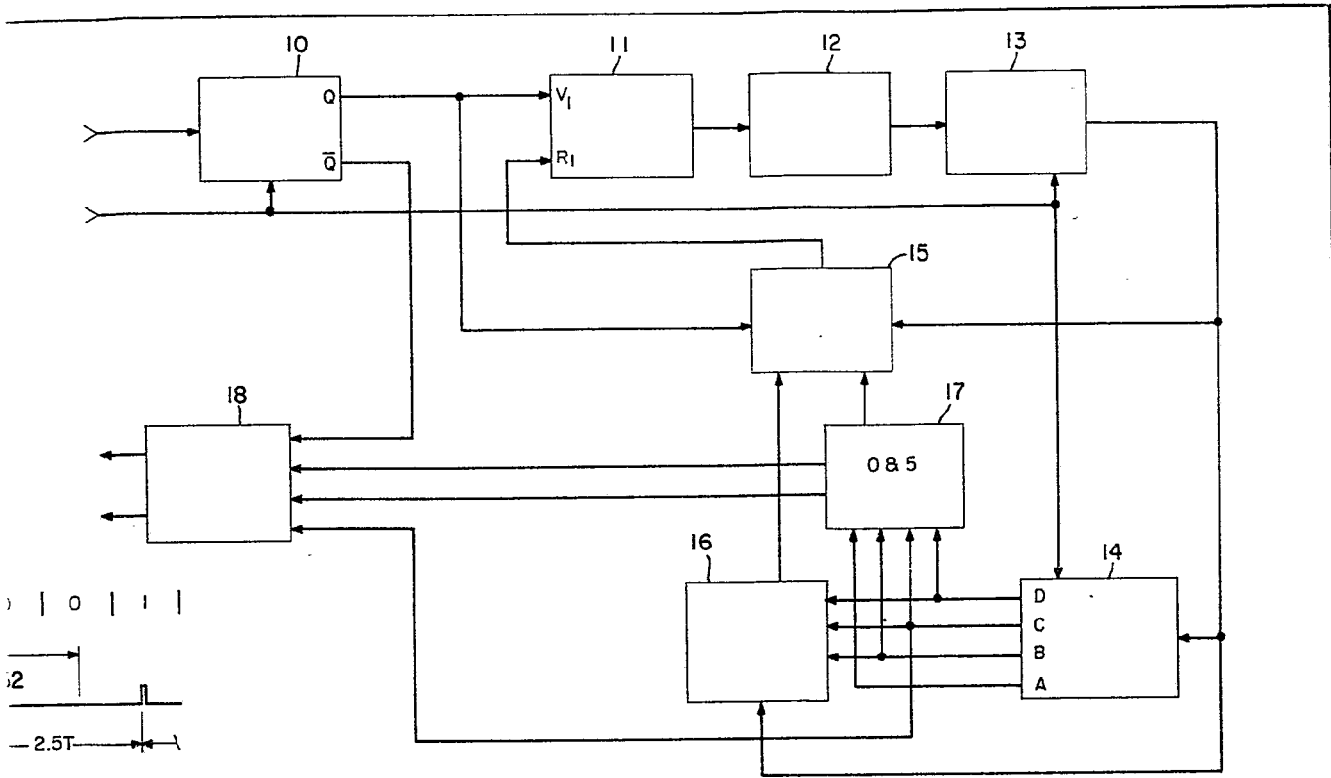


FIG. 3



ESCALA VARIABLE
 Madrid, 25 Enero de 1977
 BERNARDO UNGRIA
 P.P.



(13)	(14)	D	C	B	A
0	0	0	0	0	0
1	0	0	0	0	1
2	0	0	0	1	0
3	0	0	0	1	1
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
0	0	0	0	0	0

FIG. 4

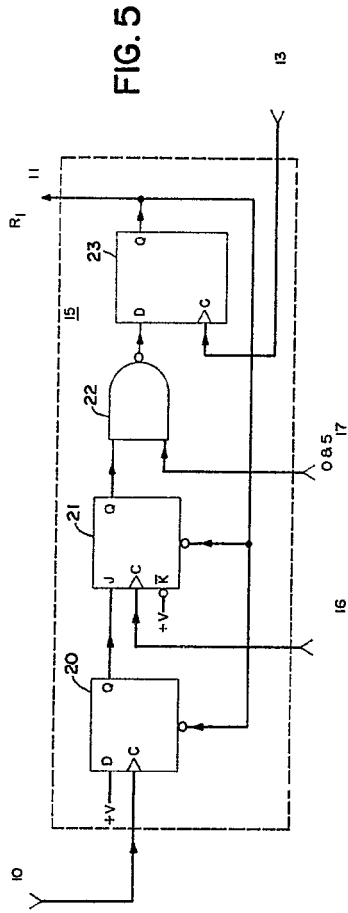


FIG. 5

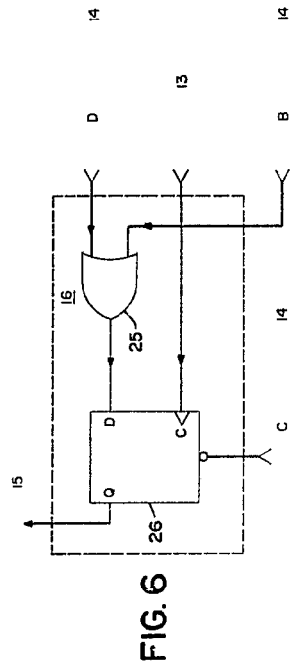


FIG. 6

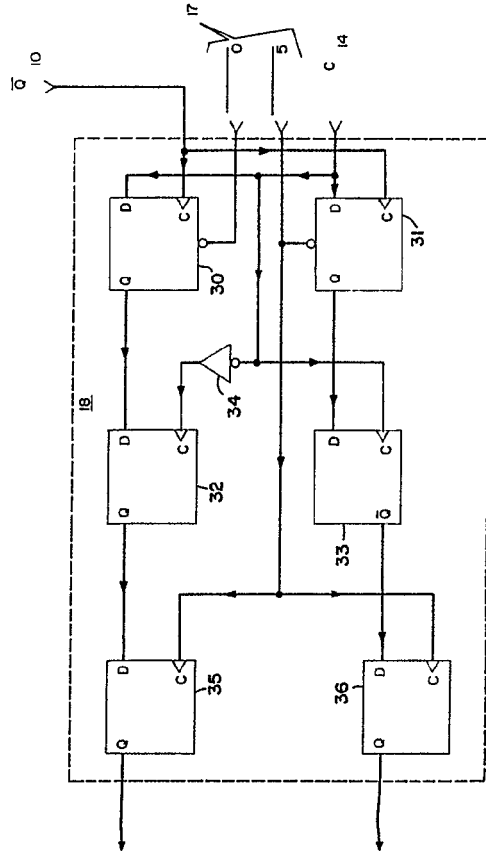


FIG. 7

ESCALA VARIABLE
 Madrid, 25 Enero de 1977
 BERNARDO UNGRIA
 p.p.

FIG. 4

(13)	(14)			
	D	C	B	A
0	0	0	0	0
1	0	0	0	1
2	0	0	1	0
3	0	0	1	1
4	0	1	0	0
5	0	1	0	1
6	0	1	1	0
7	0	1	1	1
8	1	0	0	0
9	1	0	0	1
0	0	0	0	0

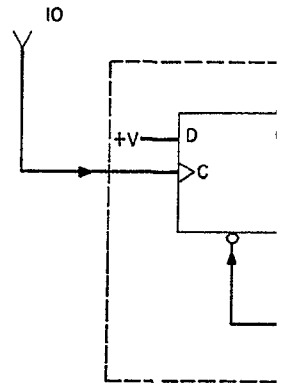


FIG. 6

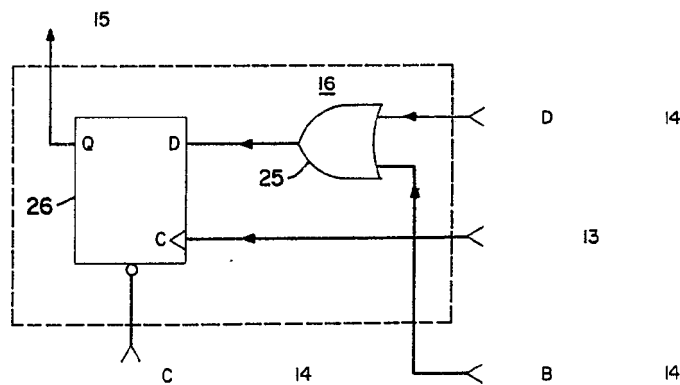


FIG. 7



ESCALA VARIABLE
 Madrid, 25 Enero de 1977
 BERNARDO UNGRIA
 P.P.

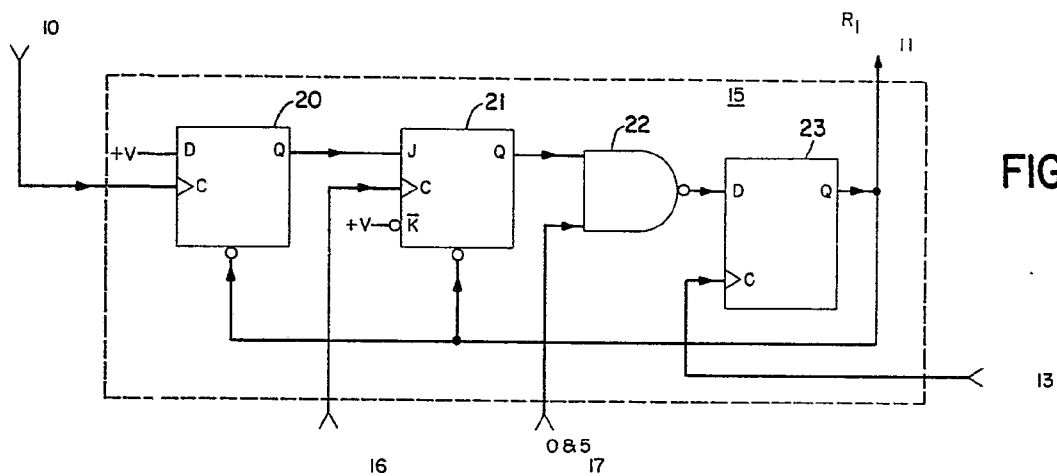


FIG. 5

FIG. 7

