

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

con el fin de registrar en la pre-
sencia de la Comisión y según el con-
tenido de la memoria adjunta.

19	ES	11	NUMERO	10	A 1
		21	455,335		
		22	FECHA DE PRESENTACION		
			25.1.77		

PATENTE DE INVENCION

30	PRIORIDADES:	32	FECHA	33	PAIS
	31	NUMERO	29.1.76		Estados Unidos.
		653.408			

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			G-06F		

54	TITULO DE LA INVENCION
MEJORAS INTRODUCIDAS EN UN SISTEMA DE TRATAMIENTO DE LA INFORMA- CION	

71	SOLICITANTE (S)
SPERRY RAND CORPORATION	

DOMICILIO DEL SOLICITANTE	
1290 Avenue of the Americas, New York, N.Y. 10019, Estados Unidos	

72	INVENTOR (ES)

73	TITULAR (ES)

74	REPRESENTANTE
D. BERNARDO UNGRIA GOIBURU	

EXTRACTO DE LA DESCRIPCION

1 Un sistema de micro-ordenador incluye un micro-orde
nador, una memoria, y uno o varios controladores de acceso di
recto a la memoria, que están conectados todos a una via común
del sistema que incluye una via de dirección del sistema y una
5 via de datos del sistema. Por lo menos uno de los controlado
res de acceso directo a la memoria está compartido por una mul
tiplicidad de controladores de equipos de subsistema que pue
den controlar equipos periféricos dotados de diversas caracte
rísticas. El micro-ordenador tiene un juego de instrucciones
10 limitado y puede controlar equipos periféricos tan solo por me
dio de una instrucción de entrada y de una instrucción de sa
lida. El controlador compartido de acceso directo a la memo
ria no incluye ningún circuito destinado particularmente al
control de un solo tipo de equipo periférico, estando la lógi
15 ca que depende del equipo situada en los controladores de los
equipos del subsistema. Las transferencias de datos pueden rea
lizarse directamente entre la memoria y, por medio del contro
lador compartido de acceso directo a la memoria, cualquiera de
los equipos periféricos. Con el objeto de realizar la trans
20 ferencia real de los datos, el micro-ordenador ejecuta una ins
trucción de entrada que hace el direccionamiento del registro
de estado de un controlador de equipo de subsistema elegido y
devuelve este estado al micro-ordenador. A continuación, se
ejecutan instrucciones de salida para introducir una dirección
25 de comienzo de ubicación de memoria en un contador indicador
de direcciones situado en el controlador compartido de acce
so directo a la memoria. Finalmente, se ejecuta una instruc
ción de salida para efectuar el direccionamiento de un regis
tro de control situado en el controlador del equipo de subsis
30 tema para introducir en él una instrucción, Después de esta

1 se efectúa la transferencia real de los datos utilizando gru
pos de posiciones binarias por medio del controlador comparti
do de acceso directo a la memoria entre la memoria y el con
trolador del equipo de subsistema elegido. El controlador com
5 partido de acceso directo a la memoria incluye un codificador
de interrupción de prioridad y unos circuitos que responden a
una interrupción a la que se da prioridad para introducir el
estado y la dirección del controlador de equipo de subsistema
interrumpido en la vía del sistema. Unos circuitos están in
10 cluidos en el controlador compartido de acceso directo a la
memoria para establecer una comunicación entre éste y la memo
ria, y entre éste y los controladores de los equipos de sub
sistema.

ANTECEDENTES DEL INVENTO

15 El presente invento se refiere a un sistema de trata
miento de la información que utiliza un controlador compartido
de acceso directo a la memoria para conectar una multiplicidad
de controladores de equipos de subsistema con una memoria ba
jo el control de un micro-ordenador que sirve como unidad cen
20 tral del sistema. Los micro-ordenadores han sido desarrollados
en fechas relativamente recientes y se les dedica mucha aten
ción en la técnica de tratamiento de la información. Véase,
por ejemplo, Fortune Magazine, Noviembre 1975. Aunque los mi
cro-ordenadores son de tamaño extremadamente reducido, pueden
25 funcionar de manera extraordinariamente rápida y son relativa
mente económicos en comparación con los ordenadores de la téc
nica anterior, presentan a veces ciertas limitaciones indesea
bles. Por ejemplo, el micro-ordenador Intel 8080 tiene sola
30 Una de ellas sirve para controlar operaciones de entrada y la

1 otra sirve para controlar operaciones de salida. Esta caracte
rística impone severas limitaciones a la utilización de este
micro-ordenador particular en un sistema que emplea un cierto
número de equipos periféricos de diversas características, par
5 ticularmente cuando se desea asegurar el acceso directo a la
memoria de modo que los equipos periféricos puedan comunicar
con la memoria al mismo tiempo que el micro-ordenador está
realizando otras operaciones.

El concepto de acceso directo a la memoria es bien
10 conocido en esta técnica. En términos generales, este concep
to permite a una unidad central introducir en un controlador
de equipo de subsistema las instrucciones y los datos neces
arios para iniciar y realizar una transferencia de datos entre
la memoria y el equipo periférico conectado con el controla
15 dor de equipo de subsistema y controlado por éste. Cuando el
controlador de subsistema ha sido preparado, la unidad central
puede realizar libremente otras operaciones en el sistema mien
tras que el controlador de equipo de subsistema controla por
sí mismo las transferencias entre la memoria y el equipo peri
20 férico.

En la técnica anterior se dota generalmente cada con
trolador de equipo de subsistema de todos los circuitos nece
sarios para realizar las transferencias de datos entre su equi
po periférico y la memoria. Además, se suele conectar directa
25 mente cada uno de los controladores de equipo de subsistema
con una vía del sistema a la cual están igualmente conectadas
la memoria y la unidad central. Existen algunas funciones que
deben realizarse por cada uno de los controladores de equipo
de subsistema cualquiera que sea el tipo del equipo periféri
30 co al cual prestan servicio y por tanto la disposición utili

1 zada actualmente exige una duplicación innecesaria de los cir
 cuitos en cada uno de los controladores de equipo de subsiste
 ma para efectuar estas funciones.

RESUMEN DEL INVENTO

5 Un objeto del presente invento consiste en proporcio
 nar un controlador de acceso directo a la memoria que está
 compartido por una multiplicidad de controladores de equipo
 de subsistema con el objeto de transferir la información entre
 la memoria y un equipo periférico por medio del controlador
10 de acceso directo a la memoria y del controlador de equipos de
 subsistema.

 Un objeto del invento consiste en proporcionar un
 controlador de acceso directo a la memoria que responde sola
 mente a una señal de entrada o a una señal de salida proceden
15 te de un micro-ordenador para organizar y controlar la trans
 ferencia de la información desde una memoria hasta un contro
 lador de equipos de subsistema.

 Otro objeto del invento consiste en proporcionar un
 controlador de acceso directo a la memoria para organizar las
20 operaciones de varios controladores de equipos de subsistema
 y que no incluye ningún dispositivo cuyo funcionamiento depen
 da del tipo de unidades periféricas conectadas con los contro
 ladores de equipos de subsistema.

 Un objeto del presente invento consiste en proporcio
25 nar en un sistema de tratamiento de la información que tiene
 una vía de direcciones común y una vía de datos común para la
 comunicación entre una unidad central, una memoria, y una mul
 tiplicidad de equipos periféricos, la mejora que consiste en
 una multiplicidad de unidades referenciables de acceso direc
30 to a la memoria que controlan cada una la transferencia direc

1 ta de los datos entre por lo menos uno de los equipos perifé
ricos y la memoria, estando por lo menos una de las unidades
de acceso directo a la memoria constituida por una unidad com
partida de acceso directo a la memoria, y presentando los equi
5 pos periféricos controlados por dicha unidad compartida de ac
ceso directo a la memoria diferentes características.

Otro objeto del invento consiste en proporcionar un
sistema de tratamiento de la información mejorado del tipo
descrito en el párrafo anterior y que incluye además un con
10 trolador referenciable de equipos de subsistema conectado en
tre el controlador compartido de acceso directo a la memoria
y cada equipo periférico controlado por el controlador compar
tido de acceso directo a la memoria, estando los controladores
de equipos de subsistema conectados con dicho controlador com
15 partido de acceso directo a la memoria por una vía común del
subsistema; un dispositivo de identificación de direcciones
en el controlador compartido de acceso directo a la memoria
para identificar algunos de los bitios de dirección en la vía
de direcciones común como dirección del controlador comparti
20 do de acceso directo a la memoria; un dispositivo de conmuta
ción que responde al dispositivo de identificación de direc
ciones y a una instrucción de entrada procedente del micro-
ordenador para orientar los bitios de dirección de la vía co
mún de direcciones hacia la vía común de subsistemas bajo la
25 forma de la dirección de un registro de estados en un contro
lador elegido entre los controladores de equipos de subsiste
ma, haciendo volver el controlador elegido de equipo de sub
sistema el valor contenido en su registro de estados al con
trolador compartido de acceso directo a la memoria por la vía
30 común del subsistema; y, un registro situado en el controla

1 dor compartido de acceso directo a la memoria para recibir y
almacenar este valor.

Otro objeto del invento consiste en proporcionar un
sistema de tratamiento de la información mejorado del tipo des-
5 crito más arriba, que incluye además un contador en el contro-
lador compartido de acceso directo a la memoria; un dispositi-
vo de selección que responde al dispositivo de identificación
de direcciones y a una instrucción de salida procedente del
micro-ordenador para introducir en el contador un valor de la
10 via común de información; y un dispositivo de conmutación que
conecta el contador con la via común de direcciones de tal ma-
nera que el contenido del contador pueda efectuar directamen-
te el direccionamiento de la memoria.

Otro objeto del invento consiste en proporcionar un
15 sistema mejorado de tratamiento de la información del tipo
descrito más arriba y que incluye además unos medios que res-
ponden al dispositivo de identificación de direcciones y a
otros bitios de una dirección en la via común de direcciones
para transferir los datos situados en la via común de datos
20 a un registro de instrucciones situado en el controlador ele-
gido de equipo de subsistema.

Otros objetos del invento así como su modo de fun-
cionamiento podrán verse claramente leyendo la siguiente des-
cripción con los dibujos que la acompañan.

25 BREVE DESCRIPCION DE LOS DIBUJOS

La figura 1 es un diagrama en bloques de un sistema
de tratamiento de la información que utiliza un controlador
compartido de acceso directo a la memoria;

la figura 2 es un diagrama en bloques que ilustra
30 los varios elementos contenidos en un controlador compartido

1 de acceso directo a la memoria.

Las figuras 3A y 3B, cuando están dispuestas de la manera representada en la figura 3C constituyen un diagrama lógico que ilustra los circuitos principales de la circulación de la información a través de un controlador compartido de acceso directo a la memoria;

las figuras 4-8 son diagramas lógicos de los circuitos destinados a generar señales de control en el controlador compartido de acceso directo a la memoria;

10 la figura 9 es un diagrama de formas de onda que ilustra la programación en el tiempo de las varias señales que se producen en el controlador compartido de acceso directo a la memoria durante una instrucción de entrada;

las figuras 10A-10E ilustran varios formatos de direccionamiento utilizados con el controlador compartido de acceso directo a la memoria;

la figura 11 es un diagrama de formas de onda que ilustra la programación en el tiempo de las varias señales que se producen durante la ejecución de las instrucciones de salida que se introducen en el contador indicador de direcciones; y,

las figuras 12A y 12B son diagramas de formas de onda que ilustran la programación en el tiempo de las varias señales durante las transferencias de datos de salida y entrada respectivamente.

DESCRIPCION DETALLADA DEL INVENTO

En la descripción que sigue se utilizan las siguientes convenciones. Se da a cada elemento un número de referencia de 3 cifras. La primera de estas cifras representa el número de la figura donde se encuentra el elemento. Por lo que

1 a los conductores de entrada y de salida se refiere, las pri
meras cifras indican la figura donde se encontrará el origen
del conductor. Debido a los elementos lógicos particulares uti
lizados, un nivel de tensión elevado o positivo representa el
5 estado lógico uno mientras que un nivel bajo o nivel de masa
representa el estado lógico cero.

La figura 1 representa un diagrama en bloques del sis
tema de tratamiento de la información que incorpora las carac
terísticas del presente invento. El sistema de tratamiento de
10 la información incluye una unidad central (CPU) 100, una uni
dad de almacenado principal o memoria 102, un dispositivo de
gestión de vías 104, uno o varios controladores 106 del tipo
de disco, de acceso directo a la memoria, y uno o varios con
troladores compartidos de acceso directo a la memoria (SDMA)
15 108, todos conectados a una vía común 110 del sistema. La uni
dad central CPU 100 es un micro-ordenador tal como por ejem
plo, el modelo 8080 comercializado actualmente por la Intel
Corporation. La unidad central CPU 100 contiene los circuitos
usuales, que incluyen un registro acumulador 101, necesario
20 para que el sistema de tratamiento de la información pueda rea
lizar cálculos aritméticos y tomar decisiones lógicas.

La memoria 102 es de diseño convencional y puede,
por ejemplo, estar constituida por una unidad de almacenado
modelo TMS 4060 tal como la que está actualmente comercializa
25 da por Texas Instruments.

Ya que todas las transferencias de señal entre los
varios elementos conectados a la vía 110 del sistema se efec
túan por medio de la vía del sistema, el dispositivo de ges
tión de vías 104 sirve para controlar el acceso de los varios
30 elementos a la vía del sistema. La utilización de una vía de

1 sistema común y de un dispositivo de gestión de vía es bien
conocida en esta técnica y por tanto no se describirán aquí
los detalles del dispositivo de gestión de vías.

5 El controlador de acceso directo a la memoria 106 pue
de ser un controlador convencional de acceso directo a la me
moría que sirve para conectar una de las varias unidades de
disco móvil 112 con la memoria 102 por medio de la vía 110 del
sistema.

10 El presente invento se refiere a un sistema de trata
miento de la información de tipo convencional del tipo descri
to más arriba en combinación con el controlador compartido de
acceso directo a la memoria (SDMA) 108. El SDMA 108 sirve pa
ra controlar la transferencia directa de los datos entre una
multiplicidad de equipos de subsistema y la memoria 102. Según
15 se ilustra en la figura 1, los equipos de subsistema pueden in
cluir uno o varios lectores de tarjetas 116, una o varias im
presoras 114, una o varias perforadas de tarjetas 118, y/o
uno o varios terminales de información 120 que tienen una en
trada de teclado con un dispositivo de visualización por tubo
20 de rayos catódicos. Cada equipo de subsistema lleva asociado
con él un controlador de equipo de subsistema (SDC) 122 y to
dos los SDC 122 están conectados con el SDMA 108 por medio de
una vía 124 de controlador de equipo de subsistema. Se enten
derá que los SDC 122 pueden variar en su construcción según
25 el tipo de equipo de subsistema que están controlando. Estos
controladores de equipos de subsistema son bien conocidos en
esta técnica y por tanto no se describirán aquí detalladamen
te. Sin embargo, se observará que en la técnica anterior ca
da uno de los SDC 122 estaba provisto de su propio circuito
30 para realizar algunas funciones, tales como el direcciona

1 miento de memoria. Como podrá verse claramente en la descrip
ción que sigue, el presente invento elimina esta multiplica
ción indebida de los circuitos utilizando un solo circuito en
el SDMA 108 para realizar esta función para todos los SDC.
5 Salvo este detalle, y la utilización del SDMA 108, todos los
elementos de la figura 1 pueden ser de diseño convencional y
pueden obtenerse en el comercio por tanto no se describirán
aquí de manera detallada.

La figura 2 es un diagrama en bloques del circuito
10 incluido en un SDMA 108 (todos los SDMA son idénticos) y es
te diagrama ilustra los circuitos de la circulación de las se
ñales entre la vía 124 del SDC y la vía 110 del sistema. En
realidad, la vía 110 del sistema está constituida por una vía
de información de sistema 200, una vía de dirección de siste
15 ma 202 y una vía de control de sistema 204. De manera idénti
ca, la vía 124 del SDC está constituida por una vía 206 de
información del SDC, una vía 208 de dirección del SDC y una
vía 210 de control del SDC. La vía 200 de información del sis
tema y la vía 206 de información del SDC son vías bidireccio
20 nales capaces de transferir un grupo de información que inclu
ye ocho bitios en paralelo. La vía 202 de dirección del sis
tema es una vía bidireccional capaz de transferir direcciones
que incluyen dieciseis bitios. La vía 208 de dirección del
SDC es una vía de dirección única que permite aplicar direc
25 ciones de cinco bitios al SDC 122 con el objeto de realizar
el direccionamiento de un SDC particular o con el objeto de
elegir un registro particular en un SDC cuyo direccionamien
to ha sido realizado anteriormente. De acuerdo con la descrip
ción que antecede, se ve claramente que es posible distribuir
30 hasta 25 registros entre los SDC 122 a los cuales presta ser

1 vicio un SDMA.

El SDMA está provisto de un circuito lógico de esta
do secuencial 212 y de un circuito lógico de control de infor
mación 214 los cuales aseguran la recepción y la transmisión
5 de las señales hacia y a partir del dispositivo de gestión de
vias 104, de la memoria 102 o de la unidad central CPU 100
por la via de control de sistema 204. El circuito lógico de
estado secuencial asegura la transmisión o la recepción de se
ñales procedentes o destinadas a los SDC 122 por medio de la
10 via de control de SDC 210 y de un conjunto de excitadores y
receptores 216 de via de control. El circuito lógico de con
trol de información 214 asegura la recepción y la transmisión
de las señales de control hacia y a partir de los SDC 122
por medio de la via de control de SDC 210 y de un grupo de
15 excitadores y receptores 218 de via de control de información.
Los circuitos lógicos 212 y 214 se describen más adelante de
manera más detallada pero se observará en este momento que
constituyen los controles generales de la circulación de la
información a través del SDMA y el control de las operaciones
20 de conexión entre el SDMA y los SDC así como entre el SDMA y
la memoria.

El SDMA está provisto de un registro de datos 220 y
todos los datos que pasan a través del SDMA deben pasar por
este registro de datos. El registro de datos es capaz de alma
25 cenar un grupo de ocho bitios y tiene una entrada multiplexo
ra para recibir un grupo de datos cada vez a partir de la via
de información del sistema 206 por una via 222, o a partir de
la via de información 206 del SDC por una via 224. Los datos
de salida procedentes del registro de datos 220 se aplican a
30 un grupo de entrada de un multiplexor (MUX) 226. La salida

1 del MUX 226 está conectada con la vía 200 de información del
sistema a través de un grupo de excitadores de vía de datos
228, y está conectada con la vía de información de SDC 206 por
medio de un grupo de excitadores de vía de información de SDC
5 230. Los datos derivados del registro de acumulación situado
en la unidad central 100, o procedente del dispositivo de al-
macenado principal 102 pueden pasar por la vía de información
200 del sistema, a través del registro de datos 220, del MUX
226, de los excitadores 230 de vía de información de SDC, y
10 de la vía 206 de información de SDC hacia los SDC 122. Por otra
parte, los datos derivados de los SDC 122 y que aparecen en la
vía 206 de información de SDC pueden atravesar el registro de
datos 220, el MUX 226, los excitadores de vía de datos 228, y
la vía 200 de información de vía de sistema, hacia la unidad
15 central 100 y la memoria 102.

La salida del MUX 226 está conectada con un contador
binario de 16 etapas indicador de direcciones 232. La finali-
dad del indicador de direcciones 232 consiste en especificar
una dirección particular en la memoria 102. Durante una opera-
20 ción de entrada, esta dirección representa la dirección donde
se almacena el siguiente grupo de datos que pasa a través del
SDMA a partir de la vía de información del SDC. Durante una
operación de salida, el indicador de direcciones 232 contiene
la dirección del siguiente emplazamiento de memoria que ha de
25 ser transmitido a la vía de información 200 del sistema a par-
tir de la cual pasa a través del SDMA a la vía de información
206 del SDC. Ya que el indicador de direcciones 232 tiene 16
etapas, y puesto que pueden transferirse solamente 8 bitsios
por la vía de datos del sistema en un momento determinado con
30 el objeto de cargar el indicador de direcciones 232, la salida

1 del MUX 226 está conectada al mismo tiempo con las 8 etapas inferiores y con las 8 etapas superiores del indicador de dirección 232. La lógica de control de datos 214 produce una señal en un conductor 234 para incrementar el contador indicador de direcciones en una unidad por cada grupo de datos transferido a través del SDMA. Las 8 etapas de orden superior del contador indicador de direcciones están conectadas a través de un grupo de excitadores de vía de direcciones 236 con los 8 conductores de orden superior de la vía de direcciones 202 del sistema.

5

10 Las 8 etapas de orden inferior del contador indicador de direcciones están conectadas a través de un grupo de excitadores/multiplexores 238 de vía de direcciones con los 8 conductores de orden inferior de la vía de direcciones 202 del sistema.

Todos los controladores de disco de acceso directo a la memoria 106 y todos los controladores compartidos de acceso directo a la memoria 108 son capaces de identificar una combinación específica de bitios en una dirección de 8 bitios que aparece en la vía de direcciones 202 del sistema de 16 bitios. La figura 10A representa el formato de un grupo de bitios de dirección que aparece en la vía 202 de direcciones del sistema. Los tres bitios de orden superior A7-A5 designan uno de los controladores de acceso directo a la memoria 106 ó 108. Ya que el grupo de bitios de dirección está provisto de tres bitios con esta finalidad, el sistema descrito puede incluir hasta ocho controladores de acceso directo a la memoria 106 y 108 conectados con la vía 110 del sistema.

15

20

25

Los cinco bitios de orden inferior del grupo de bitios de dirección se interpretan de diferentes maneras según los valores específicos de los bitios. Si el bitios A4 es un uno y si los cuatro bitios de orden inferior del grupo de bitios

30

1 de dirección son unos cero, el grupo de bitios indica la dirección de la porción superior del contador indicador de direcciones 232 situado en el controlador de acceso directo a la memoria especificado por los bitios A7-A5 del grupo de bitios. A

5 título de ilustración, la figura 10B representa la configuración del grupo de bitios de dirección para efectuar el direccionamiento de la porción superior del contador indicador de dirección dentro de la unidad de acceso directo a la memoria a la cual se ha asignado la dirección 5. Si ambos bitios A0 y

10 A4 del grupo de bitios de dirección son unos unos y si los bitios A1-A3 son unos ceros, entonces el grupo de bitios de dirección especifica que la palabra de la vía de información 200 del sistema ha de ser dirigida hacia la mitad inferior del contador indicador de direcciones 232. La figura 10C representa

15 el formato del grupo de bitios de dirección para efectuar el direccionamiento de la mitad inferior del contador indicador de direcciones correspondiente a la unidad de acceso directo a la memoria 5. Si los bitios A4 y A3 son ambos unos cero, entonces, en una instrucción de entrada, los bitios A7-A5 es

20 pecifican el controlador de acceso directo a la memoria que ha de ser utilizado, mientras que los bitios A1 y A0 especifican cual de los cuatro SDC es objeto del direccionamiento. Este formato se ilustra en la figura 10D para el caso en el cual se especifica por medio de los bitios A7-A5 la unidad de acceso

25 so directo a la memoria 5.

Haciendo de nuevo referencia a la figura 2, se ve que cada SDMA incluye un circuito de identificación de dirección 240 y que todos los grupos de dirección de 8 bitios que aparecen en los ocho conductores de orden inferior de la vía de

30 dirección 202 del sistema se aplican a este circuito de iden

1 tificación de dirección. Cada circuito de identificación de
dirección incluye un circuito que está preconexionado para
identificar la dirección de la unidad de acceso directo a la
memoria. Para las necesidades de la presente descripción, se
5 supone que se ha asignado al SDMA la dirección 5, es decir
101, y por tanto el circuito de identificación de dirección
240 que se representa en la figura 2 está conexasionado para
identificar y responder a cada uno de los grupos de bitios de
dirección representados en las figuras 10B-10E. Cada vez que
10 el circuito de identificación de dirección 240 identifica su
propia dirección, proporciona señales de salida para contro
lar el circuito lógico de estado secuencial 212 y el circuito
lógico de control de datos 214.

Como se ha indicado anteriormente, hasta 25 registros
15 pueden estar distribuidos entre los SDC 122 y el direcciona
miento de cada registro puede efectuarse por medio de un gru
po de bitios de dirección que aparece en la via de direccio
nes 202 del sistema. Los cinco conductores de orden inferior
de la via de direcciones 202 del sistema están conectados con
20 un multiplexor 242, y la salida del MUX está conectada a tra
vés de un grupo de excitadores de línea de selección de regis
tro 244 con la via de direcciones 208 del SDC de tal manera
que los bitios de dirección A4-A0 puedan ser aplicados a los
varios SDC 122.

25 El SDC 122 particular que se elige, y el registro par
ticular dentro del SDC elegido cuyo direccionamiento se efec
túa, se determinan por medio de la configuración de los bitios
de dirección A4-A0. La figura 10D representa el formato del
grupo de bitios de dirección para seleccionar o efectuar el
30 direccionamiento del registro de estado en uno de los SDC 122

1 controlado por un SDMA que tiene la dirección 101. Los bitios
A0 y A1 especifican cual de los SDC 122 contiene el registro
de estado cuyo direccionamiento ha de ser efectuado, suponiendo
5 de que el SDMA controla solamente cuatro SDC, y la presencia
de ceros en las posiciones de bitio A2-A4 especifica el hecho
de que el registro de estado ha de ser elegido.

La figura 10E representa la configuración de un grupo
de bitios de dirección para seleccionar un registro de instrucc
ción particular en un SDC. El bitio uno en la posición A3 mien
10 tras que los bitios A0, A1, A2 y A4 son todos unos cero, espe
cifica que es preciso elegir y actuar en un registro de ins
trucciones situado en el SDC que habia sido elegido anterior
mente por una dirección teniendo el formato ilustrado en la
figura 10D.

15 Cada SDMA está provisto de un dispositivo discrimina
dor de interrupción 246 para detectar y facilitar la priori
dad a los requisitos de interrupción recibidos a partir de
los SDC 122 a los cuales presta servicio el SDMA. Cada SDC
tiene un conductor individual que se extiende a partir de él
20 por la via de control de SDC 210 hasta una entrada del discrimi
nador de interrupción. Se aplica una señal a este conductor
cuando el SDC requiere una interrupción. El discriminador de
interrupción 246 determina cual de los cuatro SDC ha pedido
una interrupción y genera una dirección de dos bitios que iden
25 tifica el SDC. Esta dirección se aplica a una memoria de di
recciones 248 donde se almacena, y también se devuelve al SDC
para pedir al SDC suministrar una indicación de su estado.
Este estado se introduce en el registro de datos 220. La sali
da de la memoria de direcciones 248 se aplica a un grupo de
30 entradas de excitadores/multiplexores 238 de via de direcciones

1 conjuntamente con la dirección del SDMA. Como se explica a con-
tinuación de manera más detallada, el discriminador de interrup-
ción aplica también una señal a la lógica de estado secuencial
y ésto hace que el SDMA mande una petición de interrupción por
5 la vía de control 204 del sistema al dispositivo de gestión de
vías 104 cuando el estado del SDC ha sido introducido en el re-
gistro de datos 220. Cuando el requisito de interrupción del
SDMA ha sido concedido, la dirección del SDMA y la salida de
la memoria de direcciones 248 se transmiten a través del exci-
10 tador/multiplexor 238 de vía de direcciones a la vía de direc-
ciones 202 del sistema. Al mismo tiempo, el estado de SDC es
conducido a partir del registro de datos 220 a la vía de di-
recciones del sistema. La dirección y el estado se almacenan
en dos registros y el dispositivo de gestión de vías 104 gene-
15 ra un vector de reanudación del tipo descrito en la solicitud
de patente a nombre de Derchak y Monaco, núm. de serie
presentada simultáneamente con la presente y totalmente in-
corporada aquí a título de referencia.

DESCRIPCION DETALLADA DE LOS CIRCUITOS LOGICOS

20 Las figuras 3A y 3B, cuando están dispuestas de la ma-
nera ilustrada en la figura 3C, representan los circuitos ló-
gicos empleados en los circuitos principales de circulación
de datos a través del SDMA 108. La vía de datos 200 del siste-
ma y la vía de datos 206 del SDC se extienden a través de la
25 parte superior de las figuras, mientras que la vía de direc-
ciones 202 del sistema se extiende a través de la parte infe-
rior de las figuras. Los bitios de información $\overline{D0-D7}$ que apa-
recen en la vía de datos 200 del sistema se aplican a las en-
tradas B del registro de datos que incluye dos grupos de memo-
30 rias 300 y 301 que tienen entradas multiplexadas. Los bitios

1 de información $\overline{S0-S7}$ que aparecen en la vía de datos 206 del
SDC se aplican a las entradas A de los MUX 300 y 301. La se
ñal DRIVE SDC BUS se aplica a la entrada de selección de am
bos MUX. Cuando la señal DRIVE SDC BUS tiene un nivel lógico
5 bajo, las entradas A de los MUX se eligen de tal manera que
los datos presentes en la vía de datos 206 del sistema puedan
ser introducidos en las memorias del registro y aparezcan a
las salidas 0-3 de los MUX. Si la señal DRIVE SDC BUS tiene
un nivel lógico alto, entonces las entradas B de los multiple
10 xores se eligen de tal manera que los datos presentes en la
vía de datos 200 del sistema puedan ser almacenados en las me
morias y aparezcan a las salidas de los MUX. Los datos de en
trada que se aplican a los MUX pueden ser conducidos a las me
morias solamente cuando se produce una señal de nivel bajo
15 aplicada a una entrada de ritmo. La señal $\overline{LD DATA REC}$ se apli
ca a las entradas de ritmo de ambos MUX. Las salidas de los
MUX 300 y 301 se aplican a las entradas A de los dos QUAD MUX
302 y 303. La entrada B3 del QUAD MUX 303, recibe la señal
 \overline{BUSY} . Las restantes entradas B del QUAD MUX 303, así como to
20 das las entradas B del QUAD MUX 302 están conectadas a través
de una resistencia 304 a +V. La finalidad de las entradas B
que se aplican a los QUAD MUX 302 y 303 consiste en generar el
valor hexadecimal de estado 80 si el SDMA está ocupado en el
momento en que se efectúa su direccionamiento por el CPU.

25 Las señales DISABLE BREQ y READ se aplican a las dos
entradas de una puerta AND 306. La salida de la puerta AND 306
atraviesa un inversor 308 para constituir la señal ENABLE STEP.
La salida de la puerta AND 306 se aplica a una entrada de una
puerta NAND 310 que recibe en sus otras entradas las señales
30 STEP ON y SDMA PROBE. La salida de la puerta NAND 310 está co

1 nectada con las entradas de selección de los QUAD MUX 302 y
303. Si la salida de la puerta NAND 310 presenta un nivel bajo,
entonces las señales que aparecen a la salida de los MUX 300
y 301 son conducidas hacia las salidas de los QUAD MUX 302 y
5 303. Por otra parte, si la salida de la puerta NAND 310 pre
senta un nivel alto, entonces el valor de estado 80 se condu
ce a las salidas de los QUAD MUX 302 y 303 si la señal BUSY
presenta un nivel bajo.

Las salidas de los QUAD MUX 302 y 303 están conectadas
10 con las entradas de ocho puertas NAND 311. Las puertas NAND
311 corresponden a los excitadores 230 de via de datos de SDC
y tienen sus salidas conectadas con la via de datos 206 de
SDC. La salida de cada NAND está conectada a través de una re
sistencia 312 con +V. Las puertas NAND 311 se capacitan ade
15 más por medio de la señal DRIVE SDC BUS, y cuando esta señal
presenta un nivel alto, la salida de los QUAD MUX 302 y 303
es conducida a través de las puertas NAND 311 a la via de da
tos de SDC.

Las salidas de los QUAD MUX 302 y 303 se aplican tam
20 bién a ocho excitadores de 3 estados 314. Los excitadores 314
corresponden a los excitadores de via de datos 228 y tienen
sus salidas conectadas a la via de datos 200 del sistema. Los
excitadores 314 se capacitan por medio de la señal ENABLE DATA
DRV. Cuando esta señal presenta su nivel bajo, la salida pro
25 cedente de los QUAD MUX 302 y 303 es orientada a través de
los excitadores 314 hacia la via de datos 200 del sistema.

Una puerta AND 316 recibe las señales SDMA PROBE, I/O
WRITE, y SST 2. Cuando todas estas señales presentan un nivel
alto, la puerta AND 316 produce una señal de salida de nivel
30 bajo para capacitar un decodificador 318. El decodificador

1 tiene una primera entrada D0 que recibe la señal RADR-0 y una
segunda entrada D1 que recibe la señal $\overline{DC\ BUSY\ A}$. La señal
que aparece en la entrada D0 se trata como teniendo el valor
binario 1 mientras que la señal que aparece en la entrada D1
5 se trata como teniendo el valor binario 2. Si el decodifica
dor 318 está recibiendo una señal de capacitación de nivel ba
jo a partir de la puerta NAND 316 y si la señal $\overline{DC\ BUSY\ A}$ tie
ne un nivel alto, entonces una señal de nivel bajo aparecerá
en la salida 3 ó 2 del decodificador, según si la señal de en
10 trada RADR-0 tiene un nivel alto o un nivel bajo. El decodifi
cador se capacita solamente durante el intervalo de decodifi
cación por el SDMA de una dirección que tiene uno de los forma
tos representados en las figuras 10B y 10C. La señal RADR-0
se obtiene a partir del bitio de dirección de orden más bajo
15 y, según se ha explicado anteriormente, determina si se carga
rá la mitad inferior o la mitad superior del contador indica
dor de dirección 232. El contador indicador de dirección se
representa en la figura 3A como incluyendo cuatro contadores
binarios de cuatro etapas 320-323.

20 Cada uno de los contadores 320-323 tiene cuatro entra
das de información D0-D3 por medio de las cuales puede intro
ducirse un valor inicial en los contadores. Las salidas del
QUAD MUX 302 están conectadas con las entradas de información
de los contadores 320 y 322, mientras que las salidas del
25 QUAD MUX 303 están conectadas con las entradas de información
de los contadores 321 y 323. Los contadores 320-323 pueden
aceptar los datos aplicados a sus entradas de información so
lamente cuando estos contadores están recibiendo una señal de
nivel bajo en una entrada de carga designada. Las entradas de
30 carga de los contadores 320 y 321 están conectadas por el con

1 ductor 324 a la salida 3 del decodificador 318. Las entradas
de carga de los contadores 322 y 323 están conectadas con el
terminal de salida 2 del decodificador 318. Por consiguiente,
si se ha capacitado el decodificador 318, si la señal DC BUSY
5 \bar{A} tiene un nivel alto, y si la señal RADR-0 tiene un nivel al
to, la señal de salida de bajo nivel presente en el conductor
324 capacita los contadores 320 y 321 de modo que se cargan
con el valor que aparece a la salida de los QUAD MUX 302 y 303.
Por otra parte, si la señal RADR-0 está con nivel bajo, enton
10 ces una señal de nivel bajo presente en el conductor 326 capa
cita los contadores 322 y 323 de modo que se cargan con la in
formación procedente de las salidas de los QUAD MUX 302 y 303.

 Cuando los contadores 320-323 han sido cargados, el
valor contenido en ellos puede ser aumentado aplicando una se
15 ñal de nivel alto a los terminales de entrada designados por
UP. El terminal UP del contador 320 recibe la señal END MEM OP
 $\bar{F}\bar{F}$. El contador 320 tiene un terminal de salida de acarreo
que está conectado por el conductor 328 al terminal UP del con
tador 321. De la misma manera, las salidas de acarreo proce
20 dentes de los contadores 321 y 322 se aplican a las entradas
UP de los siguientes contadores de orden superior.

 Los contadores 320-323 son contadores sumadores-resta
dores. Sin embargo, los terminales de entrada de resta están
conectados a través de una resistencia 330 a +V, de tal mane
25 ra que los contadores no puedan contar nunca en la dirección
de resta. La señal SDMA RESET se aplica a un terminal de en
trada de vaciado de cada uno de los contadores 320-323 y cuan
do esta señal presente un nivel alto, vacía los contadores.

 Las salidas procedentes de las cuatro etapas del con
30 tador 320 se aplican a las entradas B de un MUX 332 de 3 es

1 tados, Las entradas B de un MUX 334 de 3 estados están conecta
das para recibir las señales procedentes de la posición más ba
ja y de la posición más alta del contador 321 y procedentes de
las dos posiciones más bajas del contador 322. Las dos posicio
5 nes centrales del contador 321 están conectadas por unos con
ductores 336 y 338 a dos excitadores de 3 estados situados en
un "chip" 340 de excitadores de 3 estados. Las dos posiciones
más altas del contador 322 están conectadas con dos excitado
res situados en un "chip" 342 de excitadores de 3 estados,
10 mientras que las cuatro salidas procedentes del contador 323
están conectadas con cuatro excitadores situados en un "chip"
344 de excitadores de 3 estados. La señal INT SEQ EN FF se
aplica a las entradas de selección de los MUX de 3 estados 332
y 334. La señal BUS GRANT se aplica a las entradas de selección
15 de los MUX de 3 estados 332 y 334, así como a las entradas de
capacitación de los excitadores de 3 estados 342 y 344 y a un
decodificador 346. El decodificador 346 funciona de la misma
manera que el decodificador 318. La entrada D0 del decodifica
dor 346 se mantiene al nivel lógico cero y la entrada D1 reci
20 be la señal INT REQ. La salida cero del decodificador 346 es
la señal ENABLE DATA ADR y está conectada por el conductor
348 a la entrada de capacitación de los excitadores de 3 esta
dos 340. El terminal 2 de salida del decodificador está conec
tado a la entrada de capacitación del "chip" 350 de excitado
25 res de 3 estados.

El contenido de los contadores 320-323 puede ser con
ducido a la vía de dirección 202 del sistema con el objeto
de efectuar el direccionamiento de la memoria principal. Si
la señal INT SEQ EN FF tiene un nivel alto cuando la señal
30 BUS GRANT toma un nivel bajo, las señales aplicadas a las en

1 tradas B de los MUX 332 y 334 son conducidas a la via de direc
ciones 202 del sistema para constituir los bitios de direcci3n
 $\overline{A0-A4}$ y $\overline{A7-A9}$. Al mismo tiempo, la se3al $\overline{BUS GRANT}$ capacita
los excitadores de 3 estados 342 y 344 de tal manera que el
5 contenido de los contadores 322 y 323 sea conducido a la via
de direcciones del sistema bajo la forma de los bitios $\overline{A10 -}$
 $\overline{A15}$. La se3al $\overline{BUS GRANT}$ capacita el decodificador 346 y ya que
la se3al INT REQ tiene un nivel bajo, una se3al de nivel bajo
aparece en el conductor 348 para capacitar los excitadores de
10 3 estados 340. Esto da lugar a que las se3ales presentes en
los conductores 336 y 338 sean conducidas a la via de direc
ciones del sistema bajo la forma de los bitios de direcci3n
 $\overline{A5}$ y $\overline{A6}$.

15 Cuando un SDC 122 hace una petici3n de interrupci3n,
es necesario aplicar a la via de direcciones 202 del sistema
una identificaci3n del SDC particular que est3 efectuando es
ta petici3n, as3 como una identificaci3n del SDMA que presta
servicio a este SDC. La direcci3n es, esencialmente, una direc
20 cion de 8 bitios que se aplica a los conductores de orden m3s
bajo A7-A0 de la via de direcciones 202 del sistema y que tie
ne el formato representado en la figura 10D.

25 Los bitios A5-A7 de la direcci3n identifican el SDMA
particular y est3n determinados por el emplazamiento f3sico
de la tarjeta de SDMA. Ya que se supone que el SDMA ilustrado
en las figuras 3A y 3B lleva el n3mero de identificaci3n 5,
los bitios A7-A5 tendr3n el valor 101. En la figura 3A, la en
trada A1 del MUX de 3 estados 334 est3 mantenida a trav3s de
una resistencia al potencial +V. En la figura 3C, los excita
dores de 3 estados que sirven para la excitaci3n de las l3neas
30 de direcci3n A5 y A6 est3n mantenidas al potencial +V y al po

1 tencial de masa, respectivamente.

5 Cuando un SDC 122 indica al SDMA que está efectuando una demanda de interrupción, los circuitos SDMA decodifican la demanda de la manera descrita más adelante con el objeto de generar dos bitios binarios de identificación del número del SDC. Estos bitios de identificación, IDN-0 e IDN-1, se mandan de nuevo al SDC para pedir que este estado se introduzca en el registro de datos del SDMA. Los bitios IDN-0 e IDN-1 se aplican a las entradas A0 y A1, respectivamente, del MUX 10 332 de 3 estados. Las entradas A2 y A3 del MUX 332 de 3 estados y las entradas A0, A2 y A3 del MUX 334 de 3 estados están todas mantenidas al potencial de masa. Cuando el SDMA identifica una interrupción, la señal INT SEQ EN FF disminuye hasta el nivel bajo para seleccionar las entradas A de los MUX 15 de 3 estados 332 y 334. Igualmente, en la figura 3B la señal INT REQ sube al nivel alto cuando la interrupción ha sido identificada y, por tanto, prepara el decodificador 346 para producir una señal de salida de nivel bajo en el conductor 351, en el caso de que sea preciso capacitar el decodificador.

20 Cuando la señal BUS GRANT disminuye hasta el nivel bajo, las entradas A de los MUX de 3 estados 332 y 334 son conducidas a través de la vía de direcciones 202 del sistema. La señal BUS GRANT capacita también el decodificador 346 y una señal de salida de nivel bajo presente en el conductor 351 capacita los 25 excitadores de 3 estados 350 para aplicar el valor binario 01 a los conductores de vía de dirección A6S y A5S. Las señales aplicadas en las ocho posiciones inferiores de la vía de direcciones del sistema representan, por tanto, el valor 101000XX, en el cual los X se determinan por medio de los bitios IDN 0 e IDN 1. Al mismo tiempo, y según se describirá detalladamen 30

1 te en lo que sigue, el estado del SDC es conducido a la vía
de datos del sistema a través de los excitadores 314.

La figura 3B representa los circuitos que sirven para
generar ciertas señales de control de memoria cuando una direc-
5 ción contenida en los contadores 320-323 se aplica a la vía
de direcciones 202 del sistema. En el momento en que la señal
BUS GRANT toma un nivel bajo para seleccionar la dirección en
la vía de direcciones, esta señal capacita el decodificador
346 y la señal ENABLE DATA ADR toma un nivel bajo. Dos exci-
10 tadores situados en el "chip" 340 de excitadores de 3 estados
reciben las señales BUS REQ WRITE y MEM OP, respectivamente,
y al mismo tiempo que se selecciona la dirección en la vía de
direcciones, estos excitadores se seleccionan para producir
las señales de control de memoria MEM START y WRITE. Estas úl-
15 timas señales se aplican a los controles de memoria por la vía
de control de sistema 204 de modo que la memoria efectúe una
operación de lectura o de escritura.

La figura 4 representa los circuitos de identifica-
ción de dirección y el trayecto seguido por una dirección
20 cuando atraviesa el SDMA desde la vía de direcciones 202 del
sistema hasta la vía de direcciones 208 del SDC. Los bitios
de dirección A1-A4 atraviesan un grupo de inversores 400-404
cuyas salidas están conectadas con las entradas A de un multi-
plexor 406. La entrada de disparo del MUX 406 está conectada
25 a masa y la entrada de selección recibe la señal INT SEQ EN
FF. Si la señal INT SEQ EN FF tiene un nivel bajo, los bitios
de dirección A1-A4 atraviesan los inversores 400-404 y el MUX
406 hasta la vía de direcciones 208 del SDC. Una puerta AND
405 recibe la salida del inversor 400 y la señal INT SEQ EN
30 FF y, por tanto, cuando A1-A4 pasan a través de MUX 406, A0

1 atraviesa la puerta AND 405 y la puerta NOR 407 llegando a la
vía de direcciones de SDC.

Una puerta NAND 408 ha sido prevista para identifi
car la dirección del SDMA cuando esta dirección aparece en la
5 vía de dirección 202 del sistema. Ya que eso supone que el pre
sente SDMA ha recibido la dirección 5, los bitios de dirección
 $\overline{A7}$ y $\overline{A5S}$ se aplican directamente a la puerta NAND 408 mientras
que el bitio de dirección $\overline{A6S}$ atraviesa un inversor 410 antes
de ser aplicado a la puerta NAND 408. Cuando los bitios $\overline{A7}$ -
10 $\overline{A5S}$ de la vía de dirección del sistema tienen el valor 101,
la puerta NAND 408 produce una señal de salida de nivel alto
que capacita una entrada de las puertas NAND 412, 414 y 416.
En la práctica real, los circuitos de identificación de direc
ción de todos los SDMA pueden ser idénticos, lo mismo que la
15 posición del SDMA en la tarjeta, así como el conexionado si
tuado en la parte posterior de la misma que se utiliza para
determinar exactamente la dirección que será identificada por
el SDMA.

La CPU aplica una señal $\overline{CPU SYNC}$ a la vía de control
20 del sistema aproximadamente en el momento en que se aplica una
dirección a la vía de direcciones del sistema. La señal \overline{CPU}
 \overline{SYNC} atraviesa un inversor 418 y se aplica a una segunda en
trada de la puerta NAND 412. La señal I/O RD o WR tiene un ni
vel alto cada vez que una instrucción de entrada o de salida
25 está presente en la vía de control del sistema. La señal I/O
RD o WR se aplica a otra entrada de la puerta NAND 412 y se
aplica también a una entrada de la puerta NAND 414, a una
puerta NAND 420 y a la entrada de reposición de un flip-flop
tipo D 422. La puerta NAND 412 recibe también el impulso de
30 reloj $\phi 1A$. Por consiguiente, si una instrucción de entrada o

1 de salida está presente en la vía de control del sistema y si
la dirección presente en la vía de direcciones del sistema es
la del SDMA, la puerta NAND 412 produce una señal de salida
de nivel bajo que se aplica a la entrada de activación de un
5 GO FF 424. Esto activa el flip-flop de modo que la señal GO FF
presente en el conductor de salida 426 se eleva a un nivel al
to. La señal presente en el conductor 426 atraviesa un inver
sor 428 y pasa a ser la señal NOT READY. La señal NOT READY
se devuelve a la CPU por la vía de control 204 del sistema con
10 el objeto de interrumpir la ejecución de la instrucción e ini
ciar un estado de espera mientras el SDMA realiza su tarea.

La salida de nivel bajo de la puerta NAND 412 es
transmitida a través de un inversor 436 y se aplica a la en
trada de reloj del flip-flop 422. Una puerta NOR 438 recibe
15 las señales NAVAIL e INT SEQ EN FF y tiene su salida conecta
da a la entrada D del flip-flop 422. Si el SDMA está disponi
ble para realizar la instrucción, la salida de la puerta NOR
438 presentará un nivel bajo y la señal del inversor 436 ase
gurará la reposición del flip-flop 422. Esto hace que la se
20 ñal BUSY tome el nivel alto e impide la generación de una in
dicación de estado de ocupación para el SDMA. En el caso de
que el SDMA esté ocupado, la entrada D del flip-flop 422 pre
sentará un nivel alto, y la salida de nivel alto procedente
del inversor 436 activará el flip-flop, haciendo así que la
25 señal BUSY tome el nivel bajo para generar el estado de ocu
pación. Al mismo tiempo, la salida de activación del flip-
flop 422 se aplica por el conductor 440 a una puerta NAND 442.

La salida de nivel alto del inversor 436 es transmi
tida a través de una puerta NOR 444 a la entrada de reposi
30 ción de un flip-flop 446. La salida de reposición de este

1 flip-flop está conectada con una entrada de una puerta NOR 448
de tal manera que el flip-flop pueda producir una señal de sa
lida a través de la puerta NOR solamente cuando se ha produci
do la reposición del flip-flop. La salida de la puerta NOR 448
5 es la señal STEP ON. Esta señal se transmite a través de un in
versor 450 y pasa a ser la señal STEP ON.

Se ha previsto una puerta NAND 452 para identificar
el hecho de que una dirección presente en la vía de direccio
nes 202 del sistema indica que el contador indicador de direc
10 ciones 232 debe ser cargado. La puerta NAND 452 está conecta
da con las salidas de los inversores 401-403 y por el inver
sor 411 con la salida del inversor 404. La puerta NAND 452
produce una señal de salida de nivel alto cuando los bitios
A1-A3 de la dirección son todos unos cero y cuando el bitio
15 A4 es un uno. De este modo, identifica cualquiera de los for
matos de dirección ilustrados en las figuras 10B y 10C. La
salida de la puerta NAND 452 se aplica a la puerta NAND 414
la cual recibe además las señales SDMA ADR y I/O RD o WR. De
este modo la puerta NAND 414 produce una señal de salida de
20 nivel bajo en una instrucción de entrada o de salida si la
dirección presente en la vía de direcciones 202 del sistema
especifica este SDMA particular y además especifica la direc
ción del contador indicador de direcciones. La señal de sali
da de nivel bajo procedente de la puerta NAND 414 es transmi
25 tida a través de un inversor 454 y pasa a ser la señal SDMA
PROBE. La señal de disparo se aplica a la figura 3A donde ca
pacita el decodificador 318 que controla la carga del conta
dor indicador de direcciones, y además controla los MUX 302
y 303 para orientar los datos presentes en la vía de datos

1 200 del sistema a través de los MUX hacia el contador indica
dor de direcciones.

La salida de nivel bajo de la puerta NAND 414 se apli
ca a la puerta NOR 448 para generar la señal STEP ON. Además,
5 la salida de la puerta NAND 414 está conectada con una entrada
de la puerta NAND 420. La puerta NAND 420 se energiza además
por medio de la salida de la puerta NAND 416 durante una ope
ración de lectura cuando los bitios de dirección A3 y A4 son
ambos unos cero. La puerta NAND 416 está conectada a un inver
10 sor 417 para generar la señal SELECTION cuando la CPU ejecuta
una instrucción de entrada para seleccionar un SDC e introdu
cir en el acumulador el estado del SDC elegido. Las salidas
de los inversores 403 y 404 están conectadas con las entradas
de una puerta NAND 458 y la salida de la puerta NAND 458 se
15 aplica a la puerta NAND 416. La puerta NAND 416 recibe además
la señal I/O READ, y es capacitada por la salida de la puerta
NAND 408 cuando se identifica la dirección del SDMA.

Además de su acondicionamiento por las salidas de las
puertas NAND 414 y 416, la puerta NAND 420 recibe las señales
20 \overline{D} SACK y I/O RD o WR. La salida de la puerta NAND 420 se apli
ca a otra entrada de la puerta NAND 448 con el objeto de gene
rar la señal STEP ON.

La señal $\overline{ENABLE\ SALT\ X}$ se aplica directamente a la
entrada \overline{K} del flip-flop 446 y es transmitida a través de un
25 inversor 460 a la entrada J del flip-flop. Cuando la señal
 $\overline{ENABLE\ SALT\ X}$ presenta un nivel bajo, el flip-flop 446 se ac
tiva al tomar un nivel alto la señal de reloj 01A. Cuando la
señal $\overline{ENABLE\ SALT\ X}$ presente un nivel alto, la señal de reloj
no tiene ningún efecto sobre el flip-flop.

30 Cuando el SDC 122 requiere una interrupción, ésta se

1 aplica al SDMA y, si el SDMA no está ocupado de otra manera,
se otorga la solicitud de interrupción. El SDMA genera la di
rección del SDC 122 identificado y la aplica de nuevo a la via
de direcciones del SDC para seleccionar el SDC. En la figura
5 4, las señales IDN 0 e IDN 1 representan los dos bitios de la
dirección de SDC generada. La señal IDN 0 se aplica a una en
trada de una puerta AND 462 mientras que la señal IDN 1 se apli
ca a la entrada B0 del QUAD MUX 406. La señal INT SEQ EN FF
tiene su nivel alto cuando el SDMA ha identificado un requisi
10 to de interrupción. La señal INT SEQ EN FF se aplica a la en
trada B1 y a la entrada de control de selección del QUAD MUX
406, así como a la segunda entrada de la puerta AND 462. La
salida de la puerta NAND 462 transmitida a través de la puer
ta NOR 464 pasa a ser el bitio de dirección de posición infe
15 rior. Las entradas B3 y B2, así como la entrada de disparo del
QUAD MUX 406 están todas conectadas al potencial de masa. Por
tanto, tan pronto como la señal INT SEQ EN FF sube al nivel
alto, selecciona las entradas B del QUAD MUX 406 para su apli
cación a la via de dirección 208 del SDC. Por tanto, se apli
20 ca a la via de direcciones una dirección que tiene el formato
001XX en el cual los X pueden ser unos cero o unos uno y re
presentan la dirección del SDC cuyo funcionamiento se interrump
pe. El bitio 1 contenido en RSL 3 señala al SDC que debe infor
mar de su estado de interrupción en lugar de informar de su
25 estado de selección. El SDC cuyo funcionamiento está interrump
pido identifica esta dirección y responde a ella aplicando su
estado de interrupción a la via de información del SDC.

La figura 5 representa los detalles de la parte prin
cipal de los circuitos lógicos de estado secuencial 212. La
30 señal DATA BUS IN se deriva de la via de control 204 del sis

1 tema y se transmite a través de un inversor 500 para que pase
a ser la señal READ PULSE. La señal DATA BUS IN es generada
por la CPU 100 y toma el nivel bajo en Ø3A cuando se genera
una instrucción de entrada para indicar a los aparatos conec
5 tados con la via del sistema que la CPU está preparada para
aceptar datos en su acumulador y registrar cualquier informa
ción situada en la via de datos del sistema. La señal READ
PULSE se transmite a través de una puerta NOR 504 y se aplica
a las entradas D7 y D3 de un multiplexor 506. La señal WRITE
10 PULSE se deriva también de la via de control de sistema y se
transmite a través de un inversor 508 y de la puerta NOR 504
a las entradas D7 y D3 del MUX 506. La señal WRITE PULSE es
generada por la CPU durante las instrucciones de salida para
indicar a los aparatos conectados con la via del sistema que
15 una información está presente en ella y está preparada para
el muestreo. El MUX 506 recibe la señal ENABLE STEP en su en
trada D6, la señal D FACK en su entrada D2, la señal D SACK
en su entrada D1, y la señal GO FF al mismo tiempo en sus en
tradas D0 y D4. La señal STEP ON se aplica a la entrada D5,
20 así como a la entrada de selección A2 del MUX 506. Las entra
das A0 y A1 del MUX 506 están conectadas con las salidas de
las primera y segunda etapas de un contador binario de 4 módu
los 510. La entrada de disparo del MUX 506 está conectada con
el potencial de masa y la salida del MUX está conectada por
25 el conductor 512 con los terminales CEP y CET del contador
510.

El MUX 506 responde a las combinaciones de señales
en sus entradas de selección A0-A2, conectando una de sus en
tradas de información D0-D7 con el conductor de salida 512.
30 Por ejemplo, si las señales aplicadas a las entradas A0-A2

1 tienen todas el nivel bajo, entonces la entrada D0 del MUX se
conecta con su conductor de salida. Si las entradas A2 y A1
tienen ambas un nivel bajo y si la entrada A0 tiene un nivel
alto, entonces la entrada D4 del MUX se conecta con su conduc
5 tor de salida.

El contador binario 510 tiene cuatro entradas de da
tos que no se utilizan, y por tanto, su terminal de carga es
tá conectado a través de una resistencia con el potencial +V.
El contador progresa por medio de una señal de reloj positiva
10 $\emptyset 2A$ si la señal presente en el conductor 512 tiene un nivel al
to en el momento en que se produce el impulso de reloj. El con
tador incluye cuatro etapas binarias de las cuales se utilizan
solamente dos en la presente aplicación. Es posible hacer vol
ver a cero el contador aplicando a su terminal de entrada de
15 vaciado una señal de nivel bajo SDMA RESET.

Las etapas cero y unc del contador binario 510 están
conectadas con las entradas D0 y D1, respectivamente, de un de
codificador 514. El decodificador 514 está capacitado de mane
ra permanente mediante la conexión de su entrada de capacita
20.. ción con el potencial de masa, y por tanto, el decodificador
produce continuamente en una de sus salidas una señal que indi
ca el valor almacenado en el contador binario 510, si este va
lor está incluido entre uno y tres. El contador 510 contiene
normalmente una cuenta cero y por tanto el decodificador 514
25 produce normalmente una señal de nivel bajo en su salida cero
que no se utiliza. Los terminales de salida tres, dos y uno del
decodificador están conectados a través de los inversores 516,
518 y 520, respectivamente, para producir las señales SST3,
SST2 y SST1.

30 La porción inferior de la figura 5, representa los

1 circuitos principales para iniciar y controlar una secuencia
de interrupción. Estos circuitos incluyen dos MUX 522 y 524,
un codificador de prioridad 526, dos flip-flop tipo JK 528 y
530, tres flip-flop tipo D 532, 534 y 536, así como un decodi
5 ficador 538. El decodificador 538 produce las señales $\overline{IST\ 0}$,
 $\overline{IST\ 1}$ e $\overline{IST\ 2}$ que indican el estado del SDMA durante una se
cuencia de interrupción. La señal $\overline{IST\ 2}$ se transmite a través
de un inversor 540 para facilitar la señal IST 2.

10 El flip-flop 532 es el flip-flop de capacitación de
secuencia de interrupción. Está previsto para responder a un
requisito de interrupción procedente de un SDC, siempre y cuan
do el SDMA no esté ocupado de otra manera. Estas condiciones
se determinan por medio de una puerta NAND 542. Las señales
 $\overline{D\ SACK}$ y $\overline{DR\ LD\ FF}$ se aplican a una puerta NOR 544, y la sali
15 da de la puerta NOR se aplica a una entrada de la puerta NAND
542. La salida de la puerta NOR 544 es la señal \overline{NAVAIL} . La se
ñal $\overline{GO\ FF}$ se aplica a una segunda entrada de la puerta NAND
542, y una tercera entrada recibe la señal de reloj $\emptyset 3A$. La
salida GS del codificador de prioridad 526 se transmite a tra
20 vés de un inversor 546 y se aplica a la cuarta entrada de la
puerta NAND 542.

El codificador de prioridad 526 tiene ocho entradas
D0-D7 estando las entradas D4-D7 inutilizadas y conectadas al
potencial +V. Cada una de las entradas de información D0-D3
25 está conectada a una línea que se extiende a través de la vía
de control de SDC hasta uno de los SDC. Las señales $\overline{INT\ REQ\ 0}$,
 $\overline{INT\ REQ\ 1}$, $\overline{INT\ REQ\ 2}$ e $\overline{INT\ REQ\ 3}$ se obtienen a partir de los
SDC 122 a los cuales se han asignado los números de aparato
0, 1, 2 y 3 respectivamente. El codificador de prioridad 526
30 es capacitado por la señal $\overline{IST\ 0}$ presente en el conductor 552.

1 Esta señal se obtiene a partir del decodificador 538 y tiene
un nivel bajo para capacitar el codificador de prioridad cada
vez que el SDMA está en condiciones de aceptar una solicitud
de interrupción. El codificador de prioridad 526 acepta una se
5 ñal en una de sus entradas D0-D3 y, según el terminal de entra
da sobre el cual actúa, produce en su salida un valor binario
de dos bits que corresponde al número asignado al SDC que ha
hecho la solicitud de interrupción. La salida "uno" del codifi
cador está conectada con la entrada D del flip-flop 534 mien
10 tras que la salida "cero" del codificador está conectada con
la entrada D del flip-flop 536.

El codificador de prioridad tiene una salida GS que
se activa cada vez que el codificador recibe una señal de soli
citud de interrupción, siempre y cuando la entrada E1 del codi
15 ficador tenga un nivel bajo. La salida procedente del codifi
cador atraviesa el inversor 546 y prepara la puerta NAND 542.
Si el SDMA está por lo demás en condiciones de ejecutar una in
terrupción, la puerta NAND 542 produce una señal de salida de
nivel bajo para activar el flip-flop 532. La salida de activa
20 ción del flip-flop 532 está conectada con las entradas de sin
cronización de los flip-flops 534 y 536. Cuando se activa el
flip-flop 532, la señal presente en el conductor 554 activa
los flip-flops 534 y 536 de acuerdo con las dos salidas de in
formación procedentes del codificador principal 526. De este
25 modo, puede verse que los flip-flop 534 y 536 corresponden al
dispositivo de retención de direcciones 248. La salida del
flip-flop 534 es la señal IDN 1 presente en el conductor 556,
y la salida del flip-flop 536 es la señal IDN 0 presente en
el conductor 558.

30 Los MUX 522 y 524 son similares porque tienen cada

1 uno una entrada de disparo conectada para recibir la señal de
reloj $\overline{\emptyset 2AS}$, cuatro entradas de información D0-D3 que pueden
ser activadas selectivamente a través de la salida del multi
plexor, y dos entradas de direccionamiento A0 y A1 para deter
5 minar cuál de las entradas de información debe ser conmutada
hacia la salida. Las entradas de información D0, D1 y D3 del
MUX 522 están conectadas al potencial lógico 0 mientras que la
entrada D2 recibe la señal BUS GRANTED. El MUX 524 recibe la
señal $\overline{BUS GRANTED}$ en su entrada D3, la señal BUS GRANTED en
10 su entrada D2, la señal D SACK en su entrada D1, y la señal
INT SEQ EN FF en su entrada D0. Esta última señal se obtiene
a partir del flip-flop 554 de capacitación de secuencia de in
terrupción y toma el valor alto cuando se identifica una in
terrupción. La salida del MUX 524 está conectada con las entra
15 das de sincronización de los flip-flop 528 y 530 que actúan co
mo contador de dos etapas. La entrada J del flip-flop 528 está
conectada a +V, mientras que la entrada \overline{K} está conectada a masa.
Las salidas de activación y reposición de FF 528 están conecta
das a las entradas J y \overline{K} de FF 530. La salida de activación de
20 FF 530 está conectada a la entrada D1 del decodificador 538 y
a las entradas A1 de los MUX 522 y 524. La salida de activación
del FF 528 está conectada a la entrada D0 del decodificador
538 y a la entrada A0 de los MUX 522 y 524.

25 Cuando el flip-flop 532 de capacitación de interrup
ción está activado, en el tiempo $\emptyset 2$ siguiente la señal proce
dente del flip-flop es conducida a través del MUX 524 para ac
tivar el FF 528. La salida del FF 528 capacita las entradas
A0 de los MUX 522 y 524 y, por tanto, éstos pueden ahora res
ponder a una señal de nivel alto aplicada a sus entradas D1.
30 Además, la salida de FF 528 capacita la entrada D0 del decodi

1 ficador 538, y el decodificador produce la señal de salida de
nivel bajo $\overline{IST\ 1}$. Al mismo tiempo, la señal $\overline{IST\ 0}$ toma el va
lor alto y desactiva el codificador de prioridad 526 de
tal manera que éste no puede aceptar otro requisito de in
5 terrupción.

 Durante la señal $\overline{IST\ 1}$ los circuitos de la figura 4
aplican de nuevo al SDC la dirección del SDC 122, cuyo funcio
namiento ha sido interrumpido. Como se explicará más adelante,
la señal \overline{SALT} generada en la figura 8 actúa con esa dirección
10 para seleccionar el SDC a cuya interrupción se da prioridad.
El SDC responde con una señal \overline{SACK} tal y como se describirá
más adelante, produciendo a su vez esta señal el que la señal
DSACK suba al nivel alto. Cuando se produce la siguiente se
ñal $\emptyset 2AS$, la señal DSACK atraviesa el MUX 524 para poner a
15 cero el FF 528 y activar el FF 530. En este momento, el con
ductor 570 toma el nivel bajo y el conductor 572 toma el ni
vel alto, lo que capacita las entradas A1 de los MUX 522 y
524 y la entrada D1 del decodificador 538. Ya que la entrada
D1 tiene un nivel alto y la entrada D0 tiene un nivel bajo,
20 el decodificador 538 deja de producir la señal de nivel bajo
 $\overline{IST\ 1}$ y hace que la señal $\overline{IST\ 2}$ tome el nivel bajo. Durante
el intervalo de generación de la señal $\overline{IST\ 2}$ el SDMA manda
una señal \overline{FALT} al SDC elegido. El SDC responde con una señal
 \overline{FACK} (figura 6) para generar un requisito de interrupción
25 procedente del SDMA que se transmite al dispositivo de gestión
de vías, y para introducir el estado de SDC en el registro de
datos del SDMA. Cuando se concede al SDMA el acceso a la vía,
la señal BUS GRANTED toma el valor alto. Al producirse la si
guiente señal $\emptyset 2A$, la señal BUS GRANTED es conducida a través
30 del MUX 524 para activar el FF 528. Al mismo tiempo la señal

1 BUS GRANTED atraviesa el MUX 522 para poner a cero el flip-flop 532 de capacitación de secuencia de interrupción.

Estando activados los flip-flop 528 y 530, las señales presentes en los conductores 570 y 572 tienen ambas el nivel alto, y el decodificador 538 no produce ninguna señal de salida. Las señales presentes en los conductores 570 y 572 seleccionan las entradas D3 de los MUX 522 y 524. Después de que la información de estado ha sido transferida por la vía de información del sistema, la señal BUS GRANTED toma el nivel alto. Al producirse la siguiente señal $\emptyset 2$, la señal BUS GRANTED atraviesa el MUX 524 y pone a cero los flip-flop 528 y 530. En este momento, el decodificador 538 produce de nuevo la señal IST 0 para capacitar de este modo el codificador de prioridad 526 de tal manera que pueda aceptar otro requisito de interrupción.

Las figuras 6, 7 y 8 representan algunos de los circuitos lógicos incluidos en la lógica de control de información 214, y además representan algunos de los excitadores y de los receptores sensibles a la vía de control 204 del sistema y a la vía de control 210 del SDC o conectados con ellas. Estos circuitos se describirán brevemente en este momento. Su funcionamiento completo aparecerá de manera evidente durante la siguiente descripción de varias secuencias de funcionamiento.

En la figura 6, la señal FACK se obtiene a partir de la vía de control de SDC y es invertida por un inversor 600. La salida del inversor 600 es la señal DFACK que se aplica a una entrada de dos puertas AND 604 y 606. La señal IST 2 se aplica a una entrada de una puerta NOR 608 y la salida de la puerta NOR 608 está conectada con una segunda entrada de la puerta AND 604.

1 La señal $\overline{\text{INPUT}}$ se obtiene a partir de la vía de con-
trol de sistema 204 y se aplica a un excitador de 3 estados
situado en un "chip" lógico 610. La señal $\overline{\text{INPUT}}$ es activa y
disminuye hasta el nivel bajo cuando la CPU decodifica una ins-
5 trucción y descubre que se trata de una instrucción de entrada.
Cuando la señal $\overline{\text{INPUT}}$ disminuye hasta el nivel bajo, el "chip"
de excitadores 610 produce una señal de salida de nivel alto
I/O RD. Esta señal se aplica a una entrada de una puerta NOR
612 que tiene su salida conectada a un inversor 614. La señal
10 $\overline{\text{OUTPUT}}$ disminuye hasta el nivel bajo cuando la CPU decodifica
una instrucción y determina que debe realizarse una operación
de salida. Cuando la señal $\overline{\text{OUTPUT}}$ disminuye hasta el nivel ba-
jo, el "chip" de excitadores 610 produce la señal I/O WR que
se aplica a una segunda entrada de la puerta NOR 612. Por con-
15 siguiente, al producirse ya sea una señal $\overline{\text{INPUT}}$ o una señal
 $\overline{\text{OUTPUT}}$, la señal I/O RD o WR que aparece a la salida del inver-
sor 614 sube hasta el nivel alto.

La señal I/O RD se aplica también a una entrada de
una puerta NAND 616. La señal SST 2 se aplica a una segunda
20 entrada de la puerta NAND 616 y su salida está conectada a la
puerta NOR 608. La salida de la puerta NOR 608 está conectada
a la puerta AND 604, la cual a su vez tiene su salida conecta-
da a una entrada de la puerta NOR 618. La salida de la puerta
NOR 618 es la señal de nivel bajo $\overline{\text{LOAD DATA REG}}$.

25 Las señales LD RD DATA y LR WR DATA se aplican a
las segunda y tercera entradas de la puerta NOR 618. La cuarta
entrada de la puerta NOR 618 está conectada con la salida de
una puerta AND 622.

La señal $\overline{\text{SDC BUSY}}$ procede de la vía de control de
30 SDC 210 y tiene un nivel bajo durante el período de transfe-

1 rencia de la información solamente cuando un SDC 122 está ocu
 pado. La señal SDC BUSY se aplica a un inversor 624 que tiene
 su salida conectada a través de un inversor 626 a una entrada
 de la puerta AND 622. La puerta AND 622 recibe también la sa
 5 lida de una puerta AND 628. La puerta AND 628 recibe la señal
 I/O WR procedente del "chip" de excitadores 610 y además es
 acondicionada por un impulso de reloj Ø1A. La señal SST 1 se
 aplica a otra entrada de la puerta AND 622 y por tanto la sa
 lida de la puerta AND 628 puede atravesar la puerta AND 622
 10 solamente durante el estado secuencial SST 1 si el SDC direc
 cionado no está ocupado.

La señal I/O RD procedente del "chip" de excitado
 res 610 se aplica a una entrada de una puerta AND 630. La
 puerta AND 630 está conectada además para recibir las señales
 15 READ PULSE y SST 3. La salida de la puerta AND 630 está conec
 tada con una entrada de una puerta NOR 632 y la salida de la
 puerta NOR 632 es la señal ENABLE DATA DRV. La señal ENABLE
DATA DRV puede también ser producida por una combinación de
 señales aplicadas a una puerta NOR 636 y a una puerta AND 638.
 20 La puerta NOR 636 recibe las señales INT SEQ EN FF y READ.
 La salida de la puerta NOR 636 se aplica a una entrada de la
 puerta AND 638. La segunda entrada de la puerta AND 638 reci
 be la señal BUS GRANTED y la salida de la puerta AND 638 está
 conectada a una segunda entrada de la puerta NOR 632.

25 La salida del inversor 624 es la señal DC BUSY A y
 se aplica a una entrada de una puerta AND 640. La señal READ
 se aplica a una segunda entrada de la puerta AND 640 y la sa
 lida de la puerta AND 640 está conectada con una entrada de
 una puerta NOR 642. La salida de la puerta NOR 642 atraviesa
 30 un inversor 644 y pasa a ser la señal DRIVE SDC BUS. La puer

1 ta NOR 642 tiene también una entrada conectada con la salida
de la puerta AND 648. La puerta AND 648 tiene tres entradas
conectadas para recibir la señal GO FF presente en el conductor
tor 426, la señal de salida procedente del inversor 626, y la
5 señal I/O WR procedente del "chip" de excitadores 610.

La señal \overline{PIN} presente en el conductor 286 se aplica
a la vía de control 210 del SDC y define la dirección de la
circulación de los datos. Cuando presenta el nivel bajo, se
manda la información desde el SDC hasta el SDMA bajo el contr
10 trol de las señales FALT y FACK. Cuando la señal \overline{PIN} tiene el
nivel alto, la dirección de transferencia de los datos se define
fine como siendo desde el SDMA hacia el SDC. La señal \overline{PIN} se
obtiene de la siguiente manera; Una puerta AND 650 tiene una
entrada conectada con la salida del inversor 626 y una segunda
15 entrada conectada para recibir la señal I/O RD procedente del
"chip" de excitadores 610. La salida de la puerta AND 650 está
tá conectada con una entrada de una puerta AND 652. La puerta
AND 652 tiene una segunda entrada conectada para recibir la
señal GO FF. La salida de la puerta AND 652 se aplica a una
20 entrada de una puerta NOR 654. La señal INT SEQ EN FF se aplica
ca a ambas entradas de una puerta AND 656 y la salida de esta
puerta AND se aplica a la segunda entrada de la puerta NOR
654.

Un flip-flop 658 de solicitud de interrupción y un
25 flip-flop 660 de solicitud de vía se representan en la fig.6.
Ambos flip-flop son flip-flop del tipo D que tienen sus entradas
das de ritmo conectadas para recibir la señal de reloj Ø3A.
Ambos flip-flop tienen una entrada de reposición que está conect
nectada para recibir la señal $\overline{BUS GRANTED}$. Una puerta AND 606
30 recibe la señal IST 2 así como la salida DFACK procedente del

1 inversor 600. La salida de la puerta AND 606 es una señal
INTERRUPT REQUEST. Esta señal se aplica a la entrada D del
flip-flop 658 de modo que el flip-flop sea activado al comienzo
de la señal $\emptyset 3A$ cuando se necesita una interrupción.

5 El flip-flop de requisito de via se acciona de la
siguiente manera. La señal READ se aplica a una entrada de
una puerta AND 662. Esta puerta AND recibe las señales DREQ A
y DISABLE BREQ en sus segunda y tercera entradas. La salida de
la puerta AND 662 está conectada con una entrada de una puerta
10 ta NOR 664. Una puerta AND 666 tiene tres entradas destinadas
a recibir las señales END MEM OP FF, DR LD FF, y D WRITE A.
La salida de la puerta AND 666 está conectada con una segunda
entrada de la puerta NOR 664. La salida de la puerta NOR 664
está conectada a través de un inversor 668 con la entrada D
15 del flip-flop de requisito de vias 660 de tal manera que cuando
el flip-flop es activado por la señal $\emptyset 3A$, la salida del
inversor 668 presente en nivel alto. La salida de activación
del flip-flop 660 está conectada a través de un inversor 670
y pasa a ser la señal BUS REQUEST.

20 La figura 7 representa los circuitos para generar
los impulsos de ritmo, así como algunos de los excitadores y
receptores conectados con la via de control 210 de SDC con el
objeto de generar y recibir las señales de establecimiento de
comunicación necesarias para las transferencias entre el SDMA
25 y los SDC.

Los impulsos de ritmo $\emptyset 1A - \emptyset 4A$ son generados por la
CPU 100 y se aplican por medio de la via de control de sistema
204 a un grupo de excitadores de 3 estados 700 en cada SDMA.
Cada impulso de ritmo tiene una duración de 62,5 nanosegundos
30 y el tiempo que transcurre entre impulsos sucesivos de la misma

1 ma fase es de 500 nanosegundos. El "chip" de excitadores 700
está permanentemente capacitado y por tanto cuando cualquier
excitador recibe una señal de nivel bajo, genera una señal de
salida lógica uno. Las salidas procedentes de los excitadores
5 700 están designadas por las referencias $\emptyset 1A$ - $\emptyset 3A$. Además, la
señal $\emptyset 2A$ atraviesa dos inversores 702 y 704 y pasa a consti-
tuir las señales $\overline{\emptyset 2AS}$ y $\overline{\emptyset 2AD}$. Esta última señal se aplica a
todos los SDC 122 por medio de la vía de control de SDC 210.
Además, la señal $\emptyset 4A$ se transmite a través de un excitador de
10 3 estados situado en un "chip" de excitadores 706 para generar
la señal $\overline{\emptyset 4AD}$ que se aplica también por la vía de control de
SDC a los SDC. Con estas excepciones, todas las señales de sa-
lida derivadas del "chip" de excitadores 700 se utilizan en el
interior del mismo SDMA.

15 La señal \overline{SALT} presente en el conductor 285 se aplica
a través de la vía de control de SDC 210 a cada uno de los SDC.
Cuando la señal \overline{SALT} toma el nivel bajo, indica a todos los
SDC que el SDMA está presentando la dirección de uno de ellos
en la vía de direcciones de SDC 208. La señal \overline{SALT} permanece
20 activa hasta que el SDC cuyo direccionamiento ha sido efectua-
do identifique su dirección y responda con una señal de acuse
de recepción de selección (SACK). La señal \overline{SALT} se genera de
la siguiente manera. Una puerta NAND 716 tiene tres entradas
conectadas para recibir las señales SST 1, SELECTION, y \overline{STEP}
25 \overline{ON} . La salida de la puerta NAND 716 es la señal $\overline{EN SALT X}$ y
esta señal se aplica a una entrada de una puerta NOR 718. Una
segunda entrada de la puerta NOR 718 recibe la señal $\overline{IST 1}$.
La salida de la puerta NOR 718 está conectada a ambas entradas
D y de reposición de un flip-flop tipo D 720. La salida de ac-
30 tivación del flip-flop se aplica a un inversor 722 y la sali

1 da de este inversor constituye la señal $\overline{\text{SALT}}$. Un impulso de
 ritmo 03A se aplica al flip-flop 720, y por tanto el flip-
 flop se activa al comienzo de la señal 03A si la salida de la
 puerta NOR 718 presenta el nivel alto. Si la salida de la puer-
 5 ta NOR 718 disminuye al nivel bajo, entonces el flip-flop 720
 vuelve inmediatamente en cero.

Después de que los SDC han recibido la señal $\overline{\text{SALT}}$
 y después de que uno de ellos ha identificado su dirección en
 la vía de direcciones de SDC, el SDC que ha efectuado la iden-
 10 tificación reduce la señal $\overline{\text{SACK}}$ al nivel bajo. Esta señal es
 transmitida a través de un inversor 724 y pasa a ser la señal
 D SACK. La señal D SACK se utiliza en la figura 5 para despla-
 zar los circuitos lógicos de estado secuencial, terminando
 así la señal SST 1 o $\overline{\text{IST 1}}$, según el tipo de operación reali-
 15 zada. Esto hará que la salida de la puerta NOR 718 disminuya
 al nivel bajo y por tanto el flip-flop 720 volverá a cero y
 se terminará la señal $\overline{\text{SALT}}$.

La salida del receptor 724 se aplica también a la
 entrada de reposición de un flip-flop tipo D 728, y se trans-
 20 mite a través de un inversor 730 para generar la señal $\overline{\text{D SACK}}$.

La finalidad del flip-flop 728 consiste en señalar
 a un SDC activo que se ha producido durante una operación de
 memorización un error de paridad de memoria o error de direc-
 ción. Si uno de estos errores ocurre, entonces los circuitos
 25 de memoria hacen que una señal apropiada de la vía de control
 del sistema 204 disminuya hasta el nivel bajo. Si se produce
 un error de dirección, la señal $\overline{\text{MEM ADR ERR}}$ disminuye al ni-
 vel bajo para capacitar una puerta NOR 732. Por otra parte,
 si se produce un error de paridad de memoria, entonces la se-
 30 ñal de nivel bajo $\overline{\text{MEM PAR ERR}}$ se aplica a la puerta NOR 732.

1 La salida de la puerta NOR 732 está conectada con una entrada
de una puerta NAND 734 y la segunda de la puerta NAND recibe
un impulso de ritmo Ø2A. La salida de la puerta NAND 734 se
aplica a la entrada de ritmo del flip-flop 728 y activa el
5 flip-flop siempre y cuando la señal BUS GRANTED presente el
nivel alto, indicando así que un SDC asociado con este SDMA
está comunicando con la memoria. La salida de activación del
FLIP_FLOP 728 se aplica a uno de los excitadores de 3 estados
706 para generar la señal de nivel bajo $\overline{\text{MEM CHECK}}$. Esta señal
10 se envía al SDC activo para terminar su funcionamiento. Cuan
do el SDC finaliza su funcionamiento, la señal $\overline{\text{SACK}}$ sube al
nivel alto y se produce la puesta en cero del flip-flop 728.

La señal $\overline{\text{FALT}}$ es una señal de control transmitida
a partir del SDMA a un SDC que ha sido ya seleccionado. Cuan
15 do la señal $\overline{\text{FALT}}$ presenta el nivel bajo, informa el SDC selec
cionado que la información disponible en la vía de datos del
SDC puede ser utilizada. La señal $\overline{\text{FALT}}$ se termina después de
que el SDC ha actuado sobre la información y ha devuelto al
SDMA una señal de acuse de recepción designada por $\overline{\text{FACK}}$. La
20 señal $\overline{\text{FALT}}$ se genera de la siguiente manera. La salida del in
versor 724 está conectada con una entrada de una puerta NAND
736. La puerta NAND 736 recibe además las señales $\overline{\text{STEP ON}}$ y
SST 2. La salida de la puerta NAND 736 está conectada con una
entrada de una puerta NOR 738. La señal $\overline{\text{IST 2}}$ se aplica a una
25 segunda entrada de la puerta NOR 738, y la salida de la puer
ta NOR está conectada con la entrada D de un flip-flop tipo D
740. El flip-flop está sincronizado por un impulso Ø3A de tal
manera que el flip-flop sea activado al producirse el impulso
Ø3A si la salida de la puerta NOR 738 presenta el nivel alto.
30 La salida de activación del flip-flop 740 se aplica a uno de

1 los excitadores situados en el "chip" 706, y la salida de es
 te excitador constituye la señal de nivel bajo $\overline{\text{FALT}}$. Se efec
 túa la reposición del flip-flop 740 cuando la señal de salida
 procedente de la puerta NOR 738 disminuye hasta el nivel bajo.

5 Un flip-flop tipo $\overline{\text{JK}}$ 750 tiene su salida de activa
 ción conectada con uno de los excitadores situados en el "chip"
 706 con el objeto de producir la señal $\overline{\text{DACK}}$. La señal $\overline{\text{DACK}}$
 es una señal de control de acuse de recepción de información
 que se manda a partir del SDMA a un SDC elegido con el objeto
 10 de acusar recibo de un requisito de información. Si existía
 una señal de inscripción de información activa en el momento
 de recibir el requisito de información a partir del SDC, la
 señal $\overline{\text{DACK}}$ informa el SDC que el carácter presente en la vía
 de datos del SDC ha sido introducido en el registro de datos
 15 del SDMA. Si existía una señal de lectura de información ac
 tiva en el momento de recibir el requisito de información a
 partir del SDC, la señal $\overline{\text{DACK}}$ informa el SDC que el SDMA tie
 ne un grupo de bitios en la vía de información del SDC prepa
 rado para ser aceptado por el SDC. Los detalles particulares
 20 de estas operaciones podrán entenderse claramente estudiando
 unos ejemplos particulares de ciertas operaciones.

Un flip-flop tipo D 752 tiene su entrada de ritmo
 conectada para recibir la señal DR LD FF. La salida de activa
 ción del flip-flop está conectada con las entradas J y $\overline{\text{K}}$ del
 25 flip-flop 750 y produce la señal DISABLE BREQ que aparece en
 el conductor 754. El flip-flop 750 se sincroniza con una se
 ñal de ritmo 03A y ambos flip-flop 750 y 752 vuelven a cero
 cuando la señal DREQ A aplicada a sus entradas de reposición
 disminuye al nivel bajo. Mientras el flip-flop 750 vuelve a
 30 cero genera la señal de nivel alto $\overline{\text{DACK FF}}$ y mientras el

1 flip-flop 752 vuelve a cero, genera la señal de nivel alto
DISABLE BREQ. Cuando la señal DR LD FF sube al nivel alto ac
tiva el flip-flop 752. Al producirse la siguiente señal 03A,
la salida del flip-flop 752 activa el flip-flop 750 y la sali
5 da de este flip-flop acciona uno de los excitadores situados
en el "chip" 706 para producir la señal de nivel bajo DACK.
Ambos flip-flop vuelven a cero bajo la acción de la señal
DREQ A.

En la figura 8, la señal DREQ procedente de la via
10 de control de SDC se transmite a través de un inversor 800 pa
ra transformarse en la señal DREQ A. Un SDC elegido disminuye
la señal DREQ al nivel bajo para efectuar un requisito de in
formación al SDMA. La salida del inversor 800 se aplica tam
bién a una entrada de una puerta AND 804 y de una puerta NAND
15 806. La señal D WRITE procedente de la via de control de SDC
se transmite a través de un inversor 808 y pasa a ser la se
ñal D WRITE A. La señal D WRITE es generada por un SDC durante
un intervalo en el cual el SDC transfiere grupos de bitios de
información a la memoria. La señal D WRITE A se aplica a una
20 segunda entrada de la puerta NAND 806, así como a una entrada
de otras dos puertas AND 812 y 814. La puerta AND 812 recibe
la señal DACK PF en la segunda entrada si se ha hecho volver
a cero el flip-flop 750 de señal DACK. Por tanto, si el flip-
flop de señal DACK ha vuelto a cero y si la señal D WRITE pre
25 senta el nivel bajo, la puerta AND 812 está preparada para
producir una señal de salida de nivel alto que se aplica a la
puerta AND 704. Cuando la señal DREQ disminuye al nivel bajo,
la salida del inversor 800 capacita la segunda entrada de la
puerta AND 804. Si en este momento se efectúa la reposición
30 del flip-flop 816 de carga de registros de datos, se capacita

1 la tercera entrada de la puerta AND 804 y, por tanto, la puer
 ta AND produce una salida de nivel alto que se aplica a la en
 trada J del flip-flop 816. La salida de la puerta AND 804 es
 la señal LOAD WRITE DATA. La señal de ritmo $\emptyset 1A$ se aplica a
 5 un inversor 820, y la salida del inversor se aplica a la entra
 da de ritmo del flip-flop 816, y por tanto se activa el flip-
 flop al final de la señal de ritmo $\emptyset 1A$ si la salida de la puer
 ta AND 804 tiene el nivel alto, para indicar que la información
 presente en la vía de datos del SDC ha sido introducida en el
 10 registro de datos del SDMA. Cuando se activa el flip-flop, la
 señal DR LD FF sube al nivel alto, mientras que la señal \overline{DR}
 $\overline{LD FF}$ toma el nivel bajo.

El flip-flop 816 puede también ser activado para rea
 lizar operaciones que incluyen la transferencia de datos desde
 15 la memoria a través del SDMA hasta un SDC. La salida del in
 versor 808 se transmite a través de otro inversor 822 y pasa
 a ser la señal READ. La señal READ se aplica a una entrada de
 la puerta AND 826. La señal $\overline{MEM ACK}$ es una señal aplicada a
 la vía de control del sistema por la memoria para indicar que
 20 la información procedente de la memoria está presente en la
 vía de datos y puede ser introducida en el registro de datos
 del SDMA. La señal $\overline{MEM ACK}$ se aplica a un excitador situado
 en el "chip" 828 de excitadores de 3 estados, y cuando la se
 ñal $\overline{MEM ACK}$ es activa, la salida del excitador capacita una
 25 segunda entrada de la puerta AND 826. La puerta AND 826 está
 además capacitada por la señal BUS GRANTED que se deriva de
 un "chip" 830 de excitadores de 3 estados. La señal $\overline{BUS GRANT}$
 es una señal de control aplicada a la vía de control del sis
 tema por el dispositivo de gestión de vías en respuesta a un
 30 requisito de vía efectuado por el SDMA, e indica que el SDMA

1 efectúa un control sobre la vía del sistema. La señal $\overline{\text{BUS}}$
 $\overline{\text{GRANT}}$ se aplica a un excitador situado en el "chip" 830 y
cuando toma el nivel bajo el "chip" produce una señal de sa
lida de nivel alto BUS GRANTED en el conductor 832. Esta úl
5 tima señal se aplica de nuevo a la entrada de otro excitador
situado en el "chip" 830 de modo que este excitador produce
simultáneamente la señal de nivel bajo $\overline{\text{BUS GRANTED}}$. La señal
BUS GRANTED capacita la puerta AND 826 cuando está en el ni
vel alto y por tanto una puerta AND 826 puede producir la se
10 ñal de nivel alto LOAD RD DATA en el conductor 836. La salida
de la puerta AND 826 se transmite a través de un inversor 838
para activar el flip-flop 816 indicando así que el grupo de
bitios de información situado en la vía de datos del sistema
ha sido almacenado en el registro de datos del SDMA.

15 Cuando la señal $\overline{\text{DREQ}}$ sube al nivel alto después de
cada requisito de datos durante una operación de lectura, la
señal $\overline{\text{D WRITE}}$ tiene el nivel alto, y la puerta AND 806 produ
ce una señal de salida de nivel alto que se aplica a través
de una puerta NOR 840 para hacer volver en cero el flip-flop
20 816.

La reposición del flip-flop 816 se efectúa también
por medio de la señal END MEM OP FF procedente del flip-flop
842 durante una operación WRITE. La señal MEM ACK presente en
el conductor 837 se aplica a las entradas J y $\overline{\text{K}}$ del flip-
25 flop 842 y la salida de activación del flip-flop se aplica a
una entrada de la puerta AND 814. La puerta AND es capacitada
además por la salida procedente del inversor 808 y por el im
pulso de ritmo $\emptyset 2$. El impulso de ritmo $\emptyset 1$ invertido se aplica
a la entrada de sincronización del flip-flop 842 y, por tanto,
30 el flip-flop se activa al final del impulso $\emptyset 1$ si la señal

1 MEM ACK presenta un nivel alto. A continuación la puerta AND
814 produce una señal de salida que se transmite a través de
la puerta NOR 840 a la entrada de reposición del flip-flop
816. Se efectúa también la reposición del flip-flop 842 cuan
5 do la señal $\overline{\text{BUS GRANT}}$ ha terminado y cuando el conductor 832
toma el nivel bajo.

Quando se efectúa la reposición del flip-flop 842,
éste produce la señal de nivel alto $\overline{\text{END MEM OP FF}}$. Además, la
señal de nivel bajo procedente de la salida de activación ca
10 pacita una entrada de una puerta NAND 844. La capacitación de
esta puerta NAND se efectúa también cuando la señal $\overline{\text{EN DATA}}$
 $\overline{\text{ADR}}$ disminuye al nivel bajo. La salida de la puerta NAND 844
es la señal de nivel alto MEM OP. Esta señal es transmitida
a través de un inversor 846 y pasa a ser la señal $\overline{\text{BUS BUSY}}$.
15 La señal $\overline{\text{BUS BUSY}}$ se transmite por la vía de control del sis
tema hasta el dispositivo de gestión de vias para informar el
dispositivo de gestión de vias que el SDMA ha aceptado el con
trol de la vía en respuesta a la señal $\overline{\text{BUS GRANT}}$.

La señal $\overline{\text{PWR ON CLR}}$ se genera automáticamente cuando
20 se activa la CPU. Se trata de un impulso de 500 milisegundos
que se transmite por la vía de control del sistema a cada uno
de los SDMA. En cada SDMA se aplica a una puerta NOR 850. La
salida de la puerta NOR 850 es la señal SDMA RESET. Es trans
mitida a través de la puerta NOR 840 para efectuar la reposi
25 ción del flip-flop 816. Además, la señal SDMA RESET es trans
mitida a través de un inversor 854 y pasa a ser la señal $\overline{\text{SDMA}}$
 $\overline{\text{RESET}}$. Las señales $\overline{\text{SDMA RESET}}$ y SDMA RESET se aplican a va
rios de los flip-flop y contadores contenidos en el SDMA con
el objeto de efectuar su reposición o de vaciarlos cuando se
30 aplica la energía. Se efectúa una función similar cuando el

1 operario acciona una tecla de reposición situada en el cuadro
de control. Esto genera la señal RESET que se aplica a la se
gunda entrada de la puerta NOR 850 y da lugar a la generación
de las mismas señales que la señal PWR ON CLR. Además, la se
5 ñal RESET se transmite a través de los inversores 858 y 860
para transformarse en la señal S RESET. Esta última señal se
aplica por la vía de control de SDC 210 con el objeto de efec
tuar la reposición de cada uno de los SDC 122.

OPERACIONES TIPICAS

10 Se necesita una combinación de una instrucción de
entrada y de tres instrucciones de salida procedentes de la
CPU 100 para preparar un SDMA y un SDC que está conectado con
este SDMA de modo que la información pueda ser transferida en
tre la memoria 102 y el SDC. Esta operación se efectúa cual
15 quiera que sea la dirección en la cual debe realizarse la
transferencia de la información. Durante la secuencia de pre
paración, la CPU genera una instrucción de entrada seguida por
tres instrucciones de salida. En la siguiente descripción se
supondrá que la operación que ha de ser realizada es la trans
20 ferencia de una línea de datos (132 grupos de posiciones bina
rias) desde la memoria hasta una máquina impresora de líneas
conectada con el SDMA que tiene la dirección 101, con el obje
to de imprimir esta línea de datos. Las operaciones realizadas
durante cada una de estas instrucciones de secuencia de prepa
25 ración se describen más adelante en secciones separadas. En
términos generales, la instrucción de entrada efectúa el di
reccionamiento del registro de estados en un SDC 122 particu
lar al cual presta servicio un SDMA 108 particular. Si el SDMA
está ocupado, su estado es devuelto al acumulador situado en
30 la CPU. Si el SDMA no está ocupado, entonces el estado del SDC

1 cuyo direccionamiento ha sido efectuado es comunicado de nuevo
al acumulador. Suponiendo que el SDC cuyo direccionamiento se
efectúa está conectado al sistema, ha sido energizado y no es
tá ocupado, la CPU genera la primera instrucción de salida y
5 aplica a la vía de direcciones del sistema una dirección que
tiene el formato ilustrado en la figura 10C. El SDMA responde
a esta instrucción de salida introduciendo la mitad inferior
del contador indicador de direcciones 232 con el grupo de posi
ciones binarias de información en el acumulador de la CPU. A
10 continuación la CPU ejecuta otra instrucción de salida y apli
ca otra dirección que tiene el formato representado en la fi
gura 10B a la vía de direcciones del sistema. En respuesta a
esta segunda instrucción de salida, el SDMA introduce el gru
po de posiciones binarias de información presente en la vía
15 de información del sistema en la mitad superior del contador
indicador de direcciones 232. Finalmente, la CPU ejecuta una
tercera instrucción de salida y envía una orden al SDC elegi
do. Una dirección situada en la vía de direcciones del siste
ma identifica el registro que debe recibir esta orden. En las
20 condiciones supuestas, esta orden es una orden de impresión,
y por tanto la dirección que aparece en la vía de direcciones
del sistema tiene el formato representado en la figura 10E.
Cuando esta tercera instrucción de salida ha sido ejecutada,
la CPU vuelve a su programa normal y el SDMA controla las
25 transferencias reales de los grupos de posiciones binarias de
datos desde la memoria hasta el SDC elegido, por medio de la
dirección contenida en el contador indicador de dirección.
Durante la transferencia real de los datos, el SDMA debe com
petir con otras unidades conectadas con el sistema para obte
30 ner acceso a la memoria. Por tanto, para la transferencia de

1 cada grupo de posiciones binarias, el SDMA debe efectuar un re-
quisito de vía y después de que el SDMA ha recibido acceso a
la memoria, el dispositivo de gestión de vías responde con una
señal BUS GRANT. Después de terminar la operación de transfe-
5 rencia de datos, el SDC genera un requisito de interrupción que
se aplica al SDMA para que dé a conocer su estado, es decir si
ha cargado su registro intermedio y si ha iniciado un ciclo de
impresión. El SDMA está ahora libre de prestar servicio a otros
SDC. Después de que la máquina impresora haya impreso la línea
10 de datos, su SDC efectuará al SDMA otro requisito de interrup-
ción, esta vez para informar la CPU que está ahora en condicio-
nes de aceptar otros datos. Cada una de las instrucciones de en-
trada y de salida utilizadas para preparar una operación de
transferencia se estudiarán ahora detalladamente por separado.

15 INSTRUCCION DE ENTRADA. Si la CPU 100 es una unidad Intel 8080,
se necesitan tres ciclos de máquina de la CPU para ejecutar una
instrucción de entrada. Durante los dos primeros ciclos de la
máquina la instrucción es extraída de la memoria y decodifica-
da. Al producirse la primera señal $\emptyset 3A$ del tercer ciclo de la
20 máquina M3 (Véase figura 9) una dirección, que debe tener el
formato representado en la figura 10D, se aplica a la vía de
direcciones del sistema 202. Al mismo tiempo, la CPU disminuye
la señal CPU SYNC hasta el nivel bajo. En la figura 4, la puer-
ta NAND 408 identifica la combinación de bitios en A7-A5 como
25 siendo la dirección del SDMA. La salida de la puerta NAND 408
capacita una entrada de la puerta NAND 412 cuya segunda entra-
da es capacitada por la salida del inversor 418. La salida de
la puerta NAND 408 capacita también una entrada de la puerta
NAND 416.

30 Al producirse la señal $\emptyset 4$, la CPU aplica a la vía de

1 control la señal de nivel bajo $\overline{\text{INPUT}}$. Esta señal atraviesa un
 excitador de 3 estados 610 que genera la señal I/O READ, capa
 citando así una segunda entrada de la puerta NAND 416. Ya que
 ambos bitios de dirección A4 y A3 son unos cero, la puerta
 5 NAND 458 produce una señal de salida para completar la capaci
 tación de la puerta NAND 416. La salida de la puerta NAND 416
 atraviesa el inversor 417 para generar la señal SELECTION. La
 señal SELECTION se aplica a la puerta NAND 716 pero la puerta
 NAND está bloqueada en este momento porque la señal SST 1 tie
 10 ne un nivel bajo.

La señal I/O READ generada por el excitador 610 atra
 viesa la puerta NOR 612 y el inversor 614 para hacer que la
 señal I/O RD o WR tome un valor alto. Esta última señal capa
 cita además la puerta NAND 412 de tal manera que al producir
 15 se la siguiente señal $\emptyset 1A$, la puerta NAND 412 produce la se
 ñal $\overline{\text{START PULSE}}$. La señal $\overline{\text{START PULSE}}$ activa inmediatamente
 el flip-flop GO 424 generando así las señales GO FF y $\overline{\text{NOT}}$
 $\overline{\text{READY}}$. La señal $\overline{\text{NOT READY}}$ es transmitida de nuevo a la CPU en
 su tercer ciclo de tratamiento de la instrucción de entrada.
 20 De este modo se sitúa eficazmente la CPU en un estado de es
 pera, y durante este estado de espera, la dirección permanece
 en la via de direcciones del sistema y la señal $\overline{\text{INPUT}}$ se man
 tiene en la via de control.

Cuando se activa el flip-flop GO, la señal $\overline{\text{GO FF}}$ se
 25 aplica a la puerta NAND 542. Esta señal bloquea la puerta
 NAND 542 a través de la cual deben pasar todos los requisi
 tos de interrupción procedentes de los SDC para activar el
 flip-flop 532. Se asegura así que ningún SDC sea capaz de ini
 ciar un requisito de interrupción mientras el SDMA está ocupa
 30 do en realizar el tratamiento de la instrucción de entrada.

1 La señal GO FF atraviesa dos MUX 506 y capacita el con-
tador 510 de tal manera que al producirse la señal $\emptyset 2A$, el
contador avance un paso y la salida del contador se aplique al
decodificador 514 para producir la señal SST 1.

5 La señal SST1 se aplica a la puerta NAND 716 que está
recibiendo ya la señal de nivel alto SELECTION. La señal \overline{STEP}
 \overline{ON} tiene igualmente el nivel alto en este momento siempre y
cuando, según se explicará más adelante, el SDMA no estuviese
ocupado en el momento de la generación de la señal $\overline{START PULSE}$.
10 La salida de la puerta NAND 716 atraviesa la puerta NOR 718 y
cuando se produce la señal $\emptyset 3A$ el flip-flop 720 se activa pa-
ra producir la señal \overline{SALT} .

 La señal \overline{SALT} se aplica a todos los SDC 122 por la via
de control de SDC con el objeto de llamar la atención de los
15 SDC sobre el hecho de que la dirección de uno de ellos está
presente en la via de direcciones de SDC. La dirección ha si-
do aplicada a la via de direcciones de SDC en el mismo tiempo
que apareció en la via de direcciones del sistema. A partir
de la via de direcciones del sistema, los bitios de dirección
20 atraviesan los inversores 400-404 para llegar al MUX 406 y a
la puerta AND 405. Ya que en este momento se efectúa la reposi-
ción del flip-flop de capacitación de secuencia de interrup-
ción, los bitios A4-A1 atraviesan el MUX 406 y el bitio A0
atraviesa la puerta AND 405 y la puerta NOR 407 transformándo-
25 se en los bitios de dirección $\overline{RSL 4}$ - $\overline{RSL 1}$ en la via de direc-
ciones de SDC. Igualmente, cuando se generó la señal I/O READ,
atravesó la puerta AND 650 para capacitar la puerta AND 652,
y cuando se activó el flip-flop GO 424, la señal GO FF atra-
vesó la puerta AND 652 y la puerta NOR 654 para pasar a ser
30 la señal \overline{PIN} que se aplicó por la via de control de SDC a to

1 dos los SDC 122,

La señal $\overline{\text{PIN}}$ indica a todos los SDC que debe hacerse una transferencia desde uno de los SDC hasta el SDMA, mientras que la señal $\overline{\text{SALT}}$ indica a todos los SDC que deben comparar
 5 las señales de bitios de dirección $\overline{\text{RSL 1}}$ y $\overline{\text{RSL 0}}$ con su propia dirección. El SDC que identifica las señales de bitios $\overline{\text{RSL 0}}$ y $\overline{\text{RSL 1}}$ como siendo su propia dirección se conectará a la vía de SDC y en menos de 250 nanosegundos generará la señal $\overline{\text{SACK}}$, indicando así al SDMA que está conectado.

10 Cuando se produce el primer impulso de ritmo ϕ_{4A} después de que el SDMA ha generado la señal $\overline{\text{SALT}}$, el SDC cuyo direccionamiento ha sido efectuado genera la señal de bajo nivel $\overline{\text{SACK}}$ y esta señal es transmitida por la vía de control de SDC al SDMA donde atraviesa los inversores 724 y 730 para ge
 15 nerar las señales $\overline{\text{D SACK}}$ y $\overline{\text{D SACK}}$. La señal $\overline{\text{SACK}}$ permanece activa hasta el final de la operación de transferencia de los datos que será preparada por la instrucción de entrada presente y las siguientes tres instrucciones de salida. Después de terminarse la operación de transformación de los datos, el
 20 SDC interrumpirá la señal $\overline{\text{SACK}}$ para deseleccionarse por sí mismo.

La señal $\overline{\text{D SACK}}$ atraviesa la puerta NOR 544 para bloquear la puerta NAND 542. Esto asegura que no se otorgará ninguna demanda de interrupción procedente de otros SDC incluso
 25 después de que el flip-flop G0 ha sido puesto a cero cerca del final del presente ciclo de instrucción de entrada. La señal $\overline{\text{NAVAIL}}$ producida por la puerta NOR 544 atraviesa la puerta NOR 438 para capacitar el flip-flop 422 ocupado. El flip-flop no se activa en este momento y se activará solamente si se hace
 30 un intento de iniciar otra secuencia de selección hacia un

1 SDC diferente mientras el SDMA está conectado con un primer SDC.

La señal D SACK atraviesa el MUX 506 y al producirse la primera señal Ø2A después de que la señal $\overline{\text{SACK}}$ ha pasado a ser activa, el contador 510 avanza hasta una cuenta de dos, y la salida del contador activa el decodificador 514 produciendo así la señal SST 2. En este momento, la señal SST 1 se termina y la salida de la puerta NAND 716 asegura la vuelta a cero del flip-flop 720 a través de la puerta NOR 718 para finalizar la señal $\overline{\text{SALT}}$.

La señal SST 2 y la señal D SACK capacitan la puerta NAND 736 la cual es capacitada además por la señal $\overline{\text{STEP ON}}$ que presenta un nivel alto. La salida de la puerta NAND 736 atraviesa la puerta NOR 738 para capacitar el flip-flop 740 de alerta de funcionamiento. Cuando se produce el impulso Ø3A el flip-flop se activa, haciendo así que un excitador 706 produzca la señal de bajo nivel $\overline{\text{FALT}}$ (Alerta de Funcionamiento). La señal $\overline{\text{FALT}}$ se aplica a la vía de control de SDC y es aceptada por el SDC que ha sido elegido durante la señal SST 1. La señal $\overline{\text{FALT}}$ indica al SDC seleccionado que debe examinar de nuevo la dirección en la vía de direcciones de SDC, examinando esta vez las señales de bitios de identificación de funcionamiento $\overline{\text{RSL 4-RSL 2}}$. Ya que todos estos bitios serán unos cero (Fig. 10D) el SDC identifica esta circunstancia como la necesidad de aplicar su estado en la vía de información del SDC.

El SDC seleccionado decodifica las señales $\overline{\text{RSL 4-RSL 2}}$ y efectúa la lectura de su registro de estado en la vía de información de SDC 206, aplicándose su estado a los MUX 300 y 301 bajo la forma de las señales de bitios de información $\overline{\text{BIT 0-S BIT 7}}$. El estado es transmitido bajo la forma de uno

1 de los cuatro valores hexadecimales 00, 80, 90 ó 40.

Si no está conectado con el SDMA ningún SDC que tiene una dirección correspondiente a la que está situada en la vía de direcciones de SDC, entonces el valor de estado 00 indica
 5 que el SDC cuyo direccionamiento ha sido efectuado no existe. En tal caso, no se efectúa ninguna lectura real del estado en el registro de estados y en el SDC. Por consiguiente, el SDMA generará los bitios de estado de la manera descrita más adelante,

10 Si el SDC cuyo direccionamiento ha sido efectuado está ocupado realizando otra tarea informa el valor de estado 80. Si el SDC cuyo direccionamiento ha sido efectuado está conectado con una vía de SDC, pero no está "on-line", comunica el valor de estado 90. Finalmente, si el SDC cuyo direccionamiento
 15 ha sido efectuado existe realmente, está "on-line" y está conectado y, además, está disponible para realizar otra operación, comunica el valor de estado 40.

En resumen después de que el valor de estado ha sido aplicado a los multiplexores de registro de datos 300 y 301,
 20 y al producirse el impulso $\emptyset 4A$ después de la generación de la señal \overline{FALT} por el SDMA, el SDC genera la señal \overline{FACK} (Acuse de Recibo de Función), para indicar al SDMA que el SDC ha aplicado su estado a la vía de información del SDC. La señal \overline{FACK} atraviesa el inversor 600 y pasa a ser la señal D FACK. La señal D FACK capacita una entrada de la puerta AND 604. Las señales I/O READ y SST 2 tienen ambas el nivel alto y por tanto la salida de la puerta NAND 616 atraviesa la puerta NOR 608 para preparar la puerta AND 604. Por consiguiente, cuando se produce la señal D FACK, la puerta AND 604 produce una señal
 25 de salida que atraviesa la puerta NOR 618 pasando a ser la se
 30

1 ñal LOAD DATA REG. Esta última señal se aplica a las entradas
de selección de los MUX 300 y 301 y, ya que la señal DRIVE SDC
BUS es alta en este momento porque todas las entradas de la
puerta AND 648 tienen un nivel alto, los bitios de estado S7-
5 S0 son conducidos al registro de datos.

Tan pronto como el estado ha sido introducido en el re-
gistro de datos, queda disponible para los excitadores de vía
de datos 314. La señal STEP ON tiene el nivel alto y, por tanto,
la salida de nivel bajo de la puerta NAND 310 se aplica a las
10 entradas de selección de los MUX 302 y 303. Esta operación se
lecciona las entradas A que están recibiendo los datos de es-
tado que habían sido acumulados en las memorias del registro
de datos MUX 300 y 301. El estado no se aplica a la vía de da-
tos del sistema en este momento porque los excitadores 314 no
15 están capacitados.

La señal D FACK atraviesa el MUX 506 para capacitar el
contador 510 y, al producirse la siguiente señal Ø2A, el conta-
dor avanza de modo que el decodificador 514 produce la señal
SST3. La señal SST 3 efectúa inmediatamente la reposición del
20 flip-flop GO 424, terminando así las señales GO FF y NOT READY.
En la figura 7, la señal SST 2 disminuye al nivel bajo cuando
la señal SST3 empieza, y por tanto la salida de la puerta
NAND 736 atraviesa la puerta NOR 738 para poner a cero el flip-
flop de alerta de funcionamiento y terminar la señal FALT. Es-
25 to, a su vez, hace que el SDC seleccionado finalice la señal
FACK.

La señal SST 3 se aplica a la puerta AND 630 que es
capacitada en este momento por las señales I/O READ y READ
PULSE. La salida de la puerta AND 630 atraviesa la puerta NOR
30 632 y capacita los excitadores de 3 estados 314 de tal manera

1 que el estado es conducido a la via de datos del sistema. El grupo de posiciones binarias de estado penetra en el acumulador situado en la CPU 100.

5 Cuando la señal NOT READY sube al nivel alto en el comienzo de la señal SST 3, finaliza el estado de espera de la CPU 100 y se reanuda la ejecución de la instrucción de entrada de modo que el estado situado en la via de datos pueda ser introducido en el acumulador. Poco tiempo después, la CPU termina la señal DATA BUS IN, acusando así recibo de los datos, y la salida del inversor 500 atraviesa la puerta NCR 504 y el MUX 506 para capacitar el contador 510. Al producirse la siguiente señal $\emptyset 2A$, el contador avanza y vuelve a su estado cero, terminando así la salida de la señal SST 3, a partir del decodificador 514. Esto completa la respuesta del SDMA a la instrucción de entrada. La CPU analiza ahora el estado que ha recibido a partir del SDMA y determina las medidas que debe tomar en respuesta al estado que le ha sido comunicado.

10 PRIMERA INSTRUCCION DE SALIDA. Suponiendo que el SDMA ha mandado el vabr de estado 40 a la CPU para indicar así que el SDMA y el SDC que ha sido direccionado están ambos preparados para recibir instrucciones suplementarias, la CPU empieza la ejecución de una instrucción de salida y carga su acumulador con un grupo de posiciones binarias de la información que representa los ocho bitios menos significativos de una dirección de memoria. Esta dirección es la dirección del primer emplazamiento de memoria donde los datos se inscribirán o a partir del cual se extraerán después de haber sido preparados el SDMA y el SDC, y la transferencia real de los datos empieza. Haciendo referencia a la figura 11, se ve que cuando se produce la primera señal $\emptyset 3A$ del tercer ciclo de tratamiento de la

15

20

25

30

1 CPU (M3) durante el cual se está ejecutando la instrucción de salida, el contenido del acumulador de la CPU se aplica a la via de datos del sistema, así como a las entradas B de los multiplexores 300 y 301 del registro de datos. Al mismo tiempo
5 la CPU aplica a la via de direcciones del sistema una dirección que tiene el formato representado en la figura 10C y empieza la generación de la señal CPU SYNC. La puerta NAND 408 identifica los bitios de dirección A7-A5 como siendo la dirección de este SDMA y produce la señal SDMA ADDRESS para capacitar las puertas NAND 412 y 414. Cuando se produce la señal $\emptyset 4A$
10 la CPU genera la señal de bajo nivel OUTPUT que se transmite a través de un excitador 610 y pasa a ser la señal I/O WRITE. La señal I/O WRITE atraviesa la puerta NOR 612 y el inversor 614 y genera la señal I/O RD o WR.

15 Cuando se produce la señal $\emptyset 1A$, el flip-flop G0 es activado por la salida de la puerta NAND 412 y las señales START PULSE y NOT READY se generan de la misma manera que para la instrucción de entrada.

Los bitios de dirección A4-A0 atraviesan los inversores 400-404 y 411 para generar las señales RADR 4 y RADR 4-RADR 0. La señal RADR 0 se aplica al decodificador 318 pero en este momento el decodificador no está capacitado. Las señales RADR 1, RADR 2, RADR 3, y RADR 4 se aplican todas a la puerta NAND 452 que identifica estos cuatro bitios de dirección como siendo la dirección del contador indicador de dirección.
25 La salida de la puerta NAND 452 prepara la puerta NAND 414 que está recibiendo las señales I/O READ o WRITE y SDMA ADR, en este momento. La puerta NAND 414 produce una señal de salida de nivel bajo que atraviesa el inversor 454 pasando a
30 ser la señal de nivel alto SDMA PROBE. La señal SDMA PROBE se

1 aplica a la puerta NAND 316 que es capacitada, además, por la
señal I/O WRITE, pero la puerta NAND está bloqueada en este mo
mento porque la señal SST 2 presenta el nivel bajo.

La señal SDMA PROBE se aplica también a la puerta NAND
5 310. La salida de nivel bajo resultante procedente de la puerta
NAND 310 se aplica a las entradas de selección de los MUX 302
y 303, seleccionando así la salida del registro de datos para
su aplicación a los contadores 320-323.

La salida de la puerta NAND 414 atraviesa la puerta
10 NOR 448 haciendo que la señal STEP ON tome el nivel alto mien
tras que la señal STEP ON toma el nivel bajo. La señal STEP ON
se aplica a las entradas A2 y D5 del MUX 506. Ya que el conta
dor 510 está en cero en este momento, la señal STEP ON aplica
da a la entrada A2 del MUX 506 selecciona la entrada D⁴. Esta
15 operación hace que la señal GO FF atraviese el MUX 506 llegan
do al contador 510, y al producirse la señal Ø2A el contador
avanza hasta una cuenta de uno. La salida del contador es deco
dificada por el decodificador 514 para generar la señal SST 1.

En la figura 6, la señal SST 1 capacita una entrada de
20 la puerta AND 622 la cual es capacitada, además, por la señal
de alto nivel DC BUSY A. La puerta AND 628 es capacitada por
la señal I/O WRITE y al producirse la señal Ø1A después de que
la señal SST 1 haya tomado el valor alto, la salida de la puer
ta AND 628 atraviesa la puerta AND 622 y la puerta NOR 618 pa
25 ra generar la señal LOAD DATA REG. Ya que la señal DRIVE DC
BUS tiene un nivel alto, el grupo de posiciones binarias de in
formación presente en la vía de datos del sistema se introduce
en el registro de datos del MUX 300 y del MUX 301. Ya que la
señal SDMA PROBE hace que la salida de la puerta NAND 310 se
30 leccione las entradas A de los MUX 302 y 303, el grupo de po

1 siciones binarias de información introducida en el registro
de datos es inmediatamente conducido a los contadores 320-323.
Sin embargo, la información no penetra en los contadores en
este momento.

5 En este momento, el contador 510 contiene la cuenta
de uno y la señal STEP ON presenta el nivel alto. La combina
ción de estas dos señales selecciona la entrada D5 del MUX
506 y por tanto la señal STEP ON es conducida a través del MUX
506 para capacitar el contador 510. Al producirse la señal
10 Ø2A, el contador avanza hasta el valor de dos y la salida del
contador es decodificada por el decodificador 514 produciendo
así la señal SST 2.

 En la figura 3, la señal SST 2 capacita la puerta
NAND 316, y ya que las otras entradas de la puerta NAND pre
15 sentan un nivel alto en este momento, da lugar a una señal
de salida de nivel bajo para capacitar el decodificador 318.
El decodificador está recibiendo las señales de nivel alto
DC BUSY A y RADR 0 en este momento, y por tanto produce una
señal de salida de nivel bajo para capacitar la carga de los
20 contadores 320 y 321. En este momento, los contadores 320 y
321 se cargan con el grupo de posiciones binarias de informa
ción que había sido mantenido en el registro de datos.

 Durante toda la operación de salida la señal DISABLE
BREQ presenta el nivel bajo, bloqueando así la puerta AND 306.
25 La salida de nivel bajo de la puerta AND 306 es transmitida
a través del inversor 308 y se aplica a la entrada D6 del MUX
506. La señal STEP ON presenta todavía el nivel alto y duran
te la señal SST 2 el contador 510 contiene una cuenta de dos
y, por tanto, la señal ENABLE STEP es conducida a través del
30 MUX 506 al contador 510. Cuando se produce la señal Ø2A el

1 impulso de ritmo hace avanzar el contador hasta tres y el de
codificador 514 decodifica este valor para generar la señal
SST 3.

La señal SST 3 efectúa la reposición del flip-flop
5 GO·424, finalizando así las señales GO FF y NOT READY. La se
ñal NOT READY se manda de nuevo a la CPU donde termina el es
tado de espera y la CPU reanuda la ejecución de la instruc
ción de salida. A continuación, la CPU finaliza la señal
WRITE PULSE y, por tanto, el inversor 508 aplica una señal de
10 entrada de nivel bajo a la puerta NOR 504. La puerta NOR es
tá recibiendo una señal de nivel bajo en su otra entrada en
este momento y, por tanto, una salida de nivel alto proceden
te de la puerta NOR 504 atraviesa el MUX 506 para capacitar
el contador 510. Al producirse la primera señal Ø2A del si
15 guiente ciclo de tratamiento (M1) el contador es avanzado por
un impulso de ritmo, lo que le hace volver a su estado cero.
Esto concluye la operación de salida para cargar la mitad in
ferior del contador indicador de dirección.

SEGUNDA INSTRUCCION DE SALIDA. Después de completarse la
20 operación de salida que se acaba de describir, la CPU ejecuta
otra instrucción de salida con el objeto de cargar la mitad
superior del contador indicador de dirección. Esta instruc
ción se ejecuta exactamente de la misma manera que la instruc
ción de salida anterior, con una excepción. La dirección apli
25 cada en la vía de direcciones del sistema tiene el formato re
presentado en la figura 10B. Ya que el bitio A0 es un cero,
el inversor 400 produce la señal de nivel bajo RADR 0 que se
aplica al decodificador 318. La señal de nivel bajo RADR 0,
en combinación con la señal de nivel alto DC BUSY A hace que
30 el decodificador 318 produzca una señal de salida de nivel

1 bajo en el terminal 2, capacitando así los terminales de carga
de los dos contadores de posiciones más altas 322 y 323. De
este modo, el grupo de posiciones binarias de información pro
cedente del acumulador es transmitido a través del registro
5 de datos y a través de los MUX 302 y 303, y penetra en los con
tadores de posiciones superiores 322 y 323.

Respecto a ambas primera y segunda instrucciones de
salida se observará que no se necesita establecer una comuni
cación con el SDC elegido, ya que cualquier comunicación du
10 rante estas dos instrucciones de salida se efectúa entre la
CPU y el mismo SDMA. Durante la señal SST 1, la señal de nivel
bajo STEP ON bloquea la puerta NAND 716 para impedir la acti
vación del flip-flop 720 y la generación de la señal SALT.
Durante la señal SST 2, la señal STEP ON bloquea la puerta
15 736 para impedir la activación del flip-flop 740 y la genera
ción de la señal FALT. Ya que no se genera la señal FALT, el
SDC no generará la señal FACK. Sin embargo, el SDC estará to
davía produciendo la señal SACK que había sido activada duran
te la ejecución de la instrucción de entrada.

20 TERCERA INSTRUCCION DE SALIDA. Después de ejecutarse las dos
instrucciones de salida para cargar el contador indicador de
dirección, la CPU ejecuta una tercera instrucción de salida
que suministra realmente la orden que indica al SDC la función
que debe realizarse. Cuando se produce la primera señal 03A
25 del tercer ciclo de tratamiento (M3) de la CPU, durante la
ejecución de la instrucción de salida, la CPU aplica a la vía
de direcciones del sistema una dirección que tiene el formato
representado en la figura 10E, y aplica a la vía de datos del
sistema un grupo de posiciones binarias que representa la or
30 den real. Para facilitar la presente descripción, se supone

1 que el bitio uno contenido en A3 y el bitio cero contenido en
A4 definen la dirección de un registro de órdenes de SDC y que
el grupo de posiciones binarias presente en la vía de datos es
40, designando una orden de impresión. A partir de la vía de
5 direcciones del sistema, el bitio de dirección de orden infe
rior atraviesa el inversor 400, la puerta AND 405 ahora capa
citada, y la puerta NOR 407, pasando a ser la señal $\overline{RSL} 0$ en
la vía de direcciones del SDC. Las señales A1-A4 atraviesan
los inversores 401-404 y el MUX 406 y pasan a ser las señales
10 $\overline{RSL} 1$ - $\overline{RSL} 4$ en la vía de direcciones del SDC.

Los bitios de dirección A5-A7 son identificados por
la puerta NAND 408 y la salida de la puerta NAND capacita una
entrada de la puerta NAND 412. Una segunda entrada de la puer
ta NAND 412 es capacitada por la señal $\overline{CPU SYNC}$ que se activa
15 al mismo tiempo que se aplican los bitios de dirección a la
vía de direcciones. Al producirse el siguiente impulso de re
loj $\emptyset 4A$, la señal \overline{OUTPUT} toma el nivel bajo y, por tanto, el
excitador 610 produce la señal I/O WRITE. Esta última señal
es transmitida a través de la puerta NOR 612 y el inversor 614
20 para generar la señal I/O RD o WR.

La señal I/O RD o WR capacita una tercera entrada
de la puerta NAND 412 y al producirse el siguiente impulso
 $\emptyset 1A$, la puerta NAND 412 genera la señal $\overline{START PULSE}$. La señal
 $\overline{START PULSE}$ activa inmediatamente el flip-flop 424 para gene
25 rar la señal GO FF. La señal GO FF se invierte en 428 pasando
a ser la señal $\overline{NOT READY}$ que se manda de nuevo a la CPU con
el objeto de situarla en el estado de espera descrito anterior
mente.

La señal GO FF atraviesa el MUX 506 llegando al con
30 tador 510 y al producirse el impulso $\emptyset 2A$ el contador avanza

1 hasta la cuenta uno y, por tanto, el decodificador 514 produce la señal SST 1.

Durante la generación de la señal SST 1, la orden
5 propiamente dicha, ahora presente en la vía de datos del sistema, se introduce en el registro de datos. En la figura 6, las señales I/O WRITE, GO FF, y $\overline{\text{DC BUSY A}}$ preparan toda la
puerta AND 648 de manera que produzca una señal de salida que
atraviesa la puerta NOR 642 y el inversor 644 para generar la
señal de nivel alto DRIVE SDC BUS. En la figura 3, la señal
10 DRIVE SDC BUS capacita las puertas NAND 311 de tal manera que la salida de los MUX 302 y 303 pueda ser conducida a la vía de datos del SDC. La señal DRIVE SDC BUS aplica la entrada de selección de los MUX 300 y 301 del registro de datos con el nivel alto para seleccionar las entradas B de los MUX que están
15 conectados con la vía de datos del sistema. La señal $\overline{\text{STEP ON}}$ tiene el nivel alto y los bloques NAND 310 están aplicando así la entrada de selección de los MUX 302 y 303 con nivel bajo, con lo cual se preparan estos MUX para la recepción de las salidas procedentes de los MUX 300 y 301 del registro de datos.
20 En la figura 6, la señal I/O WRITE capacita la puerta AND 628 y a cada impulso $\emptyset 1A$ produce una señal de salida para capacitar la puerta AND 622. La señal $\overline{\text{DC BUSY A}}$ presenta el nivel alto y capacita una segunda entrada de la puerta AND 622. La señal SST 1 se aplica a una tercera entrada de la puerta AND
25 622 de modo que al producirse la señal $\emptyset 1A$ de SST 1, la puerta AND 622 produzca una señal de salida que atraviesa la puerta NOR 618 pasando a ser la señal $\overline{\text{LOAD DATA REG}}$. Esta última señal capacita la aplicación sincronizada de la orden presente en la vía de datos del sistema, a los acumuladores 300 y
30 301 del registro de datos. Inmediatamente después de cargar

1 el registro de datos, su contenido atraviesa los MUX 302 y
303, así como las puertas 311 llegando a la vía de datos de
SDC.

5 El SDC que ha acusado recibo de su selección durante
la instrucción de entrada, ha mantenido su señal de acuse de
recibo de selección con nivel bajo. La señal $\overline{\text{SACK}}$ atraviesa
el inversor 724 pasando a ser la señal D SACK que capacita la
entrada D1 del MUX 506. Ya que el contador 510 contiene una
10 cuenta de uno, la señal D SACK atraviesa el MUX 506 para capa
citar el contador 510. Al producirse la señal $\emptyset 2A$ el contador
avanza hasta una cuenta de dos y, por tanto, el decodificador
514 termina la señal SST 1 e inicia la señal SST 2.

15 Durante la generación de la señal SST 2, el SDMA man
da una señal $\overline{\text{FALT}}$ al SDC para decir a éste que existe una in
formación válida disponible para él en la vía de datos del
SDC. La señal SST 2 atraviesa la puerta NAND 736 y la puerta
NOR 738 para capacitar el flip-flop 740 y al producirse el si
guiente impulso $\emptyset 3A$ el flip-flop es activado para generar la
señal $\overline{\text{FALT}}$.

20 En respuesta a la señal $\overline{\text{FALT}}$ el SDC introduce la or
den presente en la vía de datos de SDC en el registro cuya
dirección esta especificada por la dirección presente en la
vía de direcciones de SDC. Después de introducir la orden en
el registro, el SDC genera la señal $\overline{\text{FACK}}$ como señal de acuse
25 de recibo. En la figura 6, la señal $\overline{\text{FACK}}$ atraviesa el inver
sor 600 pasando a ser la señal D FACK. En la figura 5, la se
ñal D FACK atraviesa el MUX 506 para llegar al contador 510
y al producirse el impulso $\emptyset 2A$ el contador avanza hasta una
cuenta de tres, haciendo así que el decodificador 514 termi
30 ne la señal SST 2 e inicie la señal SST 3. En la figura 7,

1 la terminación de la señal SST 2 hace que el flip-flop 740
vuelva inmediatamente en cero, terminando así la señal FALT.

En la figura 4, la señal SST 3 produce la reposición
del flip-flop GO 424, terminando así la señal NOT READY. Esto
5 capacita la CPU para reanudar la ejecución de la instrucción
de salida. A continuación la CPU finaliza la señal WRITE PULSE
que es transmitida a través del inversor 508 para bloquear la
puerta NOR 504 y para aplicar una señal a través de la entra
da D3 del MUX 506 al contador 510. Al producirse el siguiente
10 impulso Ø2A, el contador avanza y vuelve así al estado cero.
Esto hace que el decodificador 514 finalice la señal SST 3.

Esta operación concluye la secuencia de instruccio
nes para preparar una transferencia de datos entre un SDC ele
gido y la memoria. La secuencia incluye una instrucción de en
15 trada y tres instrucciones de salida. Durante la instrucción
de entrada, se elige el SDC que ha de ser involucrado en la
operación de transferencia de datos y su estado es transmiti
do a la CPU. Durante las primera y segunda instrucciones de sa
lida, el contador indicador de dirección situado en el SDMA se
20 carga con un valor que representa la primera dirección en la
memoria que ha de ser involucrada en la operación de transfe
rencia de datos. Finalmente, durante la tercera instrucción de
salida, se manda una orden al SDC elegido para indicarle qué
operación ha de ser realizada. La CPU puede ahora volver libre
25 mente a su programa. La transferencia real de datos entre el
SDC elegido y la memoria, se efectúa mediante acceso directo
a la memoria con el contador indicador de direcciones situado
en el SDMA.

TRANSFERENCIAS DE DATOS

30 TRANSFERENCIAS DE SALIDA. El SDC elegido analiza la orden que

1 ha recibido durante la tercera instrucción de salida de la se
cuencia de preparación y determina qué acción ha de ser toma
da en respuesta a esta orden. Para facilitar la explicación
se supondrá que el SDC elegido controla una impresora de li
5 neas capaz de imprimir 132 caracteres por línea. Se supondrá,
además, que la orden indica al SDC que debe cargar su regis
tro intermedio a partir de la memoria con 132 grupos de posi
ciones binarias de datos en preparación para una operación de
impresión. Haciendo referencia a la figura 12A, tan pronto co
10 mo el SDC ha analizado la orden, empieza la operación de trans
ferencia de datos mediante la generación de las señales de ni
vel bajo $\overline{\text{DREQ}}$ y $\overline{\text{SDC BUSY}}$. La señal $\overline{\text{DREQ}}$ será generada por cada
grupo de posiciones binarias que haya de ser transferido, pero
la señal $\overline{\text{SDC BUSY}}$ conservará un nivel bajo en toda la operación
15 de transferencia de datos. Ya que esta operación incluye una
lectura a partir de la memoria, el SDC mantiene la señal $\overline{\text{D-}}$
 $\overline{\text{WRITE}}$ a un nivel alto durante toda la operación de transferen
cia de datos. En la figura 8, estas señales procedentes del
SDC hace que las señales READ, DREQ A y DC BUSY A tengan un
20 nivel alto, mientras que las señales D WRITE A y $\overline{\text{DC BUSY A}}$
toman un nivel bajo.

La señal $\overline{\text{SDC BUSY}}$ se mantiene con un nivel bajo du
rante toda la operación de transferencia de datos con el obje
to de impedir el cambio accidental del contenido del contador
25 indicador de direcciones, o la destrucción accidental de los
datos contenidos en el registro de datos en el caso de que la
CPU ejecute una instrucción de salida mientras se está efec
tuando la operación de transferencia de datos. En la figura 6,
la señal de nivel bajo $\overline{\text{DC BUSY A}}$ se aplica al decodificador
30 318, y por tanto, incluso si el decodificador recibe una en

1 trada de capacitación, su salida no elegiría ni la mitad supe
rior ni la mitad inferior del contador indicador de direccio
nes. En la figura 6, la señal $\overline{\text{DC BUSY A}}$ invalida las puertas
AND 622 y 648 para impedir que las señales $\overline{\text{LOAD DATA REG}}$ y
5 DRIVE DC BUS sean generadas si el SDMA detecta una instrucción
de salida capaz de generar la señal I/O WRITE en el excitador
610. Igualmente, la señal $\overline{\text{DC BUSY A}}$ bloquea la puerta AND 650
para impedir la generación de la señal $\overline{\text{PIN}}$ si el SDMA detecta
una instrucción de entrada capaz de producir la generación de
10 la señal I/O READ en los excitadores 610.

La señal DC BUSY A y la señal READ capacitan la
puerta AND 640 y ésta produce una señal de salida que atravie
sa la puerta NOR 642 y el inversor 644 para generar la señal
DRIVE SDC BUS. Debido a que las señales DC BUSY A y READ tie
15 nen ambas un nivel alto durante toda la operación de transfe
rencia de datos, la señal DRIVE DC BUS selecciona las entra
das B de los MUX 300 y 301 del registro de datos y capacita
las puertas NAND 311. La señal $\overline{\text{STEP ON}}$ bloquea la puerta NAND
310, preparando así los MUX 302 y 303 para que transmitan el
20 contenido del registro de datos a las puertas NAND 311, des
pués de haber sido cargado el registro de datos.

Cuando el SDC genera la primera señal $\overline{\text{DREQ}}$, un inver
sor 800 produce una señal de nivel alto DREQ A. Esta señal
atraviesa la puerta AND 662 la cual es capacitada además, en
25 este momento, por las señales READ y $\overline{\text{DISABLE BREQ}}$. La salida
de la puerta AND 662 atraviesa la puerta NOR 664 y el inver
sor 668 llegando hasta el flip-flop de requisito de via 660.
Al producirse el primer impulso $\emptyset 3A$ después de ser generada
la primera señal DREQ A, el flip-flop 660 se activa, haciendo
30 así que la señal $\overline{\text{BUS REQUEST}}$ tome el nivel bajo.

1 La señal BUS REQUEST se manda al dispositivo de ges
tión de vias para informar éste que el SDMA necesita utilizar
la via con el objeto de efectuar el direccionamiento de la me
2 moría. En realidad, la señal BUS REQUEST se aplica a un codi
5 ficador de prioridad situado en el dispositivo de gestión de
vias para generar una señal BUS GRANT, esencialmente de la mis
ma manera que se genera esta señal en la solicitud de patente
copendiente mencionada más arriba. Cuando el dispositivo de
gestión de vias determina que es preciso dar prioridad al SDMA
10 manda en retorno la señal BUS GRANT. La señal BUS GRANT capa
cita el decodificador 346 y el decodificador produce la señal
ENABLE DATA ADR.

 En la figura 8, la señal ENABLE DATA ADR atraviesa
la puerta NAND 844 y genera la señal MEM OP. La señal MEM OP
15 atraviesa el inversor 846 para generar la señal BUS BUSY que
se devuelve al dispositivo de gestión de vias y permite que
el SDMA se haga cargo del control de la via del sistema duran
te un ciclo de memoria de 940 nanosegundos.

 La señal BUS GRANT aplica el contenido del contador
20 indicador de direcciones a la via de direcciones del sistema
con el objeto de efectuar el direccionamiento de la memoria.
La señal BUS GRANT se aplica a las entradas de activación de
los MUX 332 y 334 y a las entradas de capacitación de los ex
citadores 342 y 344. Además, cuando la señal BUS GRANT capaci
25 ta el decodificador 346, este último produce una señal de sa
lida para capacitar los excitadores 340.

 Al mismo tiempo que la dirección se aplica a la via
de direcciones del sistema, las señales de control MEM START
y WRITE se mandan a la memoria por la via de control del sis
30 tema a partir de los excitadores 340. La señal MEM OP prepara

1 un excitador 340 para generar la señal de nivel bajo $\overline{\text{MEM START}}$.
En la figura 6, la señal D WRITE A tiene un nivel bajo y blo
quea la puerta AND 666, y por tanto la señal $\overline{\text{BUS REQ WRITE}}$ tie
ne el nivel bajo. Esta señal se aplica a un excitador 340 y,
5 por tanto, la señal $\overline{\text{WRITE}}$ tiene un nivel alto.

La memoria responde a la señal $\overline{\text{MEM START}}$ y a la se
ñal de nivel alto $\overline{\text{WRITE}}$ efectuando una operación de lectura
con el objeto de extraer el grupo de posiciones binarias de in
formación almacenado en la dirección especificada por el con
10 tador indicador de dirección. Después de que el grupo de posi
ciones binarias de información ha sido aplicado a la vía de
datos del sistema por la memoria, esta última genera la señal
de nivel bajo $\overline{\text{MEM ACK}}$. En la figura 8, la señal $\overline{\text{MEM ACK}}$ accio
na un excitador de 3 estados 828 para producir la señal MEM
15 ACK. La señal MEM ACK se aplica al flip-flop 842 y al produ
cirse el siguiente impulso $\emptyset 1A$, la salida del inversor 820 ac
tiva el flip-flop bloqueando así la puerta NAND 844 y termi
nando las señales MEM OP y $\overline{\text{BUS BUSY}}$.

En el momento en que el dispositivo de gestión de
20 vías ha generado la señal $\overline{\text{BUS GRANT}}$, esta señal ha actuado por
medio de los excitadores 830 para producir la señal de nivel
alto BUS GRANTED y la señal de nivel bajo $\overline{\text{BUS GRANTED}}$. La se
ñal $\overline{\text{BUS GRANTED}}$ efectúa la reposición del flip-flop de requi
sito de vía 660. La señal BUS GRANTED y la señal READ han ca
25 pacitado ambas la puerta AND 826 durante el ciclo de memoria.
Al mismo tiempo que la señal MEM ACK es generada para activar
el flip-flop 842, atraviesa la puerta AND 826 y la puerta NOR
618 para generar la señal $\overline{\text{LOAD DATA REG}}$. Esta señal produce
la introducción sincronizada del grupo de posiciones binarias
30 de información que ha sido extraído de la memoria desde la

1 via de datos del sistema a los acumuladores situados en los
multiplexores 300 y 301 del registro de datos, Ya que la señal
DRIVE SDC BUS tiene un nivel alto durante toda la operación de
transferencia de datos, el grupo de posiciones binarias de infor
5 mación pasa inmediatamente a través del registro de datos, a
través de los MUX 302 y 303, y a través de las puertas 311 pa
ra llegar a la via de SDC.

Además de generar la señal LOAD DATA REG, la puerta
AND 826 produce la señal LOAD READ DATA que se aplica a través
10 del inversor 838 para activar el flip-flop 816 indicando así
que el registro de datos ha sido cargado.

La salida de activación del flip-flop 816 produce
la señal de nivel alto DR LD FF que se aplica al flip-flop
752, de tal manera que el flip-flop 752 se activa inmediata
15 mente al ser activado el flip-flop 816. Estando activado el
flip-flop 752, la señal de nivel alto DISABLE BREQ capacita
la puerta AND 306 la cual bloquea a su vez la puerta NAND 310
para asegurar la aplicación de una señal de nivel bajo a los
MUX 302 y 303 con el objeto de conducir el contenido del re
20 gistro de datos a través de los MUX 302 y 303 a las puertas
311. Las puertas 311 están acondicionadas durante toda la ope
ración de transferencia de datos por la señal DRIVE DC BUS y,
por tanto, los datos procedentes del registro de datos se
aplican a la via de datos del SDC.

25 Cuando se activa el flip-flop 752, la señal de nivel
bajo DISABLE BREQ bloquea la puerta AND 662 y finaliza la en
trada de nivel alto que se aplica al flip-flop 660.

Al producirse el primer impulso 03A después de can
gar el registro de datos y después de activarse el flip-flop
30 752, la salida del flip-flop 752 activa el flip-flop 750. Al

1 ser activado el flip-flop 750, su salida acciona un excitador
706 para aplicar la señal de nivel bajo $\overline{\text{DACK}}$ a la vía de con-
trol de SDC. Esta señal indica al SDC que un grupo de posicio-
nes binarias de información está disponible en la vía de da-
5 tos del SDC y ha de ser introducido en el registro intermedio
del SDC. Cuando el SDC acepta el grupo de posiciones binarias
de información, el SDC finaliza la señal $\overline{\text{DREQ}}$ y la señal DREQ
A toma el nivel bajo. En la figura 7, la señal DREQ A efectúa
la reposición de los flip-flop 750 y 752. En la figura 6, blo-
10 quea la puerta AND 662. Esto impide la generación de otra se-
ñal BUS REQUEST hasta que el SDC indique que desea efectuar
otro requisito generando de nuevo la señal $\overline{\text{DREQ}}$.

Un ciclo de memoria (940 nanosegundos) después de
haber sido iniciada, la señal $\overline{\text{BUS GRANT}}$ es interrumpida por
15 el dispositivo de gestión de vías. En la figura 3, la señal
 $\overline{\text{BUS GRANT}}$ bloquea los excitadores y multiplexores a través de
los cuales se aplica el contenido del contador indicador de
direcciones a la vía de direcciones del sistema. En la fig. 8,
la señal BUS GRANTED disminuye hasta el nivel bajo, y la se-
20 ñal $\overline{\text{BUS GRANTED}}$ sube hasta el nivel alto cuando la señal $\overline{\text{BUS-}}$
 $\overline{\text{GRANT}}$ termina. La señal $\overline{\text{BUS GRANTED}}$ efectúa la reposición del
flip-flop 842 y al volver a cero el flip-flop, la señal positi-
va $\overline{\text{END MEM OP FF}}$ se aplica al contador de posición más baja
320 del contador indicador de direcciones, añadiendo así un
25 uno a la dirección contenida en el contador. El contador está
ahora preparado para efectuar el direccionamiento del siguien-
te emplazamiento de memoria más elevado cuando el SDC efectúa
el siguiente requisito de datos.

Esto completa la transferencia de un grupo de posi-
30 ciones binarias de información desde la memoria hasta el SDC.

1 Tan pronto como el SDC está preparado para otro grupo de posi-
 ciones binarias de información, generará de nuevo la señal de
 requisito de datos $\overline{\text{DREQ}}$ y se efectuará otra operación de trans-
 5 ferencia idéntica a la que se acaba de describir. Después de
 132 transferencias idénticas a la que se acaba de describir,
 el registro de la impresora estará cargado, y al detectar es-
 ta circunstancia, el SDC finaliza la señal de nivel bajo $\overline{\text{SACK}}$
 que había sido transmitida de nuevo al SDMA durante toda la
 operación de transferencia de datos. Cuando la señal $\overline{\text{SACK}}$ ha
 10 terminado, la señal de nivel bajo $\overline{\text{D SACK}}$ generada por el in-
 versor 730 finaliza, y esto termina la señal $\overline{\text{NAVAIL}}$ generada
 por la puerta NOR 544. Esto capacita la puerta NAND 542 de
 tal manera que las interrupciones puedan ser identificadas o
 que unas instrucciones de entrada puedan ser ejecutadas sin
 15 activar el flip-flop ocupado 422. El SDC puede ahora iniciar
 un requisito de interrupción para indicar a la CPU que está
 preparada para la impresión. Después del ciclo de impresión
 de la impresora, el SDC comunicará de nuevo su estado a la
 CPU.

20 TRANSFERENCIAS DE ENTRADA. Las transferencias de datos desde
 un SDC hasta la memoria se inician de manera muy parecida a
 las transferencias de salida. Cada vez que el SDC ha aplicado
 un grupo de posiciones binarias de información a la vía de da-
 25 tos del SDC para su transferencia a la memoria la señal $\overline{\text{DREQ}}$
 toma un nivel bajo lo que hace que el inversor 800 produzca
 la señal de salida de nivel alto DREQ A. Haciendo referencia
 a la figura 12B, se ve que al mismo tiempo que se genera la
 señal $\overline{\text{DREQ}}$ para el primer grupo de posiciones binarias que ha
 de ser transferido, el SDC genera las señales de nivel bajo
 30 $\overline{\text{D WRITE}}$ y $\overline{\text{SDC BUSY}}$. Estas dos señales permanecen con nivel ba-

1 jo durante toda la operación de transferencia de datos y, por
tanto, la señal D WRITE A producida por el inversor 808 y la
señal DC BUSY A producida por el inversor 624 tienen ambas un
nivel alto. La señal D SACK tiene un nivel alto porque se ha
5 elegido el SDC durante la instrucción de entrada de la secuen-
cia de preparación.

Cuando la señal DREQ A toma el nivel alto, capacita
la puerta AND 804, la cuál es capacitada, además, por la se-
ñal $\overline{DR LD FF}$. Al mismo tiempo, la señal D WRITE A capacita una
10 entrada de la puerta AND 812 la cual es capacitada, además,
debido a la reposición del flip-flop 750 de señal DACK. La sa-
lida de la puerta AND 812 prepara la puerta AND 804 para que
produzca la señal de nivel alto LOAD WRITE DATA y, a través
de la puerta NOR 618, la señal de nivel bajo $\overline{LOAD DATA REG}$.

15 La señal LOAD WRITE DATA capacita el flip-flop 816
y al producirse el siguiente impulso $\emptyset 1A$ se activa el flip-
flop. La señal $\overline{LOAD DATA REG}$ se aplica a los MUX 300 y 301 y,
ya que la señal $\overline{DRIVE SDC BUS}$ tiene un nivel bajo, la informa-
ción situada en la vía de datos de SDC es introducida en el
20 registro de datos por las entradas A. Ya que la señal $\overline{STEP ON}$
tiene un nivel alto, la puerta NAND 310 aplica una señal de
salida a los MUX 302 y 303 para seleccionar las entradas A y,
por tanto, el grupo de posiciones binarias de información si-
tuado en el registro de datos es transmitido a través de los
25 MUX 302 y 303 a los excitadores de 3 estados 314.

Cuando se activa el flip-flop 816, la señal DR LD-
FF se aplica a la puerta AND 666, y ya que las señales D-
WRITE A y $\overline{END MEM OP FF}$ tienen ambas el nivel alto, la puerta
AND produce la señal BUS REQ WRITE que se aplica a un excita-
30 dor 340. La salida de la puerta AND 666 pasa también a través

1 de la puerta NOR 664 y del inversor 668 para preparar el flip-flop de requisito de via 660. Al producirse el siguiente impulso $\overline{03A}$, el flip-flop se activa para producir la señal $\overline{BUS-REQUEST}$. El dispositivo de gestión de vias acusa recibo del
5 requisito de via devolviendo la señal de nivel bajo $\overline{BUS GRANT}$. En la figura 3, la señal $\overline{BUS GRANT}$ aplica la dirección procedente del contador indicador de direcciones a través de los MUX 332 y 334 y a través de los excitadores de 3 estados 342 y 344 a la via de direcciones del sistema para efectuar el direccionamiento de la memoria. Igualmente, la señal $\overline{BUS GRANT}$ capacita el decodificador 346 para producir la señal de nivel bajo $\overline{ENABLE DATA ADR}$. Esta última señal capacita los excitadores 340 y se aplica a la puerta NAND 844 para generar la señal de nivel alto MEM OP, y la señal de nivel bajo $\overline{BUS BUSY}$. La señal
10 MEM OP atraviesa un excitador 340 pasando a ser la señal $\overline{MEM-START}$. La señal $\overline{MEM START}$ en combinación con la señal de nivel bajo \overline{WRITE} hace que la memoria realice un ciclo durante el cual almacena el grupo de posiciones binarias de información situado en la via de datos, en la dirección especificada por la dirección extraída del contador indicador de direcciones.

La señal $\overline{BUS GRANT}$ procedente del dispositivo de gestión de vias se aplica a los excitadores 830 para generar la señal de nivel alto BUS GRANTED y la señal de nivel bajo $\overline{BUS-GRANTED}$. La señal $\overline{BUS GRANTED}$ se aplica al flip-flop 660 para
25 efectuar la reposición del flip-flop e interrumpir el requisito de via. La señal BUS GRANTED se aplica a la puerta AND 638 que ha sido capacitada ya porque la señal READ tiene un nivel bajo y, por tanto, la puerta AND 638 hace que la señal $\overline{ENABLE-DATA DRV}$ tome un nivel bajo. En la figura 3 esta última señal
30 capacita los excitadores 314 para aplicar el grupo de posicio

1 nes binarias de información a la vía de datos del sistema, de modo que sea almacenada durante el ciclo de memoria.

Después de que el flip-flop 816 ha sido activado para significar que el grupo de posiciones binarias de información presente en la vía de datos del SDC ha sido almacenada en el registro de datos, se ha mandado una señal de acuse de recibo al SDC de modo que ésta pueda preparar el siguiente grupo de posiciones binarias de información para su transferencia. Cuando se activa el flip-flop 816, la señal DR LD FF activa inmediatamente el flip-flop 752 y al producirse el siguiente impulso 03A, la señal del flip-flop 752 activa el flip-flop 750 de acuse de recibo de datos. La salida del flip-flop DACK atraviesa los excitadores 706 y pasa por la vía de control de SDC bajo la forma de la señal \overline{DACK} para informar el SDC que puede aplicar otro grupo de posiciones binarias de información a la vía de datos del SDC. En respuesta a la señal \overline{DACK} el SDC finaliza su señal DREQ, y la señal DREQ A hace volver en cero los flip-flop 750 y 752. Sin embargo, mientras que el flip-flop 750 está activado la señal \overline{DACK} FF tiene el nivel bajo y, como puede verse en la figura 8, bloquea las puertas AND 812 y 804, terminando así las señales LOAD WRITE DATA y $\overline{LOAD DATA REG}$.

Después de que la memoria ha aceptado el grupo de posiciones binarias de información en la vía de datos del sistema, genera la señal $\overline{MEM ACK}$ que atraviesa el excitador 828 y prepara el flip-flop 842 de señal END MEM OP de tal manera que el flip-flop sea activado al producirse el siguiente impulso 01A. Esto significa que la operación de memoria está terminada. La salida del flip-flop bloquea la puerta NAND 844 terminando así la señal MEM OP y la señal $\overline{BUS BUSY}$. Al mismo

1 tiempo, la señal END MEM OP FF efectua la reposición del flip-
 flop 816 a través de la puerta AND 814. La señal END MEM OP FF
 incrementa la dirección en los contadores indicadores de direc-
 ción 320-323 para obtener la dirección de memoria del siguien-
 5 te grupo de posiciones binarias que ha de ser transferido.

Tan pronto como el SDC recibe la señal DACK interrup-
 pe su requisito de datos al SDMA y efectúa las operaciones ne-
 cesarias para situar otro grupo de posiciones binarias de in-
 formación en la via de datos del SDC. Tan pronto como ha si-
 10 tuado este siguiente grupo de posiciones binarias de informa-
 ción en la via, la señal DREQ toma de nuevo el nivel bajo pa-
 ra iniciar otro ciclo con el objeto de transferir otro grupo
 de posiciones binarias de información hacia la memoria. Esta
 secuencia de operación continúa hasta que el SDC determine que
 15 ha transferido todos los grupos de posiciones binarias de in-
 formación de los cuales disponía para su transferencia. Des-
 pués de terminarse la transferencia de los datos, el SDC pue-
 de requerir una interrupción a través del SDMA para comunicar
 su estado a la CPU.

20 SECUENCIA DE INTERRUPCION.

Al final de una operación de transferencia de datos
 hacia o a partir de la memoria, un SDC genera un requisito de
 interrupción con el objeto de indicar al SDMA que está dispo-
 nible para efectuar otra operación, y con el objeto de infor-
 25 mar la CPU del estado del SDC. Además, los SDC pueden pedir
 interrupciones en otro momento, con el objeto de informar de
 varias condiciones de estado.

La via de control de SDC tiene un terminal que se
 extiende a través de él a partir de cada SDC hasta una entra-
 30 da del codificador de prioridad 526. A título ilustrativo se

1 supondrá que el SDC que tiene la dirección de aparato 3 acaba
de terminar una operación de transferencia de datos y desea
liberar su SDMA y comunicar su estado a la CPU. En la figura
5, el SDC genera la señal de nivel bajo $\overline{\text{INT REQ 3}}$ que es codi-
5 ficada por el codificador de prioridad 526 para producir dos
señales de nivel alto que se aplican a los flip-flop 534 y 536.
El codificador de prioridad produce también una señal de sali-
da que atraviesa el inversor 546 para capacitar la puerta NAND
542. Cuando ocurre el siguiente impulso $\emptyset 3A$, la puerta NAND
10 542 produce una señal de salida para activar los flip-flop
532 de capacitación de secuencia de interrupción. La salida
de este flip-flop introduce el valor 11 en los flip-flop 534
y 536 de retención de dirección. La salida del flip-flop 534
es la señal IDN 1 y esta señal se aplica al MUX 406 y al MUX
15 332. La salida del flip-flop 536 es la señal IDN 0 y esta se-
ñal se aplica a la puerta AND 462 y al MUX 332. Cuando se ac-
tiva el flip-flop 532, la señal de nivel bajo $\overline{\text{INT SEQ EN FF}}$
se aplica a los MUX 332 y 334 y esta señal selecciona las en-
tradadas A de estos MUX para su conexión con la vía de direccio-
20 nes del sistema cuando se produce una señal $\overline{\text{BUS GRANT}}$. En la
figura 4, la señal de nivel alto INT SEQ EN FF capacita la
puerta NAND 462 para dejar pasar la señal IDN 0, capacita la
entrada B1 del MUX 406 y aplica una señal de nivel alto a la
entrada de selección del MUX 406. Esto hace que los bitios de
25 direccionamiento 00111 se apliquen a las líneas de vía de di-
rección de SDC $\overline{\text{RSL 4-RSL 0}}$. Al mismo tiempo, la señal INT SEQ-
EN FF atraviesa la puerta NAND 656 y la puerta NOR 654 para
generar la señal $\overline{\text{PIN}}$.

Al producirse el primer impulso $\emptyset 2A$ después de ser
30 activado el flip-flop 532 de capacitación de secuencia de in

1 interrupción, la señal INT SEQ EN FF atraviesa el MUX 524 y ac
tiva el flip-flop 528. El estado de activación del flip-flop
528 y el estado de reposición del flip-flop 530 se decodifi
can por medio del decodificador 538 para producir la señal de
5 nivel bajo $\overline{IST\ 1}$. Al mismo tiempo, el decodificador termina
la señal $\overline{IST\ 0}$ y esta señal bloquea la entrada de capacitación
del codificador de prioridad 526 de tal manera que ninguna in
terrupción suplementaria puede ser identificada mientras se
está tratando la interrupción presente. En la figura 7, la se
10 ñal $\overline{IST\ 1}$ atraviesa la puerta NOR 718 para capacitar el flip-
flop 720 y cuando ocurre el impulso $\emptyset 3A$, el flip-flop es ac
tivado para producir la señal \overline{SALT} . Esta señal se devuelve al
SDC para informar éste que una dirección está presente en la
via de direcciones del SDC y está preparada para que el SDC
15 efectúe su muestreo. Esta dirección es la dirección del apar
to interrumpido y su propósito consiste en simular una selec
ción del aparato interrumpido de una manera muy parecida a la
que se produce durante la instrucción de entrada de una secuen
cia de preparación. La única diferencia consiste en que esta
20 dirección la señal $\overline{RSL\ 2}$ indica al SDC que se trata de una se
cuencia de interrupción en lugar de una secuencia de selección.

Después de que el SDC ha muestreado la dirección pre
sente en la via de direcciones de SDC responde con una señal
 \overline{SACK} . En la figura 4, la señal \overline{SACK} es invertida en 724 para
25 generar la señal D SACK. En la figura 5, la señal D SACK atra
viesa el MUX 524 para hacer volver en cero el flip-flop 528 y
activar el flip-flop 530. Las salidas de los flip-flop hacen
que el decodificador 538 termine la señal $\overline{IST\ 1}$ e inicie la
señal de nivel bajo $\overline{IST\ 2}$ y la señal de nivel alto IST 2. En
30 la figura 7, cuando la señal $\overline{IST\ 1}$ se ha terminado, el flip-

1 flop 720 de señal SALT vuelve inmediatamente a cero debido a la salida de la puerta NOR 718,

La señal $\overline{IST\ 2}$ atraviesa la puerta NOR 738 y capacita el flip-flop 740 de tal manera que este flip-flop sea activado al producirse el siguiente impulso $\emptyset 3A$. El flip-flop 740 produce la señal \overline{FALT} a través del excitador 706, y esta señal se devuelve al SDC para pedir el suministro del estado de interrupción. Cuando el SDC identifica la señal \overline{FALT} aplica el estado de interrupción a la vía de datos del SDC y responde con una señal \overline{FACK} .

En la figura 6, la señal \overline{FACK} es invertida en 600 pasando a ser la señal D FACK que capacita una entrada de la puerta AND 604. Ya que la señal $\overline{IST\ 2}$ tiene un nivel bajo, la salida de la puerta NOR 608 prepara además la puerta AND 604, y la salida de la puerta AND atraviesa la puerta NOR 618 para generar la señal $\overline{LOAD\ DATA\ REG}$. La señal $\overline{DRIVE\ SDC\ BUS}$ tiene en este momento un nivel bajo y, por tanto, el grupo de posiciones binarias de estado se introduce en los MUX 300 y 301 de registro de datos. La señal $\overline{STEP\ ON}$ invalida la puerta NAND 310 y, por tanto, el contenido del registro de datos es conducido a través de los MUX 302 y 303 a los excitadores 314.

La señal $\overline{D\ FACK}$ se aplica también a la puerta AND 606 y, en combinación con la señal $\overline{IST\ 2}$ genera la señal INT-REQ que se aplica al decodificador 346 seleccionando así el terminal 2 como terminal de salida del decodificador. La señal INT REQ capacita también el flip-flop 658 y al producirse el siguiente impulso $\emptyset 3A$, se activa el flip-flop para producir la señal INT REQ FF. Esta señal es transmitida a través del excitador 828 y por la vía de control del sistema bajo la forma de la señal $\overline{INT\ REQ}$.

1 Después de algún tiempo indeterminado, la CPU deter-
minará que puede ahora tratar la interrupción y, en este mo-
mento, la CPU genera una señal BUS GRANT tal y como se expli-
ca más detalladamente en la solicitud de patente copendiente
5 mencionada más arriba.

 En la figura 3, la señal BUS GRANT aplica a la vía
de direcciones del sistema una dirección que corresponde a las
señales aplicadas a las entradas A de los MUX 332 y 334. Ade-
más, la señal BUS GRANT capacita el decodificador 346 y produ-
10 ce una tensión de salida que capacita los excitadores 350 de
modo que apliquen a la vía de datos del sistema dos bitios de
la dirección de tres bitios que identifica el SDMA. De este
modo, se aplica a la vía de direcciones del sistema la direc-
ción 10100011 en la cual los dos bitios de orden inferior
15 identifican el SDC cuyo funcionamiento ha sido interrumpido
y los tres bitios de orden superior identifican su SDMA.

 En la figura 8, la señal BUS GRANT atraviesa los ex-
citadores 830 para generar la señal de nivel alto BUS GRANTED
y la señal de nivel bajo BUS GRANTED. En la figura 6, la se-
20 ñal BUS GRANTED capacita la puerta AND 638 y ya que la señal
INT SEQ EN FF tiene un nivel bajo, la salida de la puerta NOR
636 capacita además la puerta AND 638 de tal manera que la
puerta NOR 632 produce la señal de nivel bajo ENABLE DATA DRV.
En la figura, 3, esta última señal capacita los excitadores
25 314 para aplicar a la vía de datos del sistema las señales de
salida procedentes de los MUX 302 y 303. Ya que la señal de
salida procedente de la puerta NAND 310 tiene en este momento
un nivel bajo, esta tensión de salida corresponde al conteni-
do del registro de datos y es el estado comunicado por el SDC
30 cuyo funcionamiento ha sido interrumpido.

1 En la figura 5, se aplica la señal BUS GRANTED a
los MUX 522 y 524 y esta señal atraviesa los MUX al producir
se el siguiente impulso Ø2A. La salida del MUX 522 efectúa in
mediatamente la reposición del flip-flop 532 de capacitación
5 de secuencia de interrupción y la salida del MUX 524 avanza
la cuenta en los flip-flop 528 y 530 hasta tres,

 Estando activados ambos flip-flop 528 y 530, sus sa
lidas preparan el decodificador 538 para interrumpir la señal
IST 2. El decodificador produce en su terminal de salida núme
10 ro 3 una señal que no se utiliza,

 Cuando la señal $\overline{\text{IST 2}}$ ha terminado, el flip-flop
740 es inmediatamente puesto en cero por la salida de la puer
ta NOR 738 y se termina la señal $\overline{\text{FALT}}$. En respuesta a esta ope
ración, el SDC termina la señal $\overline{\text{FACK}}$.

15 La dirección aplicada a la vía de direcciones del
sistema y el estado aplicado a la vía de datos del sistema se
introducen en dos registros de equipo (no representados) si
tuados en el dispositivo de gestión de vías 104. El disposi
tivo de gestión de vías interrumpe la CPU de la manera expli
cada en la solicitud de patente copendiente mencionada más
20 arriba. Después de que la CPU ha efectuado el tratamiento del
estado, puede iniciar otra operación del SDC generando en
primer lugar una instrucción de entrada y a continuación una
secuencia de tres instrucciones de salida. Se entenderá que
25 la instrucción de salida final no necesita especificar una
operación de transferencia de datos de la manera descrita más
arriba, sino que puede designar una función particular del
equipo conectado con el SDC cuyo direccionamiento ha sido efec
tuado, tal como la selección de una operación de impresión o
30 de perforación, o la designación de un almacén de tarjetas, si

1 el equipo periférico conectado con el SDC es un registro de da
tos.

INFORMACION DEL ESTADO DURANTE LA INSTRUCCION DE ENTRADA

5 La secuencia de preparación de una instrucción de en
trada y tres instrucciones de salida que se ha descrito más
arriba, suponía que el SDMA no estaba ocupado y que el SDC in
dicado por la dirección de instrucción de entrada existía real
mente. Si una cualquiera de estas condiciones no se verifica,
se informa la CPU de esta circunstancia y las instrucciones de
10 salida pueden no ser dadas a continuación.

Si el SDMA está ocupado en el momento en que identi
fica su dirección y genera la señal START PULSE, se modifica la
secuencia de instrucción de entrada descrita más arriba. Si el
registro de información del SDMA está cargado, el flip-flop
15 816 se activa para indicar este hecho y la señal DR LD FF ten
drá un nivel bajo para indicar que el SDMA está ocupado. De
la misma manera, si cualquier SDC conectado con el SDMA está
produciendo una señal de nivel bajo SACK indicando que está co
municando con el SDMA, la señal D SACK, ilustrada en la figura
20 7, tiene un nivel bajo. Ambas señales DR LD FF y D SACK se
aplican a la puerta NOR 544 para generar la señal NAVAIL. La
señal NAVAIL se aplica a la puerta NOR 438 que recibe la señal
de nivel bajo INT SEQ EN FF. Esta última señal tiene un nivel
bajo cada vez que el SDMA está realizando una secuencia de in
25 terrupción. Por tanto, si el SDMA está ocupado, la puerta NOR
438 produce una señal de salida para capacitar el flip-flop
422 ocupado. Cuando se genera la señal START PULSE para acti
var el flip-flop GO, esta señal atraviesa también el inversor
436 y activa el flip-flop 422 ocupado, capacitando así una en
30 trada de la puerta NAND 442. La señal SELECTION tendrá un ni

1 vel alto de la manera descrita más arriba, de modo que la puer
ta NAND 442 produce una señal de salida que atraviesa la puer
ta NOR 448 para que la señal STEP ON tome el nivel alto. En
la figura 5, la señal STEP ON capacita la entrada A2 del MUX
5 506 y la señal procedente del flip-flop G0 atraviesa la entra
da D4 del MUX 506 llegando al contador 510. Esta operación
avanza el contador hasta la cuenta 1, y el decodificador 514
produce la señal SST 1. Sin embargo, la señal $\overline{\text{STEP ON}}$ tiene
un nivel bajo y bloquea la puerta NAND 716 de modo que no es
10 generada la señal $\overline{\text{SALT}}$ por el flip-flop 720 durante la genera
ción de la señal SST 1.

Ya que el contador 510 contiene una cuenta de uno,
la señal STEP ON aplicada a la entrada de una entrada D5 del
MUX 506 atraviesa el MUX llegando al contador, y al producir
15 se el siguiente impulso 02A, se interrumpe la señal SST 1 y
la señal SST 2 empieza. Normalmente, la señal $\overline{\text{FALT}}$ es genera
da durante la señal SST 2. Sin embargo, esto no es necesario
ya que el SDC está ocupado por otra parte y, por tanto, la se
ñal de nivel bajo $\overline{\text{STEP ON}}$ bloquea la puerta NAND 736 e impide
20 la activación del flip-flop 740 de alerta de funcionamiento.

La combinación de una cuenta de dos en el contador
510 y de la señal de nivel alto STEP ON selecciona la entrada
D6 del MUX 506. En la figura 3, la señal DISABLE DREQ tiene
un nivel bajo y, por tanto, el inversor 308 produce la señal
de nivel alto STEP ENABLE que se aplica a través de la entra
25 da D6 del MUX 506 al contador 510. Cuando se produce el si
guiente impulso 02A el contador avanza hasta una cuenta de
tres, haciendo así que el decodificador 514 termine la señal
SST 2 y empiece la señal SST 3. En la figura 4, la señal SST3
30 hace volver en cero el flip-flop G0 terminando así la señal

1 NOT READY, Esto permite que la CPU reanude la ejecución de la
instrucción de entrada. A continuación, la CPU termina la se
ñal DATA BUS IN y la salida de la puerta NOR 504 toma el nivel
alto. La salida de la puerta NOR 504 atraviesa el MUX 506 lle
5 gando al contador 510, y cuando se produce el siguiente impul
so $\phi 2A$, el contador avanza de nuevo volviendo a la cuenta cero.
Esto termina la generación de la señal SST 3 por el decodifi
cador 514. El flip-flop 422 ocupado vuelve a cero cuando la se
ñal INPUT se termina, lo que hace que la señal I/O RD o WR to
10 me el nivel bajo.

La salida de reposición del flip-flop 422 está co
nectada con la entrada D3 del MUX 303 como se ha explicado an
teriormente con relación a la figura 3, con el objeto de gene
rar el valor de estado de ocupación 80. Todas las entradas de
15 la puerta NAND 310 tienen un nivel bajo y, por tanto la salida
de la puerta NAND selecciona las entradas B de los MUX 302 y
303 para su aplicación a los excitadores de 3 estados 314.
Durante la señal SST 3, la puerta AND 630 es capacitada y, por
tanto, la puerta NOR 632 produce la señal de nivel bajo ENABLE-
20 DATA DRV y esta señal capacita los excitadores 314 para condu
cir el estado de ocupación a la vía de datos. A partir de la
vía de datos este estado vuelve al acumulador de la CPU. Des
pués de que el estado haya sido analizado por la CPU, ésta de
termina la acción que ha de ser realizada.

25 Si el SDC cuyo direccionamiento ha sido efectuado no
existe, la secuencia de instrucciones de entrada varía también
con relación a la secuencia normal. En tal caso, la secuencia
se efectúa de la manera normal hasta la señal SST 1, y en este
momento la puerta NAND 716 produce una señal de salida para ac
30 tivar el flip-flop 720 y generar la señal SALT. La salida de

1 la puerta NAND 716 es la señal $\overline{EN\ SALT\ X}$ que se aplica a la
entrada J, y a través del inversor 460 a la entrada \overline{K} del
flip-flop 446. Ahora bien, si el SDC cuyo direccionamiento ha
sido efectuado existe realmente, responde normalmente a la se
5 ñal \overline{SALT} con la señal \overline{SACK} antes de producirse el siguiente
impulso $\emptyset 1A$, y la señal \overline{SACK} es invertida en 724 transformán
dose en la señal D SACK que se aplica a través de la puerta
NOR 444 para mantener en posición cero el flip-flop 446. Si el
SDC cuyo direccionamiento ha sido efectuado no existe, no pue
10 de generar la señal \overline{SACK} y, por tanto, no se aplicará ninguna
señal de reposición al flip-flop 446. En tal caso, el flip-
flop se activa al producirse el primer impulso $\emptyset 1A$ que sigue
la generación de la señal \overline{SALT} . La salida del flip-flop 446
atraviesa la puerta NOR 448 para generar la señal STEP ON. La
15 señal $\overline{STEP\ ON}$ efectúa inmediatamente la vuelta en cero del
flip-flop 720, terminando así la señal \overline{SALT} e impide, además,
el accionamiento del flip-flop 740 que genera la señal \overline{FALT} .

La señal $\overline{STEP\ ON}$ capacita la puerta NAND 310 porque
la señal SDMA PROBE tiene un nivel bajo, para capacitar una
20 segunda entrada de la puerta NAND 310 y la señal DISABLE BREQ
tiene un nivel bajo para bloquear la puerta NAND 306. La sali
da de la puerta NAND 306 genera la señal de nivel alto ENABLE-
STEP y la puerta NAND 310 aplica una señal de nivel alto a la
entrada de selección de los MUX 302 y 303, seleccionando así
25 las entradas B. Todas estas entradas B están conectadas al
potencial +V, salvo la entrada B3 del MUX 303 que está reci
biendo la señal de nivel alto \overline{BUSV} . Por tanto, todas las sali
das de los MUX 302 y 303 presentan el nivel lógico cero, y es
tas salidas se aplican a los excitadores 314.

30 En la figura 5, la señal STEP ON atraviesa la entra

1 da D5 del MUX 506 y cuando se produce el siguiente impulso $\emptyset 2A$
avanza el contador 510 hasta una cuenta de dos. Esto termina
la señal SST 1 e inicia la señal SST 2,

5 Nada se produce durante la señal SST 2 la cual re-
presenta el intervalo de tiempo durante el cual el estado se
introduciría normalmente en el registro de datos. Ya que el
SDC cuyo direccionamiento ha sido efectuado no existe, no pue-
de facilitar la señal $\overline{D FACK}$ para capacitar la puerta AND 604
y cargar el registro de datos.

10 Con la cuenta de dos en el contador 510 y teniendo
la señal STEP ON el nivel alto, la señal ENABLE STEP se condu-
ce a través del MUX 506 hasta el contador 510. Cuando se pro-
duce el siguiente impulso $\emptyset 2A$, el contador avanza hasta una
cuenta de tres, el decodificador 514 termina la señal SST 2
15 y se inicia la señal SST 3,

20 Durante la generación de la señal SST 3, la puerta
AND 630 es capacitada y la puerta NOR 632 produce la señal de
nivel bajo $\overline{ENABLE DATA DRV}$, que se aplica a las entradas de
capacitación de los excitadores 314, lo que conduce el grupo
de posiciones binarias de estado 00 a la vía de datos. La se-
ñal SST 3 efectúa la reposición del flip-flop G0 y termina la
señal $\overline{NOT READY}$, permitiendo así a la CPU reanudar la ejecu-
ción de la instrucción de entrada. A continuación, la señal
 $\overline{DATA BUS IN}$ termina y una señal de salida de nivel alto proce-
25 dente de la puerta NOR 504 atraviesa el MUX 506 para capacitar
el contador 510. Cuando se produce el siguiente impulso $\emptyset 2A$,
el contador avanza hasta el estado cero, terminando así la se-
ñal SST 3 a la salida del decodificador 514. Esto concluye la
generación del grupo de posiciones binarias de estado en el
30 caso de un SDC no existente. Como anteriormente, el grupo de

1 posiciones binarias de estado se devuelve al acumulador de la CPU para su análisis.

En resumen, el presente invento proporciona unos me
dios con los cuales una multiplicidad de equipos periféricos
5 de control de SDC, que presentan diversas características, pue
den obtener acceso directo a una memoria aunque la unidad de
tratamiento central de control disponga solamente de dos ins
trucciones para controlar la preparación de las transferen
cias de datos entre la memoria y los SDC. Estas dos instruccio
10 nes son INPUT y OUTPUT. La instrucción INPUT se utiliza de la
manera con la cual se utilizan las instrucciones START I/O de
la técnica anterior para efectuar el direccionamiento de un
SDC y para obtener el estado del SDC cuyo direccionamiento ha
sido efectuado. A continuación se utiliza tres veces la ins
15 trucción OUTPUT, dos veces para cargar un contador indicador
de direcciones en un controlador compartido de acceso directo
a la memoria, y una vez para enviar una orden al SDC cuyo di
reccionamiento ha sido efectuado por la instrucción INPUT. El
SDMA presta servicio a una multiplicidad de SDC y no incluye
20 ninguna lógica dependente del equipo, es decir ninguna lógica
específica de cualquier tipo de SDC o de equipo periférico con
trolado por éste. El SDMA incluye solamente un circuito el
cual hubiese sido reproducido en cada uno de los SDC.

Aunque se ha descrito de manera detallada un modo
25 de realización preferido del invento, se entiende que pueden
realizarse numerosas modificaciones y sustituciones sin alejar
se del espíritu y del alcance del invento tal y como vienen
definidos en las reivindicaciones adjuntas.

1 TRADUCCION DE LAS INSCRIPCIONES DE LOS DIBUJOS ORIGINALES

FIGURAS 9, 11, 12A y 12B

- 1.- Impulsos de ritmo (reloj) A
- 2.- $\emptyset 1$ de Unidad Central (CPU)
- 5 3.- $\emptyset 2$ de Unidad Central (CPU)
- 4.- $\overline{A0-A15}$
- 5.- Señal de sincronización de Unidad Central ($\overline{CPU SYNC}$)
- 6.- Señal de entrada (\overline{INPUT})
- 7.- Señal de entrada/salida de escritura o lectura (I/O RD o WR)
- 10 8.- Señal de entrada/salida de lectura (I/O READ)
- 9.- Señal de dirección de controlador compartido de acceso directo a la memoria (SDMA ADR)
- 10.- Impulso de arranque ($\overline{START PULSE}$)
- 11.- Señal GO FF
- 15 12.- Señal SST 1
- 13.- Señal SST 2
- 14.- Señal SST 3
- 15.- Selección (SELECTION)
- 16.- Señal \overline{SALT}
- 20 17.- Señal \overline{SACK}
- 18.- Señal \overline{FALT}
- 19.- Señal \overline{FACK}
- 20.- Señal de carga de registro de datos (LOAD DATA REG)
- 21.- Señal de capacitación de excitador de datos (ENABLE DATA DRV)
- 25 22.- Señal de vía de datos activada (DATA BUS IN)
- 23.- Señal de controlador ocupado ($\overline{DC BUSY A}$)
- 24.- Señal \overline{PIN}
- 25.- Señal de excitación de vía de controlador de subsistema
- 30 (DRIVE SDC BUS)

- 1 26.- Señal $\overline{D0-D7}$
- 27.- Señal de salida (\overline{OUTPUT})
- 28.- Señal No Preparado ($\overline{NOT READY}$)
- 29.- Señal de exploración de controlador compartido de acceso
5 directo a la memoria (SDMA PROBE)
- 30.- Señal de operación en curso (STEP ON)
- 31.- Señal de excitación de vía de controlador (DRIVE DC BUS)
- 32.- Señal de carga de contador indicador de direcciones
(LOAD APC)
- 10 33.- Impulso de escritura ($\overline{WRITE PULSE}$)
- 34.- Señal \overline{DREQ}
- 35.- Señal de controlador de sistema ocupado (SDC BUSY)
- 36.- Señal de lectura (READ)
- 37.- Señal de requisito de vía ($\overline{BUS REQUEST}$)
- 15 38.- Señal de autorización de vía ($\overline{BUS GRANT}$)
- 39.- Señal de iniciación de memoria ($\overline{MEM START}$)
- 40.- Señal $\overline{D0-D7}$
- 41.- Señal de acuse de recibo de memoria ($\overline{MEM ACK}$)
- 42.- Señal $\overline{DR LD FF}$
- 20 43.- Señal $\overline{END MEM OP FF}$
- 44.- Señal \overline{DACK}
- 45.- Señal FF 752
- 46.- Señal $\overline{D WRITE}$
- 47.- Señal $\overline{DACK FF}$
- 25 48.- Señal de requisito de vía de escritura (BUS REQ WR)
- 49.- Lectura para transferencia de datos.
- 50.- Escritura para transferencia de datos.

En resumen, la presente patente de invención que se solicita, deberá recaer en las siguientes

REIVINDICACIONES

1 1. Mejoras introducidas en un sistema de trata-
miento de la información dotado de un ordenador central, al
5 menos un dispositivo controlador compartido para la activa-
ción de memoria directa, con una memoria, estando conectados
10 todos estos elementos a una vía principal común del sistema,
y con un número de aparatos periféricos, cada uno de los cua-
les está conectado a través de un dispositivo controlador de
subsistema a una vía principal de subsistema que une todos los
15 dispositivos controladores de subsistema a un dispositivo
controlador compartido, de modo que las señales de informa-
ción, de estado y de control que se transmiten entre los dis-
positivos controladores de subsistema y la vía principal de
sistema común pasan a través del dispositivo controlador com-
partido, caracterizándose dichas mejoras por el hecho de que
20 los dispositivos controladores de subsistema (122) y el dis-
positivo controlador compartido (108) presentan para la acti-
vación directa de la memoria un circuito (véase figura 2) que
reacciona frente a una única orden de entrada que es transmi-
tida a la vía principal de sistema (110) común para iniciar
25 una operación de entrada o salida de uno de los aparatos se-
leccionados entre los aparatos periféricos (114, 116, 118,
120) y alimentar a la vía principal de sistema (110) común
una indicación del estado del aparato seleccionado.

25 2. Mejoras según la reivindicación 1, caracteriza-
das porque el ordenador central (100) tiene un repertorio de
órdenes que comprende únicamente dos órdenes (entrada/ sali-
da) para llevar a cabo todas las transmisiones de información
y órdenes entre los aparatos periféricos (114, 116, 118,
30 120) y el ordenador central (100) y la memoria (102).

1 3. Mejoras según las reivindicaciones 1 ó 2, caracte-
rizadas por un contador (232) en el dispositivo controlador
compartido (108) para un acceso directo a la memoria; por un
5 dispositivo seleccionador que reacciona frente al dispositi-
vo de reconocimiento de direcciones (240) y una orden de sa-
lida procedente del ordenador central (100), para hacer entrar
por lectura en el contador (232) un valor en la vía principal
de información común (200); y por un dispositivo de transco-
nexión que une el contador (232) a la vía principal común de
10 direcciones (202), de modo que el contenido del contador (232)
puede efectuar directamente el direccionamiento de la memo-
ria (102).

15 4. Mejoras según la reivindicación 3, caracteriza-
das por un dispositivo que reacciona frente al dispositivo
de reconocimiento de direcciones (240) y frente a otros bits
de una dirección en la vía principal común de direcciones
(202) para transferir información en la vía común de informa-
ción (200) a un registro de órdenes en el dispositivo contro-
lador de subsistema seleccionado (SDC; 122).

20 5. Mejoras según la reivindicación 4, caracteriza-
das por un dispositivo que reacciona frente a una orden de
salida para cargar en el contador (232) una dirección de in-
dicación; y por un dispositivo que une el contador (232) con
la vía principal de sistema (110) para efectuar el direccio-
25 namiento de un emplazamiento de memoria, pudiéndose transmi-
tir grupos de posiciones binarias en la memoria (102) al dis-
positivo controlador de subsistema (122) seleccionado, o pu-
diéndose transmitir grupos de posiciones binarias de informa-
ción del dispositivo controlador de subsistema (122) seleccio-
30 nado a la memoria (102).

1 6. Mejoras según la reivindicación 5, caracteriza-
das por un dispositivo en el dispositivo controlador comparti-
do (108) para un acceso directo a la memoria, que reaccio-
na frente a una orden de salida adicional y frente a una com-
5 binación predeterminada de bits en la vía principal de sis-
tema para transmitir un grupo de posiciones binarias de con-
trol de la vía principal de sistema (110) al dispositivo
controlador de subsistema seleccionado (SDC; 122), para con-
trolar debido a ello la operación que ha de ser realizada por
10 el dispositivo controlador de subsistema seleccionado (SDC;
122), y el dispositivo periférico (114 a 120) asociado a ella.

15 7. Mejoras según una de las reivindicaciones 1 a 6,
caracterizadas porque cada dispositivo controlador comparti-
do (108, 108') presenta un dispositivo de reconocimiento de
direcciones (240) que impide la reacción del dispositivo con-
trolador frente a señales en la vía principal de sistema
(110) durante las órdenes de entrada y salida, si no existe
la dirección del dispositivo controlador (108, 108') en la
vía principal de sistema (110).

20 8. Mejoras según una de las reivindicaciones 3 a 7,
caracterizadas por un dispositivo destinado a hacer avanzar
el contador (232) un paso cada vez que se transmite un grupo
de posiciones binarias de información entre la memoria (102)
y el dispositivo controlador de subsistema seleccionado
25 (SDC; 122).

30 9. Mejoras según una de las reivindicaciones 1 a 8,
caracterizadas por un primer dispositivo de conmutación para
orientar selectivamente información en una de las dos direc-
ciones entre la vía principal de información del sistema

1 (200) y la vía principal de subsistema (124); por un segundo
dispositivo de conmutación para orientar selectivamente di-
recciones de la vía principal de direcciones del sistema
(202) a la vía principal de subsistema (124), presentando los
5 dispositivos controladores de subsistema (SDC; 122) en cada
caso un registro que es direccionable a través de direcciones
en la vía principal de subsistema (122); y por un dispositi-
vo que reacciona frente a una orden de entrada y una direc-
ción primera sobre la vía principal de direcciones del siste-
10 ma (202) con el fin de controlar los dispositivos de conmuta-
ción primero y segundo para fijar debido a ello el estado de
un dispositivo controlador de subsistema seleccionado (SDC;
122) en la vía principal de información del sistema (200).

15 10. Mejoras según una de las reivindicaciones 1 a
9, caracterizadas porque cada dispositivo controlador de sub-
sistema (122) presenta un registro de estado para alimentar
al dispositivo controlador compartido (108) una señal sobre
el estado del aparato periférico (114, 116, 118, 120).

20 11. Mejoras según una de las reivindicaciones 1 a
10, caracterizadas porque el dispositivo controlador compart-
tido (108) presenta un primer circuito que reacciona a una
orden de entrada y una dirección en la vía principal de sis-
tema (110) para seleccionar uno de los dispositivos controla-
dores de subsistema (122) y el aparato periférico asociado
25 (114, 116, 118, 120); y un segundo circuito para poner fuera
de funcionamiento el primer circuito cuando está ocupado el
dispositivo controlador compartido (108) o un dispositivo
controlador de subsistema (122) unido a él.

30 12. Mejoras según una de las reivindicaciones 1 a

1 11, caracterizadas porque la dirección en la vía principal
de sistema (110) presenta una primera parte de dirección que
representa la dirección del dispositivo controlador compa-
5 la dirección del dispositivo controlador de subsistema (122)
a seleccionar, y porque el circuito que reacciona frente a
la órden de entrada reacciona a la primera parte de direc-
ción para alimentar la segunda parte de dirección a todos
los dispositivos controladores de subsistema (122).

10 13. Mejoras según una de las reivindicaciones 1 a
12, caracterizadas porque el dispositivo controlador compa-
tido (108) presenta un dispositivo codificador (246) para
una prioridad de interrupción que reacciona frente a señales
de interrupción de dispositivos controladores de subsistema
15 (SDC), que pueden estar unidos al dispositivo controlador
compartido (SDMA; 108), presentando el dispositivo codifica-
dor (246) para una prioridad de interrupción un dispositivo
para generar un valor de bitios múltiples (122) que repre-
senta la dirección del dispositivo controlador de subsistema
20 al que se ha concedido la prioridad; con un registro que re-
cibe información del dispositivo controlador de subsistema
(122) para aplicar la información a la vía principal de in-
formación del sistema (200); con un dispositivo (212) que
reacciona frente al dispositivo codificador (246) para una
25 prioridad de interrupción para efectuar el direccionamiento
del dispositivo controlador de subsistema (122) al que se ha
concedido una prioridad, con el fin de cargar al registro el
estado del dispositivo controlador de subsistema (122); con
un dispositivo para generar una señal de requisito de in-
30 terrupción para acceso a la vía principal de sistema (110)

1 correpondiente a la carga del registro; y con un dispositi-
vo que reacciona frente a la señal de requisito de interrup-
ción para crear la dirección del dispositivo controlador
compartido (108) para un acceso directo a la memoria.

5 14. Mejoras según la reivindicación 13, caracteri-
zadas porque el dispositivo controlador compartido (108)
para un acceso directo a la memoria presenta un dispositivo
que reacciona frente a la señal de concesión de la vía prin-
cipal de sistema para orientar la dirección del dispositivo
10 controlador de subsistema (122) y la dirección del disposi-
tivo controlador compartido (108), para un acceso directo a
la memoria, a la vía principal de direcciones del sistema
(202), mientras que el estado del dispositivo controlador
de subsistema (122) es orientado del registro a la vía prin-
15 cipal de información del sistema (200)

15 15. Se reivindica por último como objeto sobre el
que ha de recaer la patente de invención que se solicita:
MEJORAS INTRODUCIDAS EN UN SISTEMA DE TRATAMIENTO DE LA IN-
20 FORMACION.

20 Todo conforme queda descrito y reivindicado en la
presente memoria descriptiva que consta de noventa y nueve
páginas mecanografiadas y dibujos adjuntos.

Madrid, 25 Enero 1977

BERNARDO UNGRIA

25

30

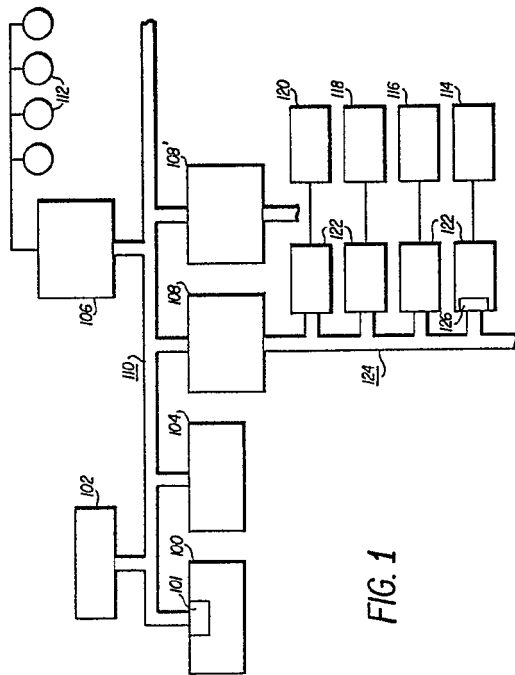


FIG. 1

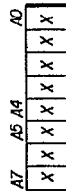


FIG. 10A

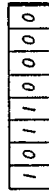


FIG. 10B

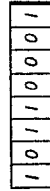


FIG. 10C

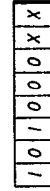


FIG. 10D

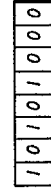


FIG. 10E

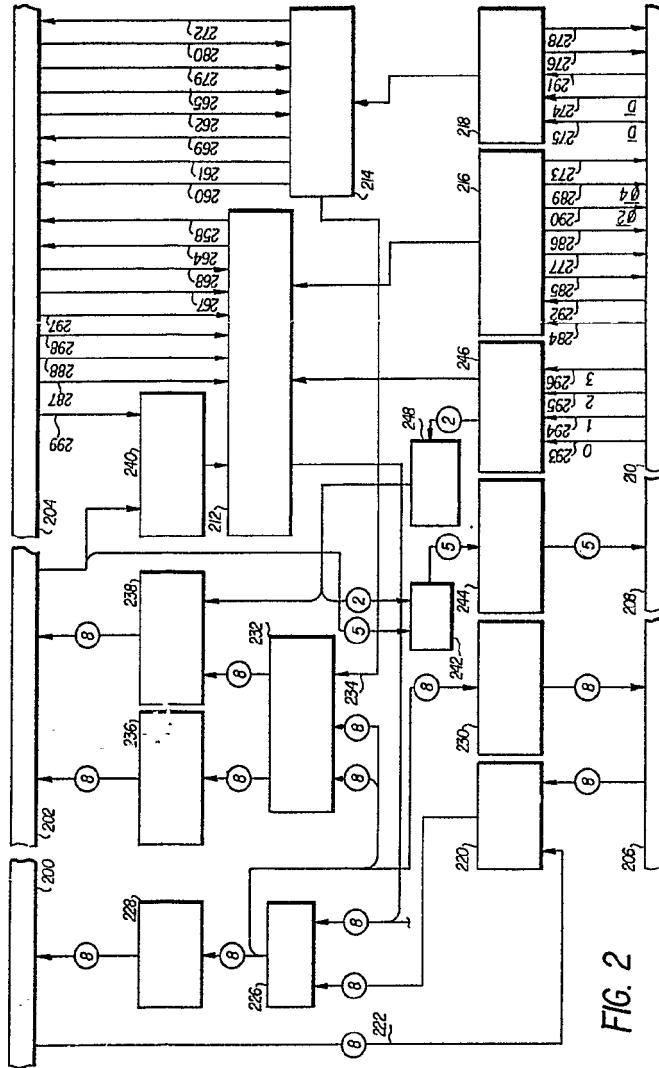


FIG. 2

ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO UNGRIA
 P.P.

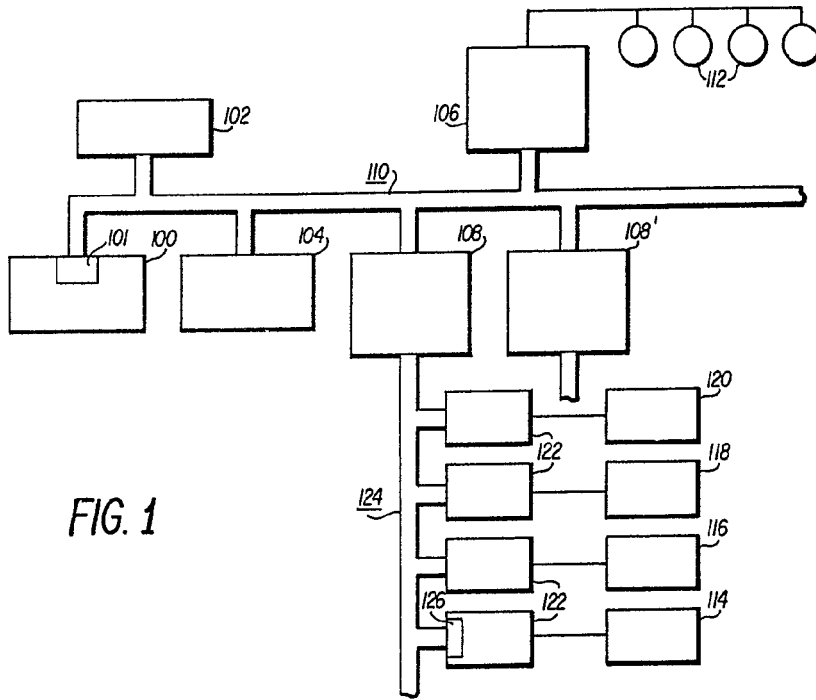


FIG. 1

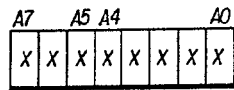


FIG. 10A

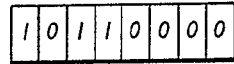


FIG. 10B

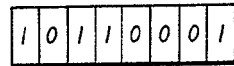


FIG. 10C

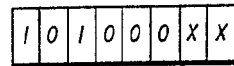


FIG. 10D

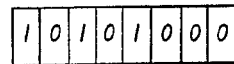


FIG. 10E

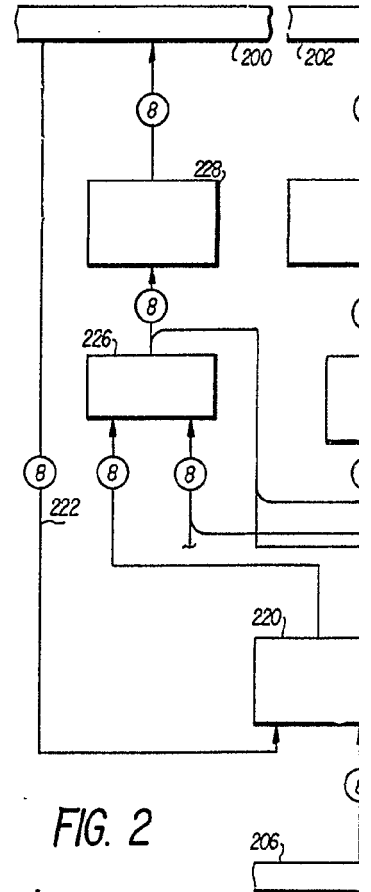
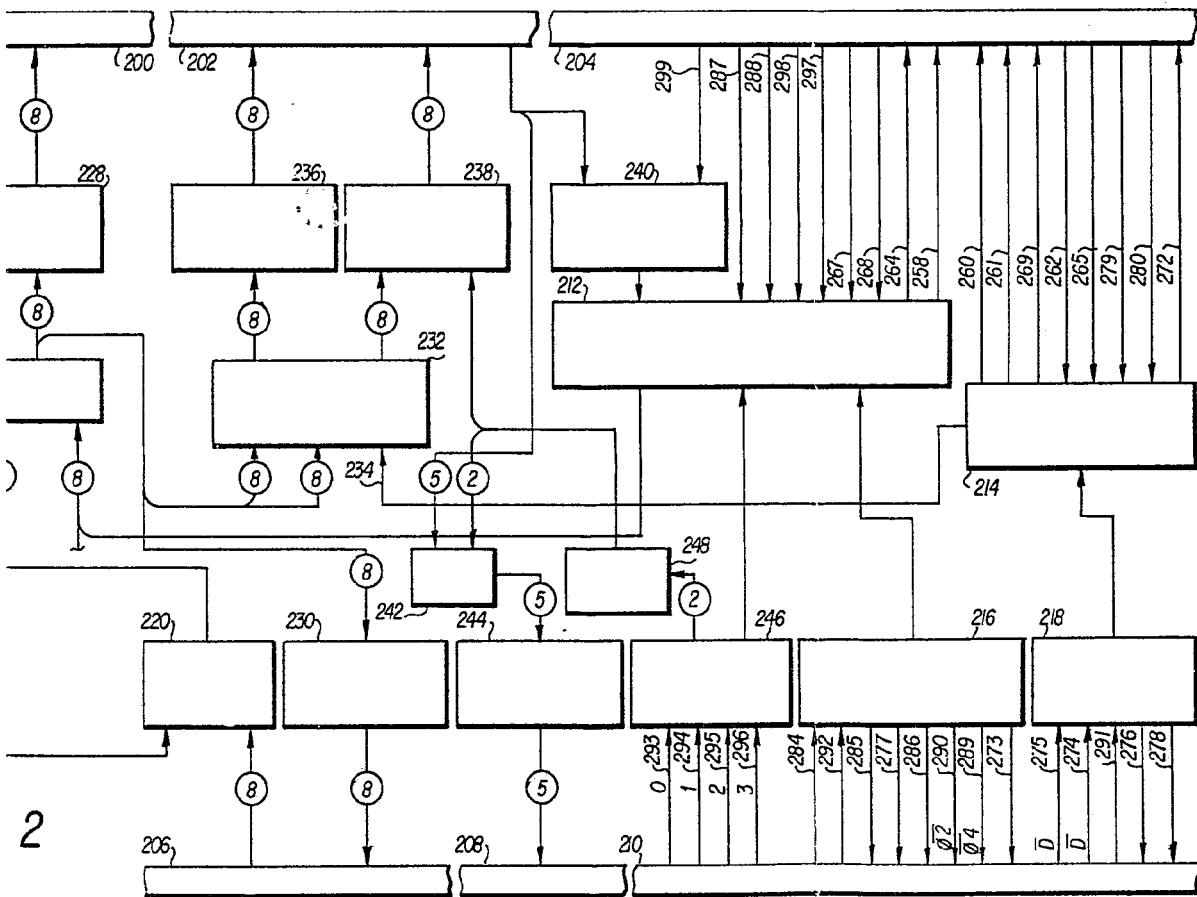


FIG. 2



2

ESCALA VARIABLE
Madrid, 25 de Enero 1.977
BERNARDO UNGRIA
P.P.

FIG. 3A

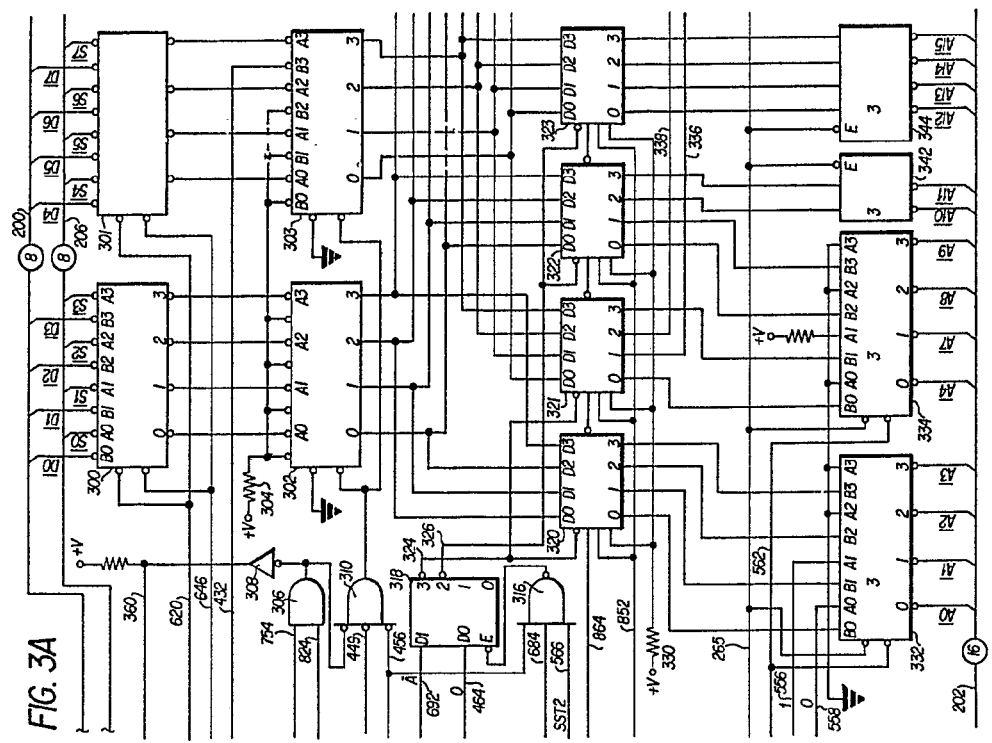


FIG. 3B

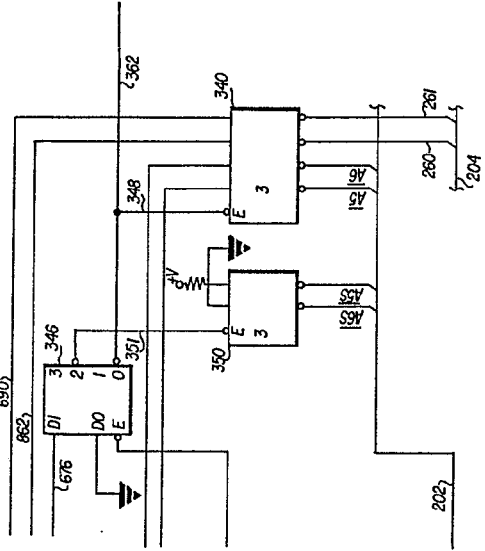
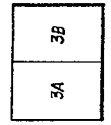


FIG. 3C



ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO URQUETA
 P.P.

SPAIN

FIG. 3A

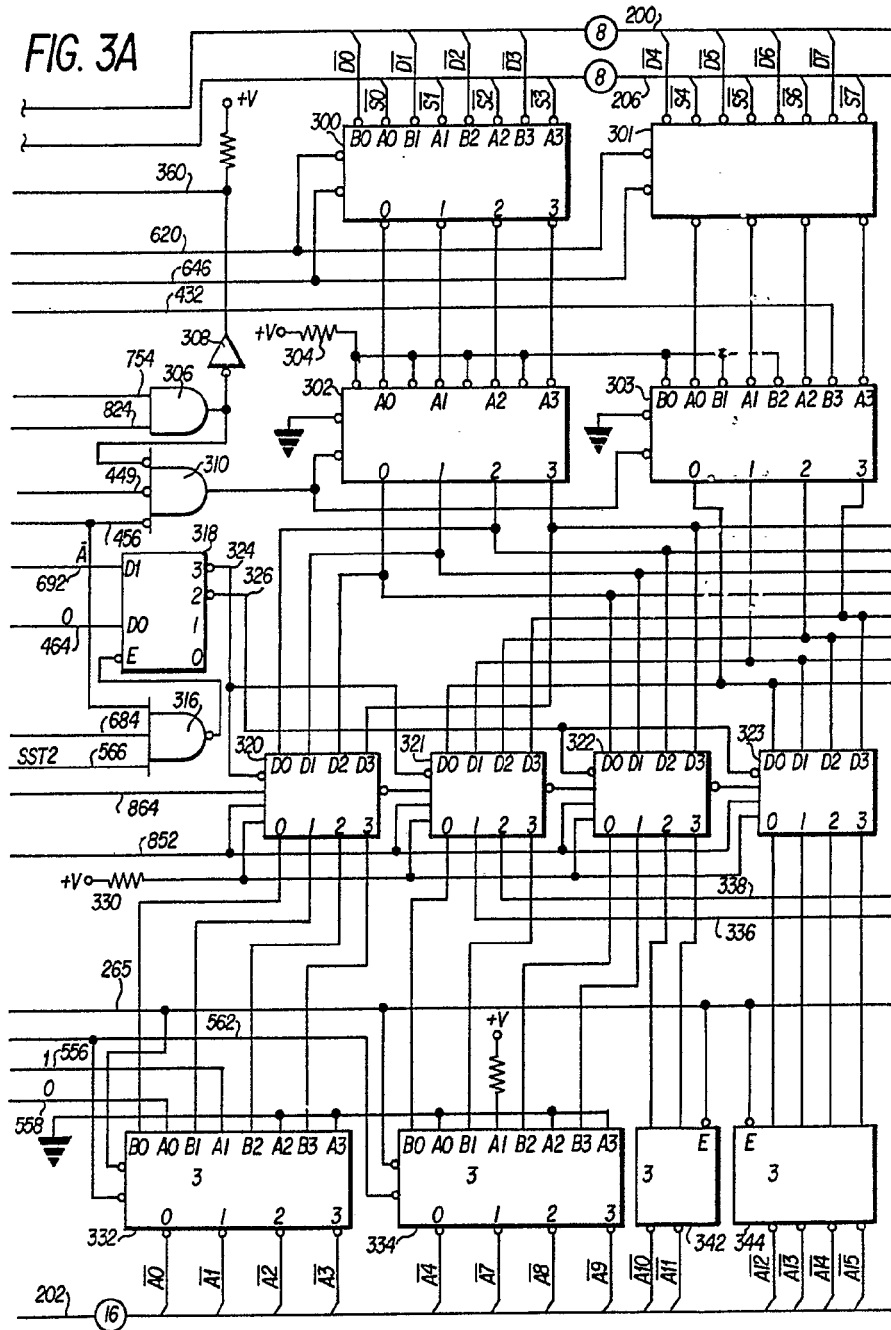


FIG. 5

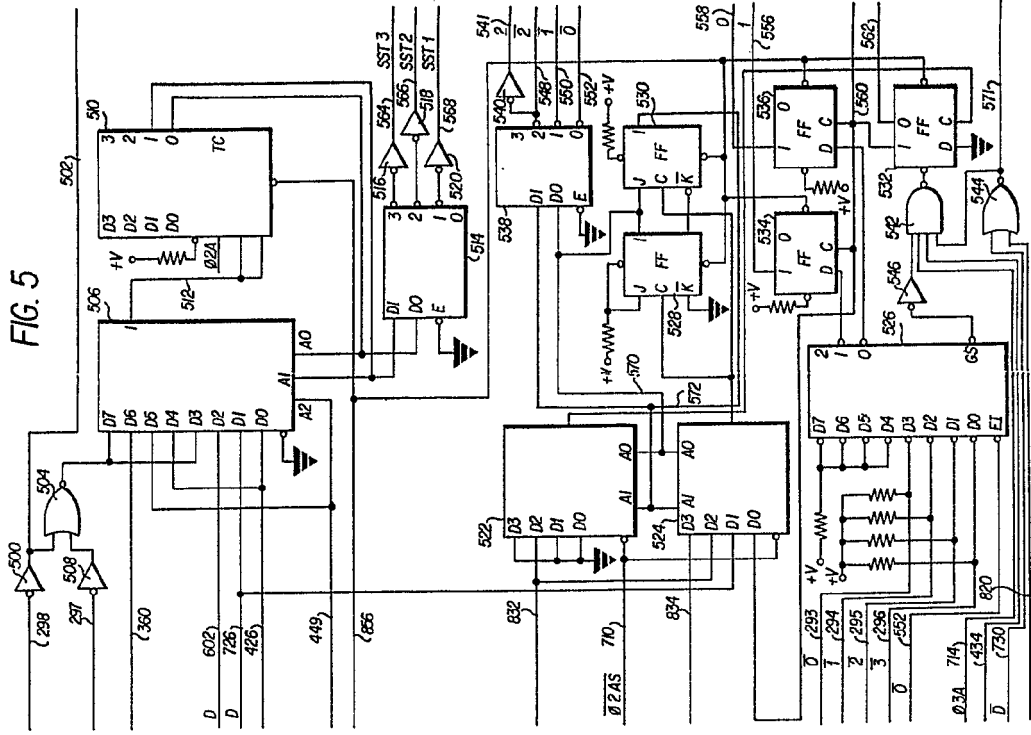
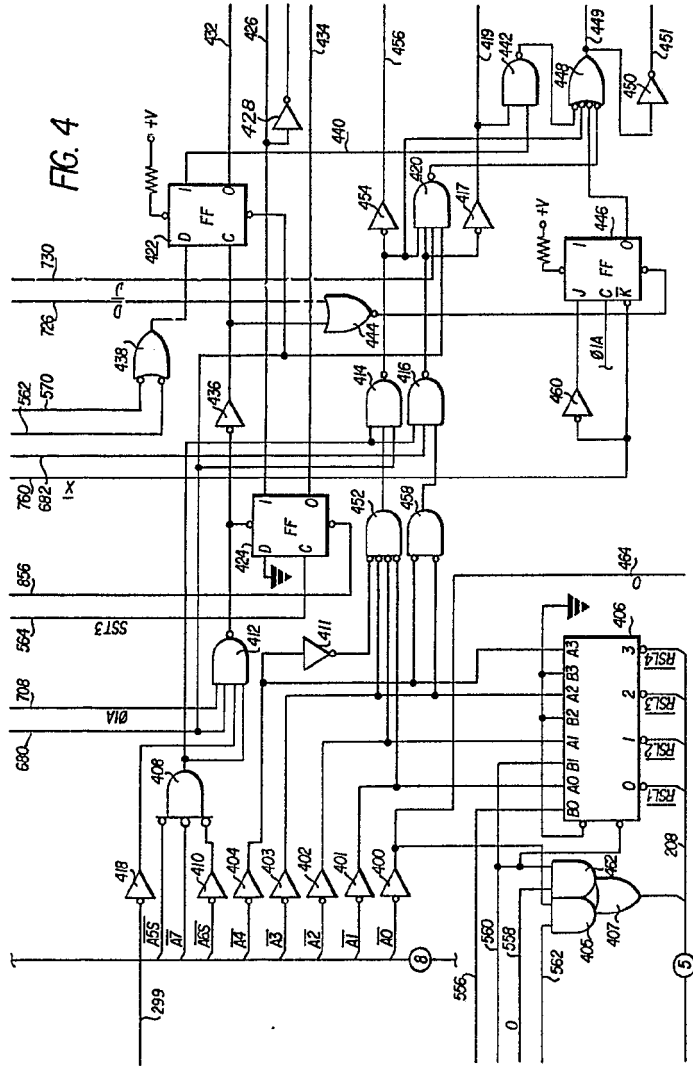


FIG. 4



ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO URGOLA
 P.D.

SPERRY RAND CORPORATION

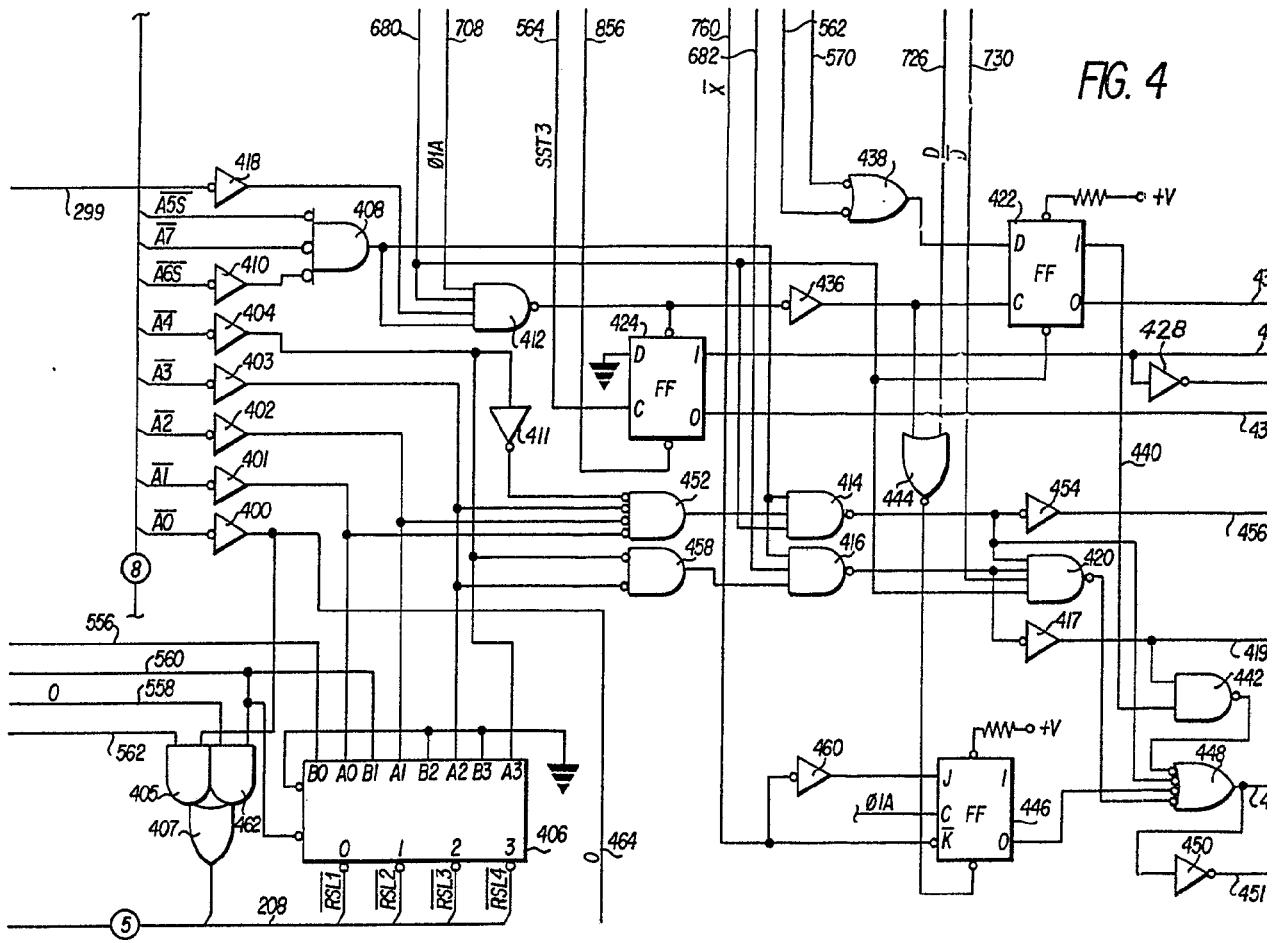


FIG. 4

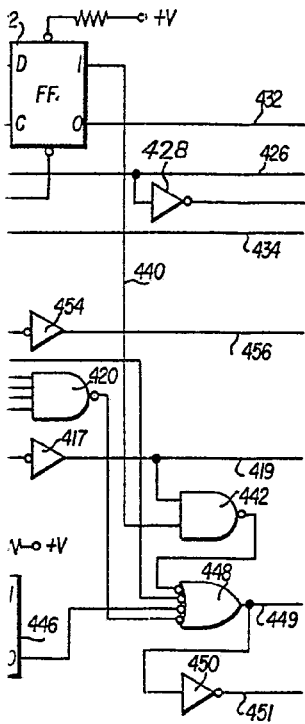
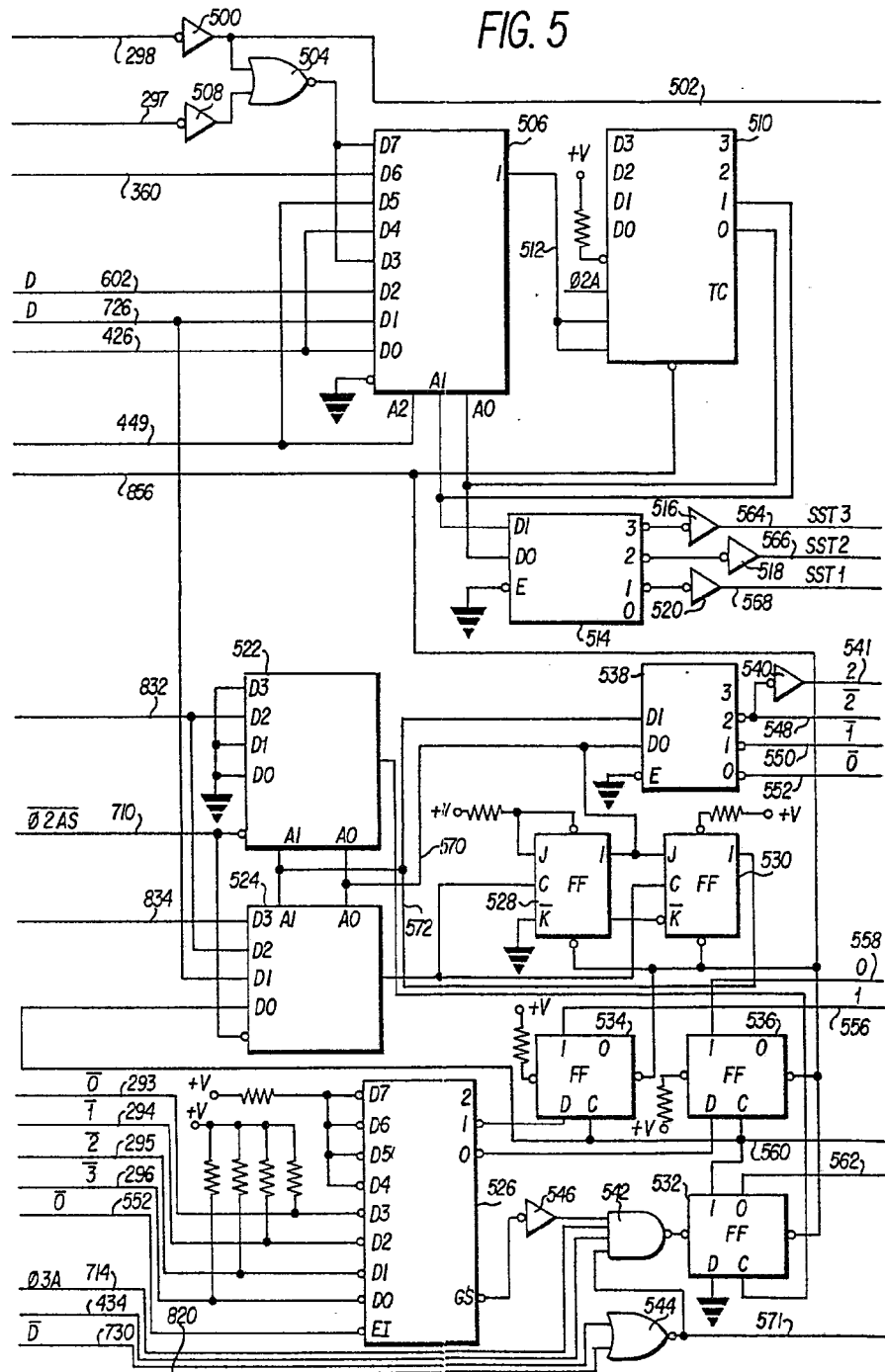


FIG. 5



ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO UNGRIA
 P.P.

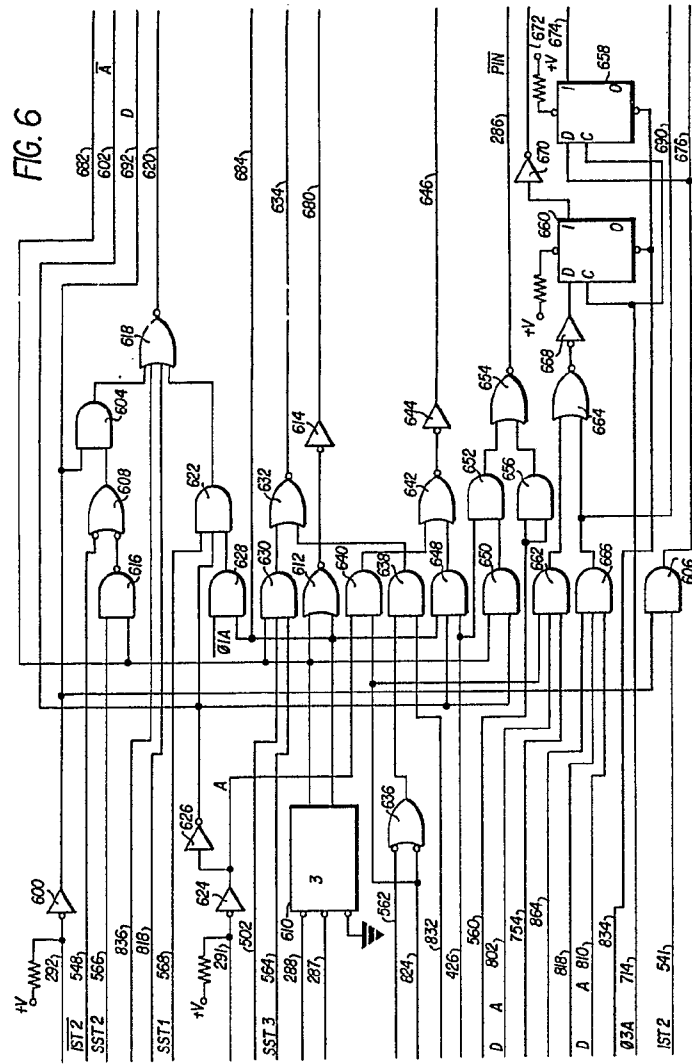
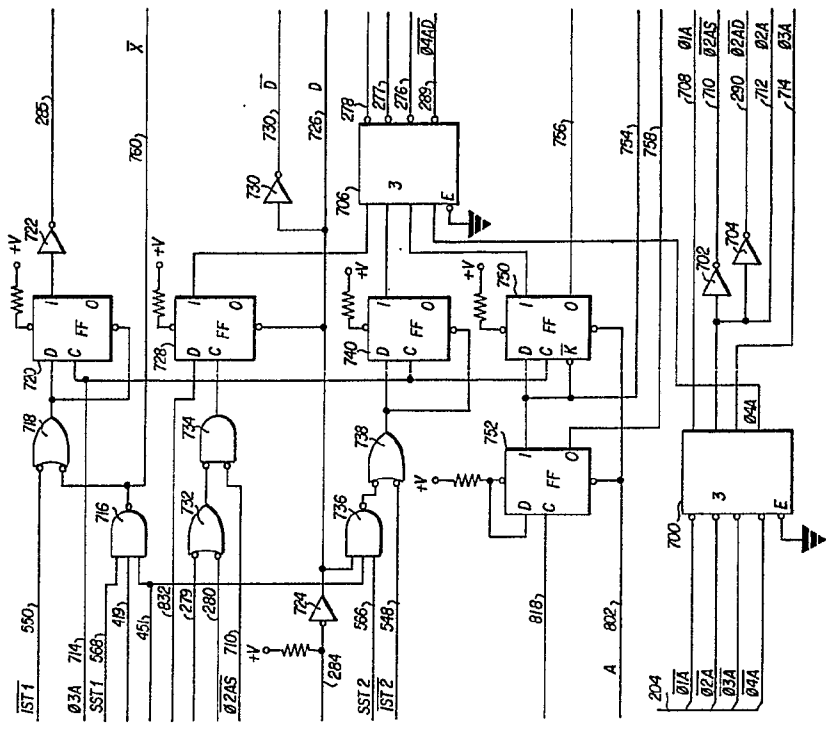


FIG. 7



ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO UNGRIA
 P.P.

FIG. 6

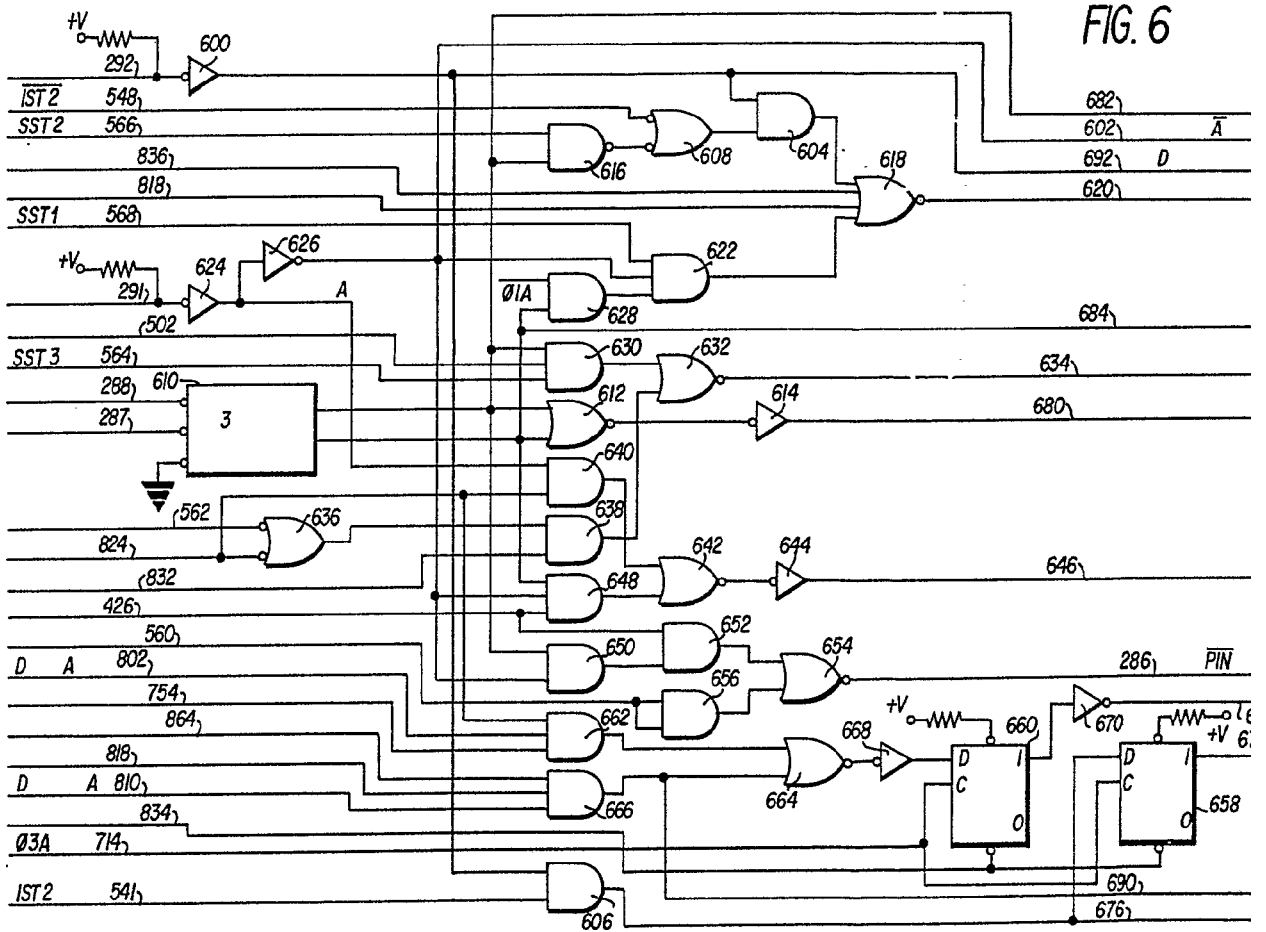


FIG. 6

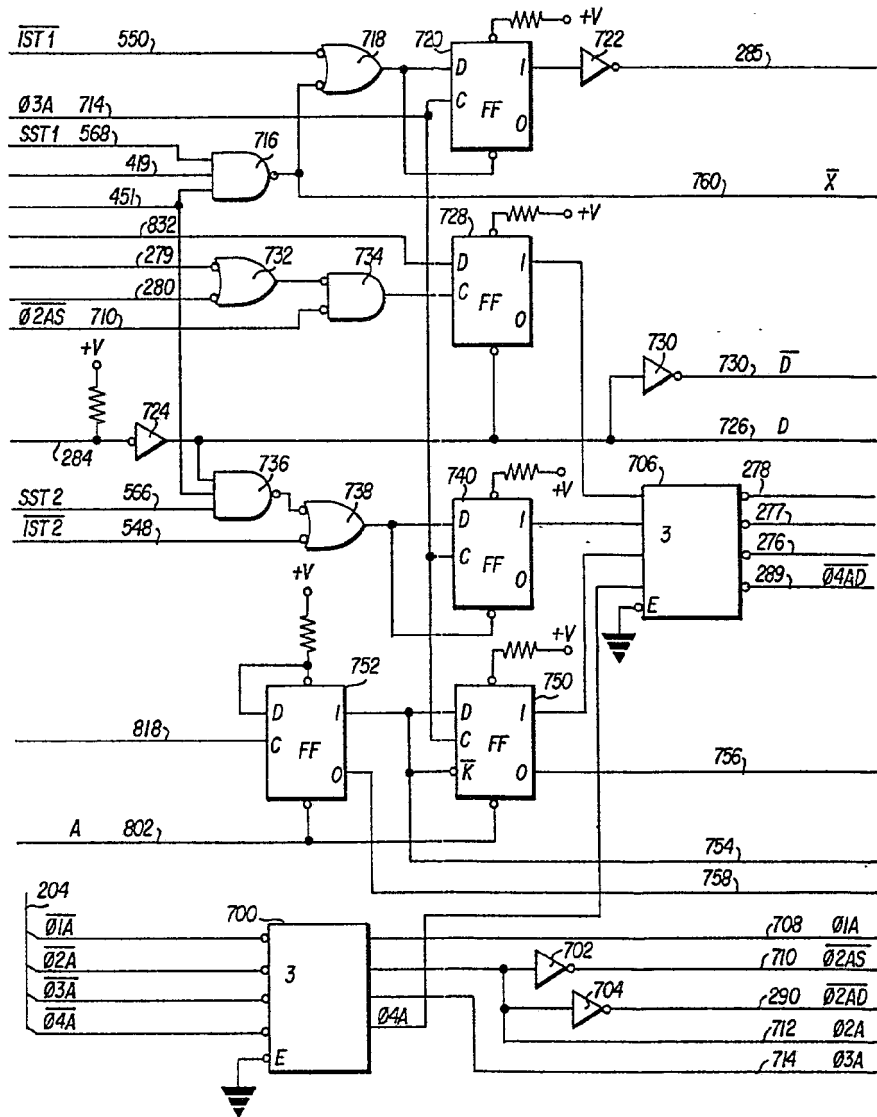
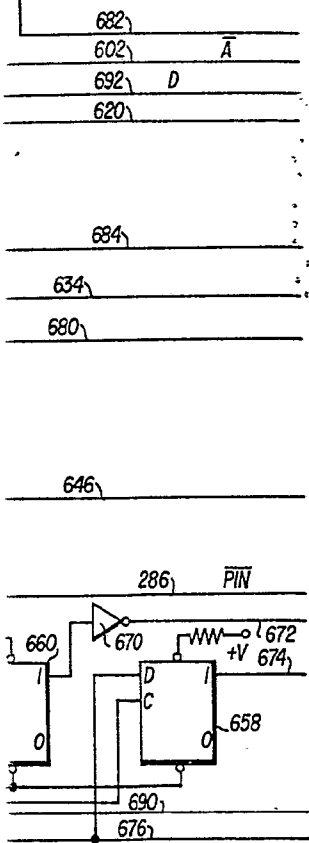
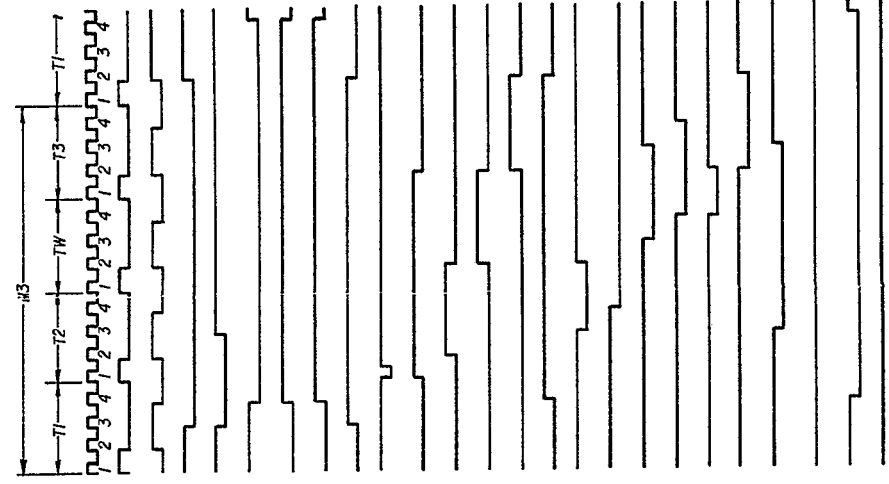


FIG. 7

ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO UNGRIA
 P.P.



A
01
02
A0-A15
SST1
SST2
SST3

FIG. 8

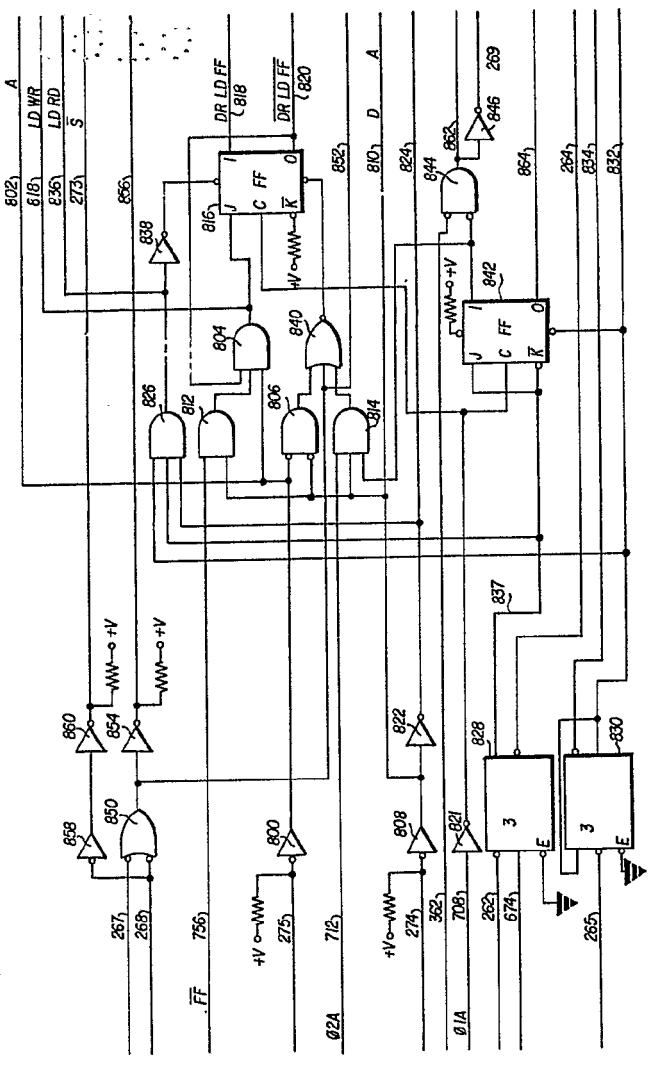
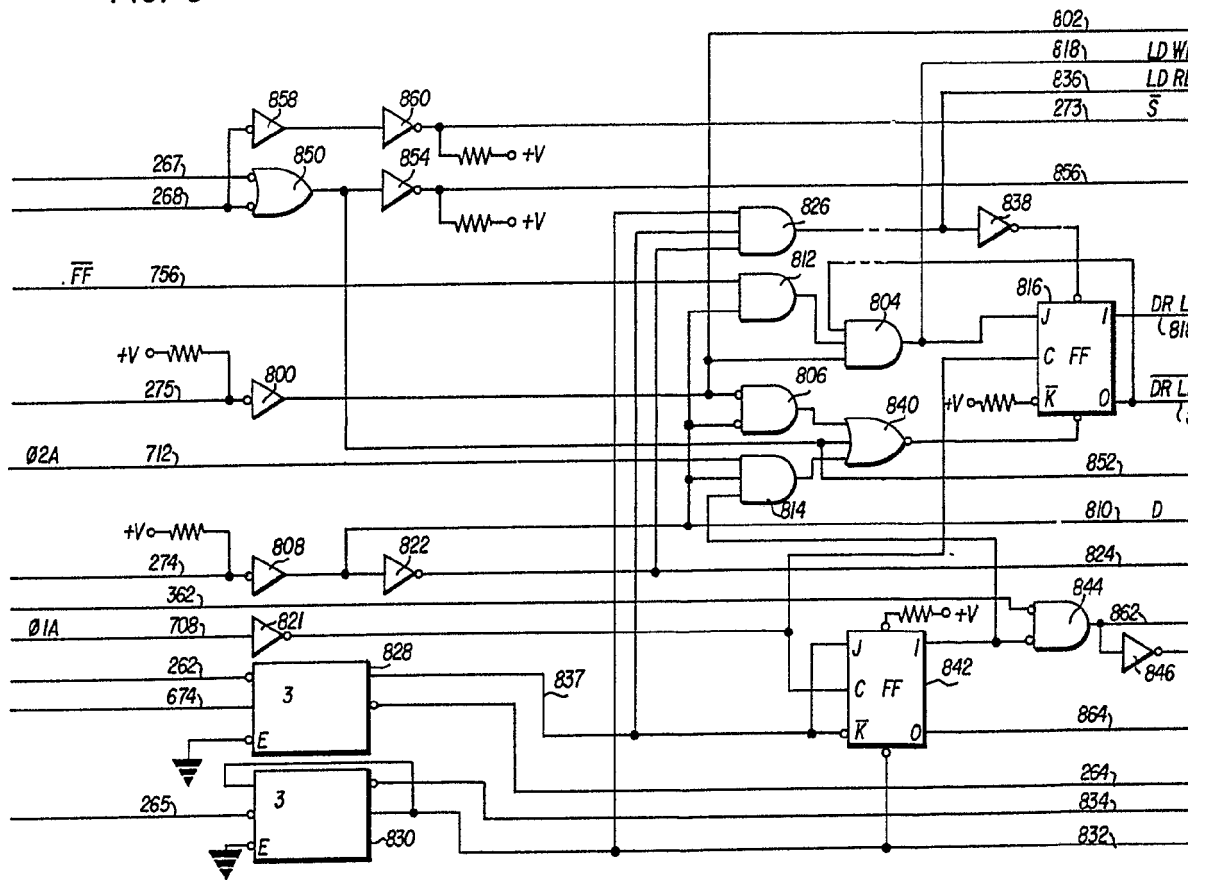


FIG. 9

ESCALA VARIABLE
Madrid, 25 del Enero 1.977
BERNARDO UNGRIA
P.P.

SPERRY RAND CORPORATION

FIG. 8



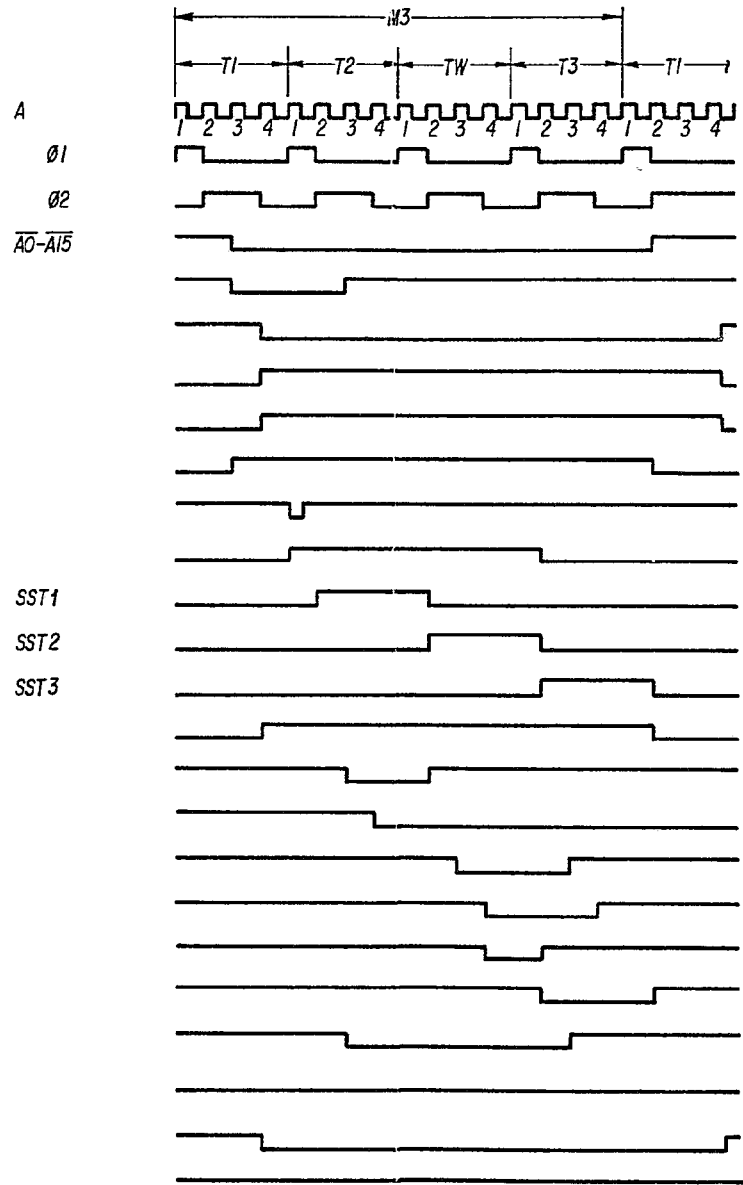
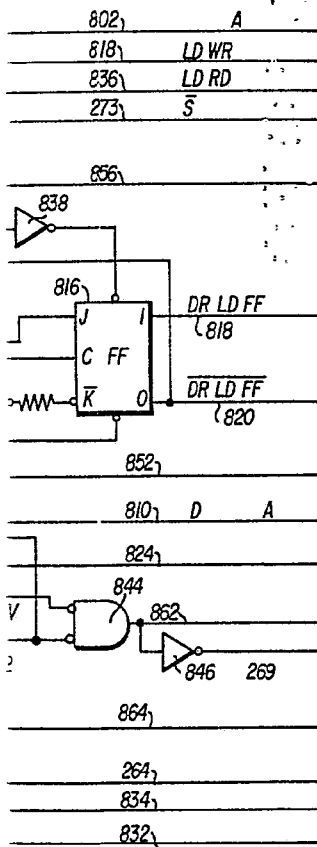


FIG. 9

ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO UNGRIA
 p.p.

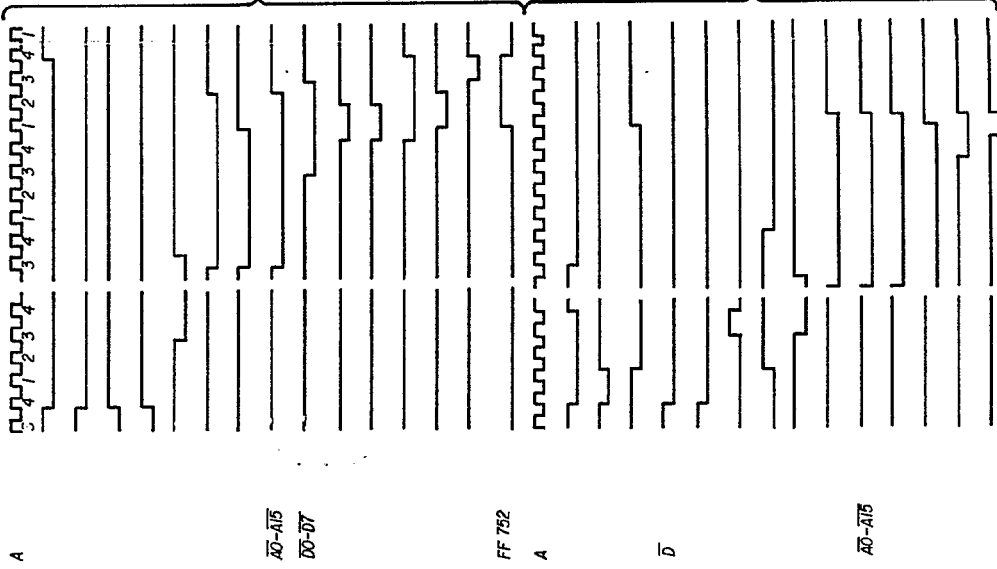


FIG. 12A

FIG. 12B

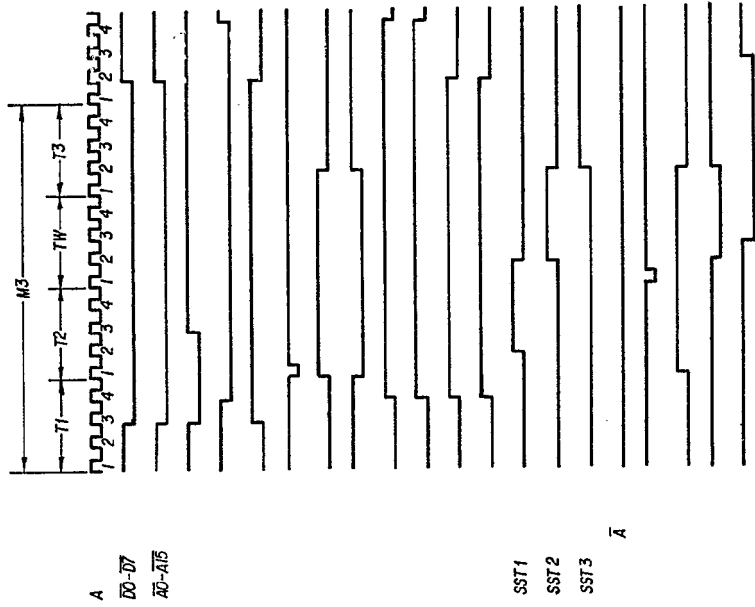


FIG. 11

ESCALA VARIABLE
 Madrid, 25 de Enero 1.977
 BERNARDO UNGRIA
 P.P.

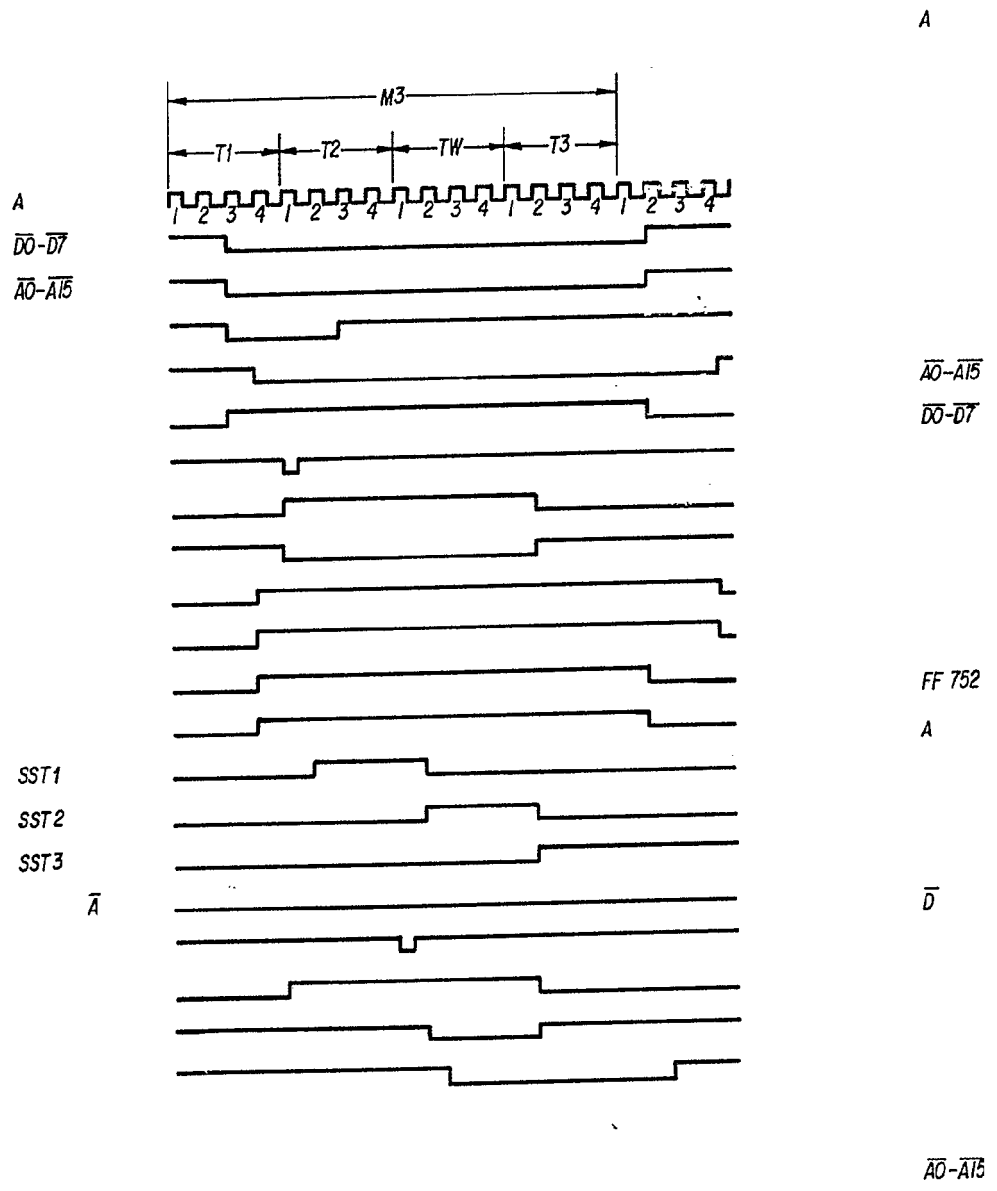


FIG. 11

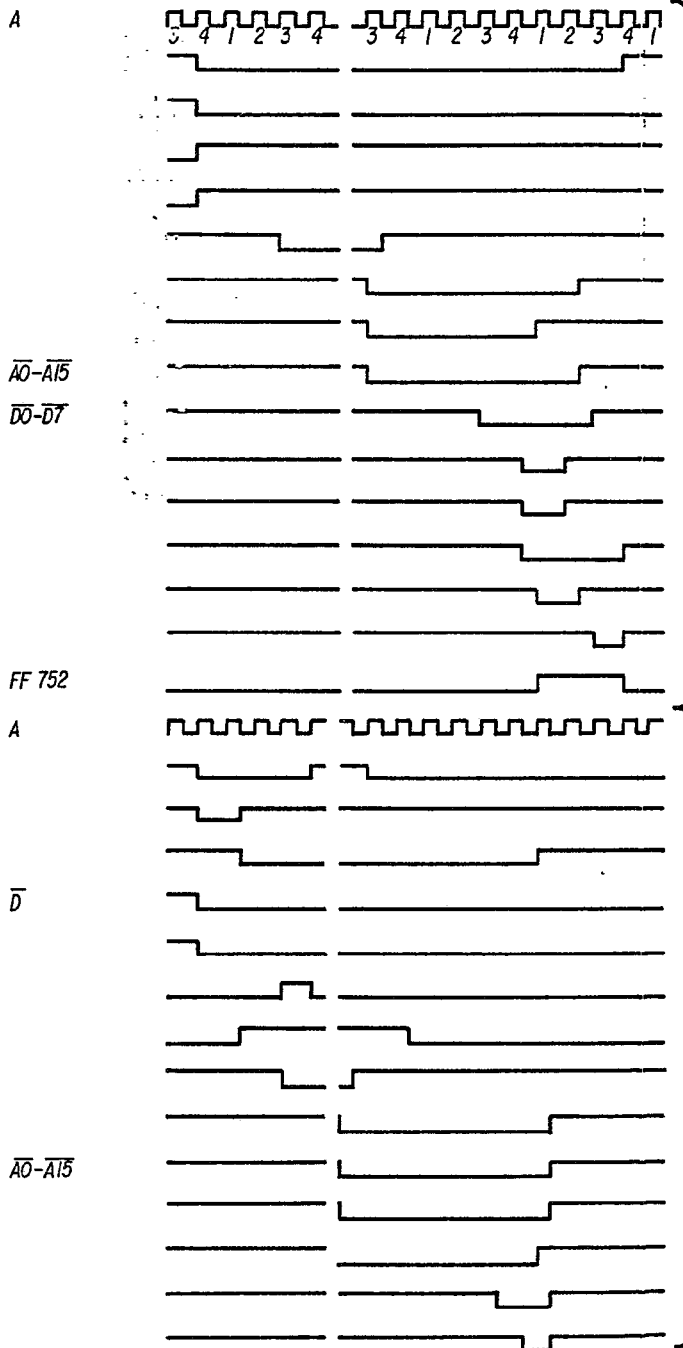


FIG. 12A

FIG. 12B

ESCALA VARIABLE
Madrid, 25 de Enero 1.977
BERNARDO UNGRIA
P.P.