



ESPAÑA

ES	(11) 434833	(10) A1
	(22) FECHA DE PRESENTACION	
	5.1.77	

PATENTE DE INVENCION

(30) PRIORIDADES:	(32) FECHA	(33) PAIS
(31) NUMERO		
647.594	8.1.76	Estados Unidos

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H03K	

(54) TITULO DE LA INVENCION
GENERADOR DE SEÑAL DE SINCRONIZACION DE FRECUENCIA VARIABLE

CONCEDIDA

(71) SOLICITANTE (S)
SPERRY RAND CORPORATION

16 NOV. 1977

DOMICILIO DEL SOLICITANTE
1290 Avenue of the Americas, New York, N.Y. 10019 Estados Unidos

(72) INVENTOR (ES)
W. Donald Huber y Robert L. Cloke, estadounidenses, los cuales han cedido sus derechos a la Cía. solicitante.

(73) TITULAR (ES)

(74) REPRESENTANTE
D. BERNARDO UNGRIA GOIBURU

EXTRACTO DE LA DESCRIPCION

Se describe un detector de fase destinado a ser utilizado en sistemas de tratamiento de la información que recuperan los datos de un soporte registrado, funcionando dicho detector de fase en un modo no armónico durante el periodo de sincronización de la frecuencia y de la fase de la base de tiempo con la frecuencia de los datos, y funcionando en un modo armónico durante la recuperación real de los datos.

ANTECEDENTES DEL INVENTO

En los sistemas de tratamiento de la información destinados particularmente a ser empleados en ordenadores, la información se registra en un soporte bajo la forma de dígitos "1" y "0", es decir en forma digital, y en el caso de registro magnético, estos dígitos están indicados en el mismo soporte por la orientación magnética de algunas zonas del mismo. Para emplear los datos en un ordenador, es preciso sincronizar con ellos un impulso de base de tiempo que sincroniza las varias funciones del sistema con los datos. En los sistemas realizados inicialmente estos impulsos de sincronización se registraron directamente en el soporte y los datos estaban intercalados entre ellos. Sin embargo, en los sistemas actuales, el impulso de sincronización lo suministra un oscilador situado en el sistema de recuperación de datos y es preciso ajustar tanto la frecuencia como la fase de este oscilador para que se adapten a la frecuencia y a la fase de los datos cuya lectura se efectúa.

El reglaje de estos osciladores es una operación complicada en los sistemas actuales debido al hecho de que muy a menudo, el oscilador debe funcionar a frecuencias armónicas más elevadas que la frecuencia de los datos. Además, los códi-

5 gos utilizados actualmente prevén no registrar impulsos en em-
plazamientos predeterminados en numerosos casos para indicar
datos de la misma manera que los impulsos registrados. Por tan-
to el generador de señales de sincronización debe seguir funcio-
nando, aunque no estén presentes impulsos de datos durante un
periodo de tiempo predeterminado.

10 Por consiguiente, se ha previsto en el soporte de
registro con los datos registrados una serie inicial de impul-
sos conocida con el nombre de "preámbulo" que se detecta para
sincronizar la frecuencia y la fase de la señal procedente del
generador de señales de sincronización con la frecuencia y la
fase de los datos que siguen el preámbulo. Con los códigos uti-
lizados actualmente que incluyen bitios que faltan como parte
rutinaria del código, es necesario también que el generador de
15 señales de sincronización sea capaz de acomodar los bitios que
faltan. Este hecho impone sustancialmente el que el generador
de señales de sincronización sea de un tipo armónico, es decir
que debe funcionar a una frecuencia armónica o frecuencia múlti-
ple de la frecuencia de los datos. Además, se registran fre-
cuentemente bitios de información en grupos entre los impulsos
de sincronización, lo que exige también el que el generador de
20 señales de sincronización funcione a una frecuencia superior a
la frecuencia real de los datos. Sin embargo, cuando se intenta
ajustar o sincronizar la base de tiempo durante la fase de preám-
bulo, se ha comprobado que esta base de tiempo armónica se sin-
croniza frecuentemente en una frecuencia armónica de los impul-
25 sos de preámbulo en lugar de la frecuencia real. Naturalmente,
si la base de tiempo funciona en estas condiciones, se producen
dificultades para leer a continuación los datos.

30 Es igualmente necesario que el generador de señales
de sincronización sea capaz de sincronizarse rápidamente en la

señal de preámbulo de modo que se utilice el espacio mínimo para el preámbulo. En el pasado, una solución utilizada consistía en ampliar la anchura de banda del generador armónico de impulsos de sincronización para aumentar la capacidad del generador para sincronizarse en la señal de preámbulo. Sin embargo, el incremento de la anchura de banda aumenta todavía más la posibilidad de que la base de tiempo se sincronice en una frecuencia armónica inadecuada. Evidentemente, una solución definitiva para impedir una sincronización inadecuada del generador de señales consiste en utilizar un generador de impulsos de sincronización del tipo no armónico. Un generador de este tipo no solamente se ajustará a la fase de los datos de preámbulo, sino que también se sincronizará sobre la frecuencia exacta de los datos. Sin embargo, como se ha indicado anteriormente, una señal de sincronización de tipo armónico es más eficaz y en ciertos casos, puede ser necesaria durante la fase de relectura, y por tanto la solución utilizada corrientemente consistía en emplear un generador de señales armónicas de sincronización y en estrechar la anchura de banda durante la fase de sincronización de preámbulo para reducir la posibilidad de que el generador se sincronice en una frecuencia armónica.

El objeto del invento consiste en proporcionar un generador de señales de sincronización que presenta las ventajas de los generadores tanto del tipo armónico como del tipo no armónico funcionando en dos modos, es decir que funciona en el modo no armónico durante el periodo de sincronización y en el modo armónico durante la operación de relectura.

RESUMEN DEL INVENTO

El invento se refiere a un generador de señales de sincronización a frecuencia variable destinado a ser utilizado

en sistemas de recuperación de datos, que incluye un oscilador a frecuencia variable capaz de cambiar su frecuencia de salida en respuesta a una señal de error, un primer dispositivo para generar una primera señal de error en respuesta a la relación que existe entre la frecuencia y la fase de los datos recibidos y la frecuencia y la fase de la señal de salida del oscilador, un segundo dispositivo para generar una segunda señal de error en respuesta a la relación que existe entre la frecuencia y la fase de la señal de salida del oscilador y la frecuencia y la fase de una armónica de la frecuencia de los datos recibidos, un circuito para suministrar las señales de error al oscilador de frecuencia variable, y un dispositivo de conmutación para suministrar la señal de error del primer dispositivo al oscilador de frecuencia variable durante la lectura del preámbulo y para suministrar la señal de error del segundo dispositivo al oscilador de frecuencia variable durante el periodo de recuperación de los datos.

DESCRIPCION DE LOS DIBUJOS

La figura 1 es un diagrama en bloques de un modo de realización del invento;

la figura 2 representa varias formas de onda que se producen durante el funcionamiento del circuito de la figura 1 en el modo no armónico;

la figura 3 representa la manera con la cual la señal de error de fase varía con la magnitud de la diferencia de fase entre los datos y el impulso de sincronización, cuando se hace funcionar el circuito de la figura 1 en el modo no armónico;

la figura 4 representa varias formas de onda durante el funcionamiento del circuito de la figura 1 en el modo ar-

mónico; y

la figura 5 representa la manera con la cual la señal de error de fase varía con la magnitud de la diferencia entre los datos y el impulso de sincronización cuando el circuito de la figura 1 funciona en el modo armónico.

DESCRIPCION DEL INVENTO

El invento está constituido por el generador de señales de sincronización y el detector de frecuencia y fase que se representan en la figura 1. En el diagrama en bloques, se recibe una señal de información en el terminal 10 y se utiliza esta señal para ajustar la fase y la frecuencia de un oscilador a frecuencia variable 11 (VFO) por medio del funcionamiento de un detector de fase 13 con el objeto de suministrar a continuación una señal de salida a un terminal 12. La señal de salida puede ser similar a la forma de onda de sincronización 20 que se representa en la figura 2. Esta señal de sincronización incluye una multiplicidad de impulsos de onda cuadrada, cuya frecuencia y fase deben sincronizarse con la señal 21 de la figura 2, que representa los datos releídos a partir del soporte (no representado). Aunque la señal de sincronización puede ser una armónica de la señal de información, la señal de sincronización y la señal de información deben estar en fase cuando se aplican al sistema de ordenador para obtener un tratamiento adecuado de la información. Como se ha indicado anteriormente, la señal de información puede incluir bitios de información intercalados con espacios donde no existen bitios. Sin embargo, se registra la información a una frecuencia básica con la cual la señal de base de tiempo debe sincronizarse.

De acuerdo con el presente invento, se proporciona un circuito para permitir el funcionamiento del detector de fa-

se tanto en el modo armónico como en el modo no armónico. El detector de fase suministra al oscilador a frecuencia variable una señal de error que indica cuando la frecuencia de su señal ha de ser elevada o disminuida, generándose dicha señal de error como resultado de una comparación entre la señal de información y la señal de sincronización generada por el oscilador a frecuencia variable. En el primer modo de realización del invento que se representa en la figura 1, se ha previsto un primer circuito flip-flop 16 y un segundo circuito flip-flop 17. Estos flip-flops sirven para comparar las señales de información y de sincronización con el objeto de determinar su relación de fase. Estos circuitos pueden obtenerse en el comercio y están conocidos en la industria bajo el número 7474.

El objeto general de estos flip-flops consiste en generar una señal de error indicativa de la relación de fase que existe entre las señales de información y de sincronización. Para hacer funcionar el circuito que se representa en la figura 1 en el modo no armónico, se suministra la señal de información al detector de fase 13 y se transmite al terminal CK del flip-flop 16, y se aplica la señal de sincronización al terminal CK del flip-flop 17 del mismo detector de fase. Evidentemente, si el flip-flop 16 es el primero en recibir una señal, lo que significa que la señal de información se produce antes de la señal de sincronización, es preciso aplicar al VFO una señal de error de fase que indica que la frecuencia del VFO debe ser aumentada para eliminar el error de fase entre las señales. Igualmente, si la señal de sincronización es la primera que aparece, la señal de error de fase indicará que es preciso reducir la frecuencia del FBO hasta obtener una igualdad entre las fases. El VFO funciona para hacer variar la frecuencia de la se-

ñal de salida generada de acuerdo con la magnitud de la señal de error recibida.

5 Con esta finalidad, el flip-flop 16 suministra al terminal Q una señal ϕ_1 para aumentar la frecuencia del VFO mientras que se suministra al terminal Q del flip-flop 17 una señal ϕ_2 indicando que es preciso reducir la frecuencia del VFO. Al mismo tiempo, las señales ϕ_1 y ϕ_2 se aplican a una puerta AND 18 que actúa a través de una puerta OR 19 para suministrar una señal de reposición a los terminales de borrado 10 CLR de los flip-flops 16 y 17. Esta señal hace volver a cero los flop-flops con el objeto de prepararlos para recibir las siguientes señales de información y de sincronización.

15 Por tanto, de la manera descrita más arriba, el detector de fase 13 funciona en el modo no armónico en el cual se genera una señal de error de fase por cada señal de sincronización y de información. Este funcionamiento se ilustra en forma de diagrama en la figura 2 en la cual se representan las señales de sincronización 20 y las señales de información 21. En la primera secuencia (1) la señal de información aparece en 20 primer lugar bajo la forma del impulso 21A seguido por el impulso de sincronización 20A. Al producirse el impulso 21A, aparece una señal de error de fase ϕ_1 que continúa hasta que aparezca el impulso de sincronización. La señal de error de fase ϕ_1 aparece bajo la forma del impulso 22A. Esta señal se suministra 25 tra al VFO a través del conductor 24 para hacer volver a cero el VFO con el objeto de aumentar su frecuencia y hacer que su fase sea la misma que la del impulso de información. En la segunda secuencia (2) los impulsos de sincronización y de información aparecen simultáneamente de la manera deseada. En estas 30 condiciones, la amplitud de las señales ϕ_1 y ϕ_2 aumenta simul-

taneamente, lo que hace que los flip-flops vuelvan instantanea-
mente a cero y haciendo que ninguna señal diferencial de error
de fase sea transmitida al VFO. El retardo que se añade para
vaciar los dos flip-flops 16 y 17 puede ser ajustado para com-
pensar el retardo y el tiempo de formación de los impulsos en
los circuitos siguientes con el objeto de eliminar cualquier
zona muerta en la característica general de la señal de error
eficaz.

En el siguiente grupo de impulsos, el impulso de
sincronización 20B aparece antes del impulso de información 21B.
Por consiguiente, el terminal Q del flip-flop 17 es el primero
en tomar un valor alto, lo que hace que el impulso sea transmi-
tido por el conductor 23. El impulso empieza con el flanco de-
lantero del impulso de sincronización y termina con el flanco
trasero del impulso de información, dando así una indicación
de tiempo del error de fase.

Como se representa en la figura 3, el valor medio
de la señal diferencial de error de fase $\Delta\phi$ es el resultado di-
recto de la diferencial de tiempo entre la generación de los
dos impulsos. Se representa aquí un gráfico del valor lineal
de la señal de error media \bar{E}_ϕ en función de la diferencia de
fase $\Delta\phi$ que es igual a $2\pi\frac{t\phi}{T}$, siendo $t\phi$ la diferencia de tiempo
y T el periodo de las señales de sincronización y de informa-
ción. Como puede verse, si los impulsos de información y de sin-
cronización no coinciden o no alternan, se generará una señal de
error de frecuencia. Si el impulso de información se produce a
una frecuencia más elevada que el impulso de sincronización,
entonces la señal de error ϕ_1 presenta un valor elevado durante
un tiempo más largo que la señal ϕ_2 . De la misma manera, si el
impulso de sincronización se produce a una frecuencia más eleva

da que la frecuencia de los impulsos de información, ϕ_2 tiene un valor elevado durante un tiempo más largo que ϕ_1 . Este hecho se ilustra en la figura 2 en la secuencia de tiempo que incluye los impulsos de sincronización 20C y 20D, así como los impulsos de información 21C y 21D. En cada caso; cuando el impulso de información se produce el primero, se genera una señal ϕ_1 representada bajo la forma de los impulsos 22C y 22D que sirve para aumentar la frecuencia del VFO de modo que la señal de sincronización tenga una frecuencia más elevada. De manera similar, cuando los impulsos de sincronización 20E, 20F y 20D aparecen a una frecuencia más elevada que los impulsos de información 21E y 21F, se genera una señal ϕ_2 representada por los impulsos 24E y 24F, con el objeto de reducir la frecuencia de la señal generada por el VFO.

En estas condiciones, según se ilustra en la figura 3, mientras la señal de error tiene una duración inferior a más o menos 2π radians, el valor medio de la señal de error es una función lineal de la diferencia de tiempo entre las señales de salida de los flip-flops. Sin embargo, si la diferencia de fase es superior a más o menos 2π radians, la señal de salida es constante hasta que la relación de fase se sitúe dentro de estos límites. Por tanto, se ha descrito un detector de fase que funciona de manera no armónica, capaz de generar una señal de error de fase entre impulsos de sincronización y de información que tienen frecuencias iguales o casi iguales.

Por tanto, de acuerdo con el invento, el detector de fase puede funcionar en el modo no armónico que se acaba de describir, el cual se necesita para efectuar una sincronización de la señal de preámbulo de los datos registrados. Sin embargo, como se ha indicado anteriormente, es igualmente provechoso que

dicho detector de fase pueda funcionar en el modo armónico, y con esta finalidad, se ha previsto un tercer flip-flop 25 que recibe en su terminal de entrada CK la señal de información procedente del terminal 10. Esta misma señal de información se aplica a través de una línea de retardo 16 al par de flip-flops 16 y 17 de la manera descrita más arriba. Aunque en este ejemplo se utiliza una línea de retardo, pueden también emplearse otros tipos de dispositivos de retardo, tales como circuitos multivibradores monoestables, etc. La finalidad del flip-flop 25 consiste en permitir el funcionamiento del detector de fase en un modo no armónico, tal y como se ha descrito más arriba, permitiendo, sin embargo, su funcionamiento en el modo armónico, como se describirá más adelante. El flip-flop 25 puede ser del mismo tipo disponible en el comercio que los flip-flops descritos más arriba. Para el funcionamiento en el modo no armónico, se aplica una señal de nivel bajo al terminal de control de modo 27, lo que obliga a la salida Q29 del flip-flop 25 a presentar un nivel alto. Por tanto, estando las entradas D de los flip-flops 16 y 17 sometidas a un nivel alto, el detector de fase 13 es sensible a los errores de frecuencia y fase tal y como se ha descrito.

Para el funcionamiento en el modo armónico, se ajusta en un valor elevado la señal de entrada de modo que se aplica al terminal 27. Cuando se produce una señal de información en el terminal 10, esta señal es transmitida por el conductor 28 al terminal CK del flip-flop 25. Esto hace que el terminal Q de este flip-flop tome un valor alto que permite el funcionamiento de los flip-flops 16 y 17 de la manera normal descrita más arriba suministrando una señal adecuada por los conductores 29 a los terminales D de ambos flip-flops.

Sin embargo, la función del flip-flop y de la línea de retardo 26 de este circuito consiste en permitir el funcionamiento del detector de fase en el modo armónico suprimiendo la generación de la señal de error de fase en ausencia de la señal de información. Con esta finalidad, cuando se suministra la señal de información para activar el flip-flop 25 con el objeto de permitir el funcionamiento de los flip-flops 16 y 17 para generar una señal de error de fase, esta misma señal de información se suministra a través de la línea de retardo 26 al flip-flop 26. Por tanto, el detector de fase funciona de la manera descrita más arriba. Sin embargo, en ausencia de recepción de cualquier señal de información, el flip-flop 26 no toma a su salida un nivel alto, manteniendo así el nivel de los terminales D de los flip-flops 16 y 17 en un nivel bajo, lo que impide la generación de la señal de error de fase.

De la manera descrita más arriba, el generador de error de fase suprime la generación de cualquier señal de error en ausencia de una señal de información y por tanto permite que el detector de fase funcione en el modo armónico. La línea de retardo 26 puede funcionar con cualquier tiempo de retardo normal y en el ejemplo ilustrado da lugar a un retardo Δt . Cuando Δt es igual a $\frac{T}{2}$, siendo T igual al periodo de la frecuencia de sincronización, las condiciones son óptimas para que este periodo de retardo centre el punto cero de la señal de error de salida.

En la figura 4 se representan formas de onda del detector de fase cuando funciona en el modo armónico y su señal de sincronización 30 presenta una frecuencia más elevada o frecuencia armónica de la señal de información 31. En este ejemplo se trata de la tercera frecuencia armónica. A título

de ilustración, la información llega realmente en el tiempo $t + \Delta t$ y en este momento la línea de retardo reduce el tiempo al tiempo t . Por tanto, como puede verse en la figura 4, cada vez que una señal de información $t + \Delta t$ aparece en el terminal

5 10, se genera una señal de información t y a continuación una señal de error de fase. Como puede verse, cuando la señal de información t aparece en primer lugar según se ilustra por medio del impulso 31A que sigue el impulso 32A con el intervalo Δt , se inicia en el flanco delantero de impulso 31A una señal ϕ_1 indicada por el impulso 34A. Cuando se inicia el impulso de sincronización, la señal ϕ_2 aparece para vaciar los flip-flops 25, 16 y 17 y finalizar la señal de error ϕ suministrando una señal a través de la puerta AND 18 y de la puerta OR 19 al conductor 40. Además, puede generarse una señal de borrado

15 suministrando una señal al terminal 41, con el objeto de activar la puerta AND 18A y suministrar una señal similar a la puerta OR 19.

Cuando se producen las dos siguientes señales de sincronización, ninguna señal de información aparece para activar el flip-flop 25, suprimiendo así la generación de cualquier señal de error porque el flip-flop 25 no aplica un nivel alto a las entradas D para activar los flip-flop 16 y 17. A continuación, aparece la señal de información $t + \Delta t$ ilustrada por el impulso 32B, seguida por la señal de información

20 25 31B que coincide con la señal de sincronización 30B. Por consiguiente, las amplitudes de las señales ϕ_1 y ϕ_2 aumentan al mismo tiempo y no se genera ninguna señal de error. De la misma manera, cuando la señal de sincronización se produce antes de la señal de información, según se ilustra por medio de los

30 impulsos 30C y 31C, se genera un impulso ϕ_2 indicado por el

impulso 35C, con el objeto de disminuir la frecuencia del VFO.

Por consiguiente, como se ilustra, si la señal de información se produce antes de la señal de sincronización, la señal de error $\Delta\phi$ es positiva y si la señal de información se produce después de la señal de sincronización, la señal de error $\Delta\phi$ es negativa. Si las señales coinciden o si no existe impulso de información, la señal de error es nula. Por consiguiente, el valor medio de la señal de error es una función lineal de la diferencia de tiempo entre las señales de error, según se representa por la señal diferencial 36 en la figura 4.

En la figura 5, el valor medio de la señal de error, $\bar{E}_\phi = \overline{\Delta\phi}$, se representa en función de $\Delta\phi$. El periodo de la frecuencia de sincronización es T y el error de tiempo es t_ϵ . La característica de error se repite para $t_\epsilon = kT + \epsilon$, siendo K un número entero, cero incluido. El retardo Δt se ajusta para que sea igual a $\frac{1}{2}$ con el objeto de hacer que la tensión de salida nula esté situada en el centro de la gama dinámica lineal $+\pi$. Se observará que la gama dinámica lineal de la característica de error de fase en el modo armónico que se representa en la figura 5 es de $+\pi$ radians, es decir la mitad de $+2\pi$ radians que corresponde al modo no armónico de la figura 3.

De acuerdo con lo que antecede, se ve claramente que mediante conmutación de los modos del circuito representado en la figura 2, suministrando una señal de nivel alto o bajo al terminal 27, el detector de fase puede funcionar con todas las señales de información recibidas para generar una señal de error, es decir que funciona en un modo no armónico, o puede funcionar solamente cuando se recibe una señal de información, es decir que puede funcionar en el modo armónico. Su-

ministrando una señal de nivel bajo al terminal 27 para que la salida del flip-flop 25 permanezca con un nivel alto y para que los flip-flops 16 y 17 sean habilitados para funcionar, se ajusta el modo de funcionamiento no armónico del detector de fase. Esta operación se consigue cuando los datos leídos son los datos de preámbulo o una señal conocida como siendo una armónica del primer orden de la señal de sincronización. En estas condiciones, el detector de fase se sincroniza siempre sobre la frecuencia exacta deseada para la señal de información registrada.

Después del modo de funcionamiento no armónico, puede aplicarse un nivel elevado al terminal 27 para permitir el funcionamiento del flip-flop 25 en respuesta a la recepción de una señal de información a partir del terminal 10 a través del conductor 28. De este modo, el detector de fase puede funcionar solamente cuando se produce una señal de información. Esta señal de información puede ser una armónica de la señal de sincronización y se generará una señal de error para corregir la relación entre las fases de las señales de información y de sincronización.

De la manera descrita más arriba, el detector de fase puede funcionar solamente en el modo no armónico durante el preámbulo haciendo que se sincronice directamente sobre la frecuencia los datos recibidos durante esta fase de preámbulo. De esta manera el detector de fase no puede producir una sincronización equivocada a una frecuencia distinta de la frecuencia de la señal de información. Después de esta operación, el detector de fase puede funcionar en el modo armónico necesario para la detección de ciertos datos registrados. Sin embargo, debido a que la frecuencia del VFO ha sido ajustada pre-

viamente sobre la frecuencia correcta de los datos, no existe ningún peligro de que el detector de fase produzca ahora una variación de fase y se sincronice sobre una armónica de la frecuencia de datos.

5 En resumen, la presente patente de invención que se solicita deberá recaer en las siguientes:

REIVINDICACIONES

10 1. - Generador de señal de sincronización de frecuencia variable para generar una señal de sincronización que tiene una frecuencia y una fase que responden a los impulsos de una señal de información, que incluye en combinación:

un oscilador de frecuencia variable para generar una señal de salida que tiene una frecuencia que varía en respuesta a la magnitud de una señal de error que recibe;

15 un detector de fase conectado para recibir y comparar la señal de información y la señal de salida del oscilador, que incluye unos medios para suministrar una señal de error al oscilador en respuesta a la diferencia de fase entre la señal de información y la señal de salida; y

20 un circuito de entrada para suministrar la señal de información al detector de fase, incluyendo dicho circuito unos medios para impedir la generación de una señal de error cuando no se recibe un impulso de información.

25 2. - Generador de señal de sincronización de frecuencia variable según la reivindicación 1, caracterizado por que dichos medios para impedir la generación de una señal de error pueden ser activados y desactivados para impedir y hacer respectivamente que el detector de fase genere una señal de error.

30 3. - Generador de señal de sincronización de fre-

5 cuencia variable según la reivindicación 1, caracterizado por que dicho detector de fase incluye un par de flip-flops interconectados para generar la señal de error en respuesta a la relación de fase entre la señal de información y la señal de salida del oscilador.

10 4. - Generador de señal de sincronización de frecuencia variable según la reivindicación 3, caracterizado por que dicho circuito de entrada incluye unos medios para desactivar dichos flip-flops del detector de fase cuando no se recibe ninguna señal de información.

15 5. - Generador de señal de sincronización de frecuencia variable según la reivindicación 4, caracterizado por que incluye unos medios para retardar la transmisión de la señal de información al detector de fase durante un periodo de tiempo suficiente para que dicho circuito de entrada actúe y para desactivar dichos flip-flops del detector de fase cuando no se recibe ninguna señal de información.

20 6. - Generador de señal de sincronización de frecuencia variable para generar una señal de sincronización que tiene una frecuencia y una fase que responden a los impulsos de información de una señal de información, que incluye en combinación:

25 un oscilador de frecuencia variable para generar una señal de salida que incluye unos impulsos que tienen una frecuencia que cambia en respuesta a la magnitud de una señal de error recibida;

30 un detector de fase conectado para recibir y comparar dicha señal de información y la señal de salida del oscilador, incluyendo dicho detector de fase unos medios que pueden ser activados para suministrar una señal de error al oscilador

en respuesta a la diferencia entre la fase de la señal de información y la fase de la señal de salida; y

5 un circuito de entrada para suministrar la señal de información al detector de fase, incluyendo dicho circuito un primer circuito para transmitir la señal de información al detector de fase y un segundo circuito para activar el detector de fase cuando una señal de información es recibida realmente por el circuito de entrada.

10 7. - Generador de señal de sincronización de frecuencia variable según la reivindicación 6, caracterizado por que dicho primer circuito del dispositivo de circuito de entrada incluye unos medios para retardar la transmisión de la señal de información al detector de fase.

15 8. - Generador de señal de sincronización de frecuencia variable según la reivindicación 7, caracterizado por que dicho detector de fase incluye un par de circuitos flip-flops interconectados para generar la señal de error con una magnitud y una polaridad que dependen de la relación de fase entre la señal de información y la señal de salida del oscilador.

20 9. - Generador de señal de sincronización de frecuencia variable según la reivindicación 8, caracterizado por que dicho segundo circuito del dispositivo de circuito de entrada incluye un circuito de conmutación conectado para activar dichos circuitos flip-flops del detector de fase solamente cuando dicho circuito de entrada recibe una señal de información.

30 10. Se reivindica por último como objeto sobre el que ha de recaer la patente de invención que se solicita: GE

NERADOR DE SEÑAL DE SINCRONIZACION DE FRECUENCIA VARIABLE.

Todo conforme queda descrito y reivindicado en la presente memoria descriptiva que consta de diecinueve páginas mecanografiadas y dibujos adjuntos.

5

Madrid, 5 Enero de 1977

BERNARDO UNGRIA

p.p.



10

15

20

25

30

