

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

10	ES	11	NUMERO	10	AI
		21			
		22	FECHA DE PRESENTACION		
			16-12-76		

PATENTE DE INVENCION

P.- 64.772

M.F. Ulrich-1

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
P 25 56 828.9	17-12-75	Rep.Fed.A1.
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G11C	
64 TITULO DE LA INVENCION		
"UN DISPOSITIVO REGISTRADOR DE CONVERSION DINAMICO"		
71 SOLICITANTE (S)		
ITT INDUSTRIES INC.		
DOMICILIO DEL SOLICITANTE		
320 Park Avenue, Nueva York 10022, Estados Unidos de America		
72 INVENTOR (ES)		
Manfred Fritz Ullrich		
73 TITULAR (ES)		
74 REPRESENTANTE		
D. FERNANDO DE ELZABURU MARQUEZ		

1 El presente invento se refiere a un registra-
dor de conversión dinámico que utiliza transistores de
efecto de campo y puerta aislada del mismo tipo de con-
ductividad y con el mismo método de control, que necesi-
5 ta para su funcionamiento dos señales de reloj sin solape,
esto es, un denominado registrador de conversión MOS
de doble fase. "MOS" es una abreviatura de "transistor
de efecto de campo con semiconductor de óxido metálico",
pero ya no está limitado exclusivamente a transistores
10 de efecto de campo con una capa de óxido como capa aislante
debajo del terminal puerta, porque ya se conocen
otros materiales de capa aislante.

Se conoce un subgrupo de registradores de con-
versión MOS de doble fase dinámicos, por ejemplo, de un
15 libro de D. Becker y H. Mäder, "Hochintegrierte MOS-
Schaltungen", Stuttgart 1972, página 126, fig 6-41. El
registrador de conversión descrito allí es un registra-
dor de conversión MOS de doble fase que utiliza la deno-
minada técnica de relación. El término "técnica de rela-
20 ción" expresa en forma abreviada lo siguiente: Cada una
de las dos medias etapas de una etapa de un registrador
de conversión contiene un inversor que consiste de un
transistor de conmutación y un transistor de carga. La
resistencia serie de estos dos transistores MOS, en el
25 estado de conducción, depende de la relación de la anchura
de canal w y la longitud del canal l . Para conseguir
un funcionamiento confiable, estas relaciones deben
elegirse diferentes en los dos transistores inversores,
teniendo el transistor de carga una relación w/l menor
30 que el transistor de conmutación, esto es, la etapa del

1 registrador de conversión MOS de doble fase dinámico co-
nocido que utiliza la técnica de relación tiene transis-
tores MOS con diagramas geométricos diferentes. Además
de las dos señales de reloj, se necesita una tensión dc
5 para el funcionamiento.

Se conocen otras subvariedades de etapas de
registradores de conversión MOS de la revista "El inge-
niero Electrónico", Marzo 1970, páginas 59 a 61. La fig
4 de la página 60, por ejemplo, muestra un registrador
10 de conversión denominado "sin relación" esto es, un re-
gistrador de conversión MOS de doble fase que no necesi-
ta de la elección antes mencionada de las relaciones en
los dos transistores inversores. Sin embargo, el inver-
sor de esta configuración, consiste de tres transistores
15 MOS conectados en serie, y requiere esta configuración
además, una tensión de funcionamiento dc. Además de es-
to, deben elegirse las capacidades apropiadas de entrada
de los dos inversores, porque la señal a ser convertida
se almacena temporalmente en estas capacidades. La fig 6
20 de la página 60 muestra un registrador de conversión de
doble fase MOS que no requiere alimentación dc para su
funcionamiento, sino que los dos transistores inversores
conectados en serie de una media etapa tienen sus extre-
mos libres conectados a una de las señales de reloj.

25 Todas las etapas de registradores de conver-
sión MOS de doble-fase de la técnica anterior tienen en
cada media etapa, además del inversor anteriormente men-
cionado, un transistor de acoplo que, en el caso de la
referencia primera, acopla la salida del inversor de la
30 primera media etapa a la entrada del inversor de la se-

1 gunda media etapa, con la entrada de la etapa de regis-
trador de conversión conectada al terminal puerta del
transistor de conmutación del inversor de la primera me-
5 dia etapa, y la salida acoplada a la salida del inver-
sor de la segunda media etapa a través del transistor
de conmutación último.

Los dispositivos descritos en la segunda re-
ferencia mencionada muestran que una etapa de registra-
dor de conversión puede estar también formada por un
10 dispositivo cuya entrada esté conectada al terminal puer-
ta del inversor de una media etapa a través del transis-
tor de conmutación de esta media etapa, mientras que
la salida de la etapa del registrador de conversión se
acopla directamente a la salida del inversor de la se-
15 gunda media etapa.

Las etapas del registrador de conversión cono-
cidas son universalmente aplicables y pueden procesar
cualquier secuencia de señal digital, esto es, por ejem-
plo, una secuencia de señal en que el estado binario HI,
20 definido por un potencial alto, está seguido, en la si-
guiente etapa, por tal estado. Al final de un ciclo de
las dos señales de reloj que son inversas entre sí y no
se solapan, esta información binaria ha viajado desde
la entrada a la salida de tal etapa del registrador de
25 conversión. Para conseguir esta conversión de la infor-
mación, el inversor conectado a la entrada invierte la
señal y la pasa al terminal puerta y a la capacidad de
entrada (ver antes) del inversor de la segunda media
etapa durante el primer medio ciclo de la señal de re-
30 loj, y el segundo inversor invierte de nuevo esta señal

1 y la pasa a fase adelantada durante el segundo medio ciclo de la señal de reloj. La señal a ser convertida aparece así a la salida invertida dos veces, esto es, con la polaridad correcta.

5 Si, en ciertas aplicaciones, se requiere poder extraer la señal con la polaridad correcta después del primer medio ciclo de señal de reloj, esto es, en forma no invertida, las etapas de registradores de conversión MOS de doble fase conocidos no pueden cumplir este requerimiento. Sería posible, en principio, proporcionar a la salida de la primera media etapa un inversor que invierta la señal invertida; sin embargo, la posición en el tiempo de esta señal reinvertida sería tal que el solape con la señal no retrasada sería una consecuencia inevitable. El requerimiento anterior puede
10 cumplirse con las etapas del registrador de conversión MOS de doble fase conocido, solamente doblando la frecuencia de las señales de reloj y el número de etapas del registrador de conversión, esto es, formando a partir de dos etapas de registradores de conversión adyacentes una "nueva" etapa de registrador de conversión en cuyo centro puede tomarse la señal no invertida sin solape después de un medio ciclo de la señal de reloj, como se había previsto. La cantidad de componentes de circuito para este propósito es por supuesto muy considerable.
15 20 25

Por lo tanto, el objetivo del presente invento es proporcionar un registrador de conversión dinámico del tipo indicado en la reivindicación 1, en donde la señal a ser cambiada puede tomarse sin solape y con una polaridad correcta después de un medio ciclo de la señal
30

1 de reloj. Este objetivo se obtiene según se indica en la reivindicación 1. La reivindicación 2 describe una mejora del mismo.

5 Una ventaja del invento está en el hecho de que no se requiere tensión de para su funcionamiento, mientras que no existe la limitación respecto a la elección de los valores de los condensadores. Otra ventaja del invento está en que las señales que pasan a través del registrador de conversión tienen una amplitud definida después de cada medio período de reloj; esto se aplica, en particular, al estado binario HI, definido por un potencial elevado -a, propiedad, que no tienen los registradores de conversión MOS de doble fase conocidos. En este último, el umbral se fija de tal manera que sea
10 suficiente para un funcionamiento confiable y por encima del cual la señal HI puede tener cualquier valor.

15 Debido a la última de las ventajas mencionadas, el registrador de conversión dinámico según el invento puede utilizarse directamente como un generador de reloj para otros circuitos MOS. Es particularmente apropiado para su utilización en relación con la solicitud alemana de patente nº P 24 30 349.9-53, en cuyo caso solamente un único estado HI es cambiado a través de todo el registrador de conversión.

25 Además, el registrador de conversión dinámico según el invento es realizable como un registrador de conversión "sin relación", esto es, se necesitan mínimas áreas para los transistores. Otra ventaja, que no debe ser desestimada, es el que una etapa del registrador de conversión dinámico según el invento, necesita
30

1 exactamente la mitad de los transistores MOS que los
dispositivos de la técnica anterior, cumpliendo la mis-
ma función. Este dispositivo requiere dos etapas regis-
tradoras de conversión con transistores fijos cada una,
5 esto es, un total de doce transistores, mientras que se
necesitan solamente seis transistores por etapa en el
invento.

Explicaremos seguidamente el invento refirién-
donos a los dibujos que se acompañan, en los cuales,

10 La fig 1 es un circuito de una etapa de una
configuración del invento;

La fig 2 es un circuito de una etapa de una
mejora del invento, y

15 La fig 3 muestra varias formas de onda que a-
parecen en las configuraciones de las figs 1 y 2.

La etapa de la fig 1 consiste de dos medias
etapas; la situada en la parte izquierda está recuadra-
da por una línea de puntos. Cada una de estas medias e-
tapas incluye el primer transistor conmutador 1, el ex-
tremo de cuya vía de corriente controlada está a tierra,
20 mientras que el otro extremo está conectado a la vía de
corriente controlada del segundo transistor conmutador
2, el extremo libre de cuya vía de corriente controlada
está conectado a la entrada de la primera señal de re-
loj 11, 11'.

25 La vía de corriente controlada del transistor
de acoplo 3 se inserta entre la entrada de información
E y el terminal puerta del segundo transistor de conmu-
tación 2; este terminal puerta está conectado a través
30 del condensador 4 al punto de unión de los dos transis-

1 tores de conmutación 1 y 2, que forma simultáneamente
la salida de información A de la respectiva media eta-
pa. Los terminales puerta del primer transistor de con-
mutación 1 y del transistor de acoplo 3 están conecta-
5 dos a la segunda entrada de reloj 12, 12'.

Las dos medias etapas están gobernadas por las
señales de reloj F1, F2. La primera señal de reloj F1
se aplica a la primera entrada de la señal de reloj 11
y a la segunda entrada de la señal de reloj 12', mien-
10 tras que la segunda señal de reloj F2 se aplica a la
segunda entrada de la señal de reloj 12 y a la primera
entrada de la señal de reloj 11'. En otras palabras,
las dos señales de reloj F1, F2 se aplican a las dos su-
cesivas medias etapas intercambiadas.

15 El funcionamiento del dispositivo de la fig 1
es el siguiente:

Supongamos que la entrada E tiene el estado
binario HI. Este estado binario pasa a través del tran-
sistor de acoplamiento 3, gobernado en su estado de con-
20 ducción por la señal de reloj F2, al terminal puerta
del segundo transistor de conmutación 2 y al condensador
4, de tal modo que este último se carga. Durante el si-
guiente medio ciclo de la señal de reloj, en el que la
señal de reloj F1 se aplica a la entrada de la señal de
25 reloj 11, el segundo transistor de conmutación 2 queda
conectado por el condensador cargado 4, y el potencial
HI alcanza la salida A en forma no-invertida. La señal
de salida a la salida A toma el valor definido de la am-
plitud de la señal de reloj F1.

30 Durante el siguiente medio ciclo de la señal

1 de reloj, el potencial en el punto A de esta media eta-
pa pasa al estado IO, dado que la señal de reloj Fl en
la combinación serie de los dos transistores de comu-
tación 1, 2 cambia al estado IO, por lo que se conecta
5 el primer transistor de conmutación 1 y se desconecta
el segundo transistor de conmutación 2. En cada media e-
tapa, un estado HI ó IO cambiado viene seguido por un es-
tado IO. Esto asegura que en lo que dura un estado HI
solo puede haber medio ciclo de la señal de reloj, es-
to es, se evita por sí mismo el solape.

10 Sin embargo, si estaba presente un estado HI
en una media etapa, y tiene que ser cambiado un estado
IO durante el respectivo medio ciclo de la señal de re-
loj que sigue al cambio de este estado HI, la amplitud
15 en el punto A no será igual al potencial de tierra, si-
no que estará indefinido. Este está determinado por la
relación de la capacidad C_4 del condensador 4 a la ca-
pacidad C_9 del subcircuito conectado a la salida A,
siendo la siguiente ecuación una buena aproximación:

20

$$U_{IO} = U_{HI} C_4 / C_9.$$

La fig 3c muestra una tal amplitud.

25 En este caso especial, se obtendrá una ampli-
tud suficientemente baja U_{IO} si, en la utilización an-
teriormente mencionada como generador de reloj, otros
circuitos a ser alimentados con las señales de reloj
están conectados a A.

30 De esta manera, tiene lugar la amplitud U_{IO}
si estaba presente un estado HI en la salida A dos me-

1 dios ciclos de la señal de reloj antes. En este caso, el
condensador todavía cargado 4 de la siguiente media eta-
pa se descarga a la capacidad del circuito 9 a través del
5 transistor de desacoplo 3. Esto resulta en la división
de tensión capacitiva mencionada anteriormente, según
la relación C_4/C_9 . El valor permisible para U_{IO} está de-
terminado por el hecho de que la tensión que queda en el
condensador 4 después de la ecualización de carga debe
10 ser más pequeña que la tensión de umbral del segundo
transistor de conmutación 2. Sin embargo, en el siguien-
te estado posible IO, esta carga residual ha desapareci-
do prácticamente por completo.

En una mejora de la configuración de la fig 1,
que se muestra en la fig 2, componentes adicionales en
15 cada media etapa aseguran que después de un estado HI,
la amplitud del estado IO siempre toma el valor del po-
tencial de tierra.

A este propósito, una media etapa de esta me-
jora incluye un inversor que consiste de un transistor
20 de conmutación adicional 5 y un transistor de carga a-
sociado 6, los cuales transistores, cuyas vías de co-
rriente controlada están en serie, están conectados en-
tre tierra y la segunda entrada de señal de reloj 12,
12', que también está conectada al terminal puerta del
25 transistor de carga 6. El terminal puerta del transistor
de conmutación adicional 5 está acoplado a la entrada
de información E' y, como consecuencia, al otro extremo
de la vía de corriente controlada del transistor de a-
coplo 3.

30 La salida del inversor formada por los tran-

1 sistores 5, 6, esto es, el punto de unión de sus dos
vías de corriente controlada, está a tierra a través del
condensador adicional 8 y conectado al terminal puerta
del transistor eliminador de carga 7, cuya vía de co-
5 rriente controlada está conectada a tierra y a la sali-
da A' de esta media etapa. De esta manera, la vía de co-
rriente controlada del transistor de eliminación de car-
ga 7 está también en paralelo con la del primer transis-
tor de conmutación 1. El inversor formado por los tran-
10 sistores 5, 6 está realizado utilizando la técnica de
relación mencionada a modo de introducción.

El inversor formado por los transistores 5, 6
así como por el transistor de eliminación de carga 7
permiten que la carga remanente mencionada anteriormen-
15 te en el condensador 4 sea responsable del valor final
de la amplitud U_{IO} - hacia tierra. Como se muestra en la
fig 3d, la señal de salida A' en el estado IO es prácti-
camente idéntica al potencial de tierra, esto es, el va-
lor de la amplitud U_{IO} , todavía visible solamente en el
20 segundo impulso de la fig 3c, ya no es visible en el se-
gundo impulso de la fig 4d.

Los impulsos mostrados en las líneas de puntos
de las figs 3c y 3d indican el comportamiento básico del
registrador de conversión dinámico de acuerdo con el in-
25 vento, esto es, que un estado HI viene siempre seguido
por, al menos, un estado IO. Las figs 3a y 3b muestran
las formas de onda de las señales de reloj F1 y F2, que
no se solapan, como puede verse.

Los registradores de conversión dinámicos, de
30 acuerdo con el invento se realizan utilizando la tecnolo-

1 gía de los circuitos integrados, y están dispuestos sobre un cristal semiconductor común junto con otros circuitos integrados MOS o circuitos bipolares, particularmente si sirven como generadores de reloj.

5 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

10

- REIVINDICACIONES -

15

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

20

1ª.- Un dispositivo registrador de conversión dinámico que utiliza transistores de efecto de campo y puerta aislada del mismo tipo de conductividad y con el mismo método de control, que requiere para su funcionamiento dos señales de reloj no-solapadas, y en donde cada mitad de una etapa, esto es, cada media etapa, incluye por lo menos, un transistor de acoplamiento que tiene un extremo de su vía de corriente controlada conectado a la entrada de información, y por lo menos un primer transistor de conmutación que tiene un extremo de su vía de corriente controlada conectado a tierra, caracterizado porque cada media etapa incluye también un segundo transistor de conmutación (2) y un condensador (4)

25

30

1 que están conectados al primer transistor de conmutación
(1) y al transistor de acoplamiento (3), porque las vías
de corriente controlada conectadas en serie del primero
y el segundo transistor de conmutación (1,2) están conec-
5 tadas entre tierra y la primera entrada de señal de re-
loj (11,11), porque el condensador (4) está situado en-
tre el terminal puerta del segundo transistor de conmu-
tación (2) y el punto de unión de los dos transistores
de conmutación, que forma la salida de información (A)
10 de la media etapa, porque el extremo de la vía de corrien-
te controlada del transistor de acoplamiento (3) que no
está conectado a la entrada de información se acopla al
terminal puerta del segundo transistor de conmutación
(2), mientras que los terminales del primer transistor
15 de conmutación (1) y del transistor de acoplamiento (3)
están a la vez conectados a la segunda entrada de señal
de reloj (12,12'), y porque en las medias etapas, la pri-
mera (11) y la segunda (12) entrada de señal de reloj y
la segunda (12') y la primera (11') entrada de señal de
20 reloj están alimentadas alternativamente con una de las
dos señales de reloj (F1, F2).

2ª.- Un dispositivo registrador de conversión,
según el punto 1, caracterizado porque cada media etapa
incluye un transistor de conmutación adicional (5), un
25 transistor de carga (6), un transistor de eliminación de
carga (7), y un condensador adicional (8) que están in-
terconectados de tal manera que las vías de corriente
controlada conectadas en serie del transistor de conmu-
tación adicional (5) y del transistor de carga (6) están
30 conectadas entre tierra y la segunda entrada de señal de

1 reloj (12,12'), porque la vía de corriente controlada
del transistor de eliminación de carga (7) está conecta-
da en paralelo con la del primer transistor de conmuta-
ción (1), porque el condensador adicional (8) está si-
5 tuado entre el terminal puerta del transistor de elimi-
nación de carga (7) y tierra, porque el terminal puerta
del transistor de conmutación adicional (5) está acopla-
do a la entrada de información (T'), porque el terminal
puerta del transistor de carga (6) está acoplado a la
10 segunda entrada de señal de reloj (12,12') y porque el
terminal puerta del transistor de eliminación de carga
(7) está conectado al punto de unión del transistor de
conmutación adicional (5) y al transistor de carga (6).

15 3ª.- UN DISPOSITIVO REGISTRADOR DE CONVERSION
DINAMICO.

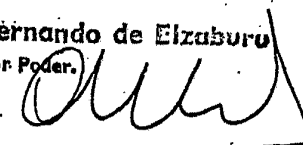
Tal y como se ha descrito en la Memoria que
antecede, representado en los dibujos que se acompañan
y con los fines que se han especificado.

20 Esta Memoria consta de catorce hojas escritas
a máquina por una sola cara.

Madrid, 16. DIC. 1976

P.A.

25 **Fernando de Elizaburu**
Por Poder.



30

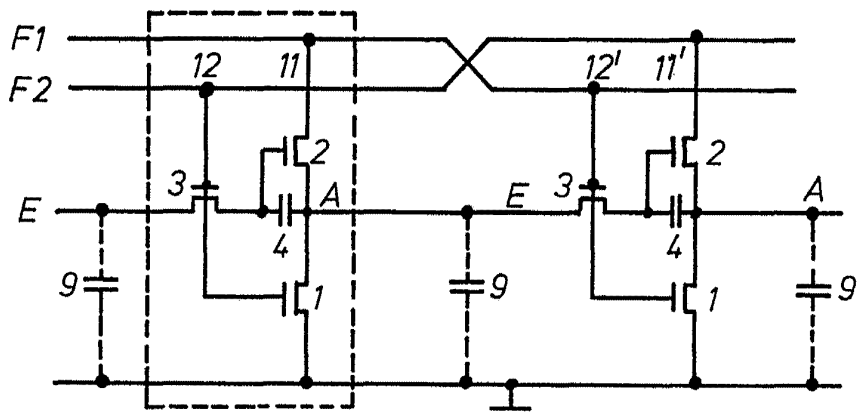


Fig. 1

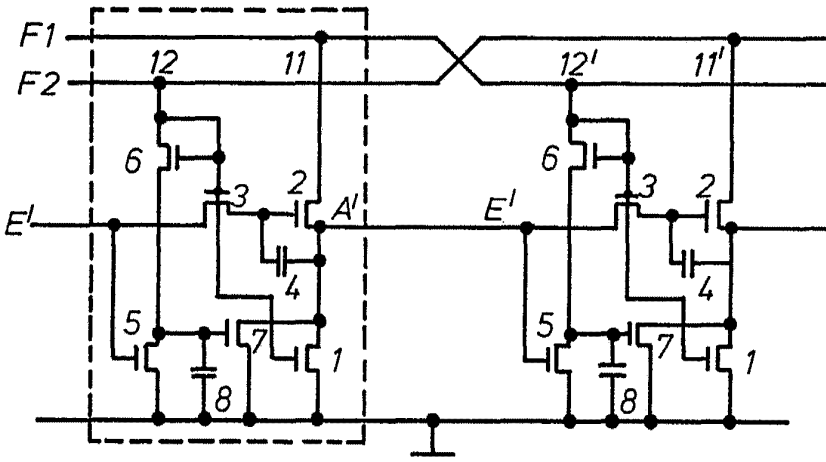


Fig. 2

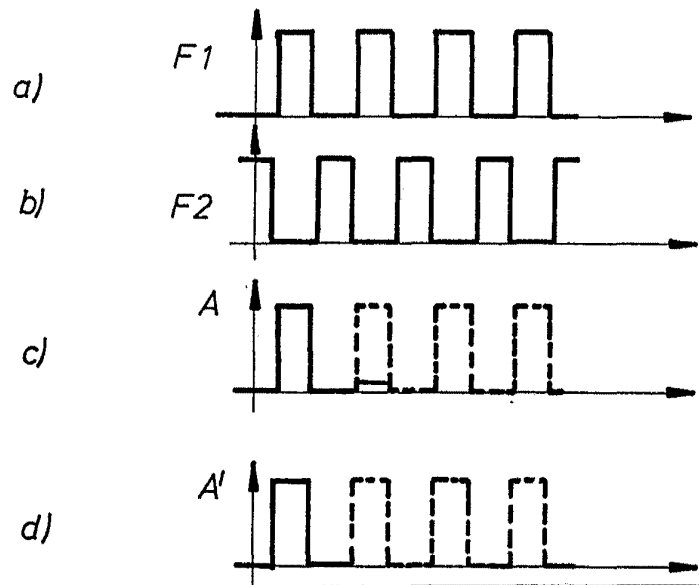


Fig. 3

Fernando de Elzaburo
Por Poder