



ESPAÑA

19 SET 1977

CONCEDIDA

PATENTE DE INVENCION

ES

11

NUMERO

453929

10

A 1

21

FECHA DE PRESENTACION

22

30 PRIORIDADES	32 FECHA	33 PAIS
31 NUMERO 75 37102	4 Diciembre 1975	Francia

43 FECHA DE PUBLICIDAD	61 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H03K; H04J; H04M	

54 TITULO DE LA INVENCION

UN CIRCUITO PARA CONFERENCIA PARA UNA MALLA DE CONMUTACION MIC

71 SOLICITANTE (S)

Standard Eléctrica, S.A.

DOMICILIO DEL SOLICITANTE

Ramírez de Prado, nº 5. Madrid

72 INVENTOR (ES)

Jean-Luc CALVEZ.

73 TITULAR (ES)

74 REPRESENTANTE

E. Eugenio Barroso Espinosa de los Monteros

El presente invento se refiere a un circuito para conferencia que hace posible la conexión de más de dos abonados en una malla de conmutación utilizando la modulación por impulsos codificados (MIC), más concretamente, en una red de conmutación privada.

En la solicitud de Patente Francesa nº 75 35467 se describía un circuito para conferencia titulado "Circuito para conferencia para una red de conmutación MIC". Este circuito incluía una memoria de lectura/escritura dividida en K grupos de I líneas que hacía posible K llamadas a conferencia simultáneas de I abonados. Cada línea de la memoria recibía un código de abonado. Para procesar un grupo completo, debían realizarse I (I-1) adiciones, esto es (I-1) adiciones por abonado lo que significaba que tenía que realizarse cada adición en un tiempo más bien corto.

El objetivo del presente invento es precisamente un circuito para conferencia para una red de conmutación MIC (modulación por impulsos codificados), en que el número de operaciones de cómputo está limitado, de tal manera que hay más tiempo disponible para realizar cada una de estas operaciones.

El invento describe un circuito para conferencia que contiene una memoria de entrada de lectura/escritura dividida en K grupos de I líneas que hacen posible el establecimiento de K llamadas a conferencias simultáneas, caracterizado porque, para cada grupo, se leen sucesivamente las I líneas una primera vez y se suma su contenido para formar la suma de I muestras, entonces se leen una segunda vez y cada vez se deduce la muestra leída de la mencionada

suma de I muestras. -

Describiremos seguidamente otras características y ventajas del presente invento refiriéndonos a los dibujos que se acompañan en los cuales:

- 5 - la Fig. 1 muestra un diagrama general de un centro de conmutación MIC
- la Fig. 2 representa el diagrama del circuito para conferencia del presente invento;
- la Fig. 3 muestra la distribución de la memoria de entrada del circuito para conferencia;
- 10 - las Figs. 4.a a 4.f muestran los diagramas de tiempo requeridos para entender el funcionamiento total del circuito de conferencia.
- las Figs. 5.a y 5.b muestran los diagramas de tiempo requeridos para entender el proceso de un grupo de la memoria
- 15 de entrada del circuito de conferencia,
- las Figs. 6.a a 6.h muestran las señales de control de los diferentes elementos del circuito para conferencias.

La fig. 1 muestra un diagrama general de un centro de conmutación MIC (modulación por impulsos codificados) que indica la localización del circuito de conferencia según el invento. El centro de conmutación contiene un conmutador espacio-tiempo C conectado a p unidades de multiplexión M_1 a M_p . Cada unidad de multiplexión recibe q uniones múltiplex J_1 a J_q . Cada unión múltiplex transmite m palabras en código sucesivas durante un período de repetición o cuadro T , y contiene b bits transmitidos en forma paralelo. Las diferentes palabras en código presentes sucesivamente en el mismo canal de tiempo son muestras de la señal de voz analógica del mismo abonado. A fin de mejorar la calidad

20

25

30

de la transmisión, estas muestras se codifican no-linealmente, siendo la curva característica de codificación aproximadamente logarítmica. Las unidades de multiplexión M_1 a M_p realizan cada una la multiplexión de q uniones múltiplex J_1 a J_q . Estas unidades envían al conmutador C , a través de p super-uniones múltiplex SJ_1 a SJ_p respectivamente, $q \cdot m$ palabras codificadas en forma paralelo durante un cuadro T . Indicaremos el producto $q \cdot m$ mediante la letra w . El cuadro T se divide en W aberturas de tiempo t , respectivamente t_1 a t_w , que permite cada una la transmisión de una palabra codificada al conmutador C .

Hasta este punto, se han descrito las unidades de multiplexión, uniones y super-uniones, considerando la dirección de transmisión unión \rightarrow conmutador solamente. Realmente, la transmisión se hace en dos direcciones y, consecuentemente cada unión y cada super-unión incluyen canales separados para las dos direcciones de transmisión, y las unidades de multiplexión están diseñadas para demultiplexar en la dirección conmutador \rightarrow unión.

El conmutador espacio-tiempo C se opera por la unidad de control CU . Una unidad de multiplexión está conectada a otra unidad de multiplexión por medio de elementos de conmutación de espacio, y un canal de tiempo a otro canal de tiempo a través de elementos de conmutación de tiempo (memorias).

En la práctica, podrían utilizarse por ejemplo los siguientes valores numéricos

$$T = 125 \mu s$$

$$q = \text{ocho uniones múltiplex}$$

$$m = \text{treinta y dos palabras codificadas}$$

w = doscientas cincuenta y seis aberturas de tiempo.

b = ocho bits

t = 488 ns

5

p = seis unidades de multiplexión.

10

Una unidad de multiplexión adicional MS, denominada unidad de multiplexión especial, está conectada al conmutador C a través de una super-unión múltiplex SJS, de la misma manera que las otras unidades de multiplexión M₁ a M_p. Además, esta unidad MS está conectada a n equipos E₁ a E_n que realizan las diferentes funciones de servicio requeridas para el funcionamiento de la red de conmutación (proceso de señalización, intervención del operador, etc..).

15

La función de la unidad de multiplexión especial MS es encaminar cada una de las w palabras codificadas recibidas desde el conmutador C a su propio equipo. Por ejemplo, el número n de equipos podría ser igual a cuatro. El circuito de conferencia del invento forma uno de estos equipos, por ejemplo, el equipo E₁. Supondremos que se necesitan V palabras codificadas entre las w palabras codificadas de un cuadro T para el circuito de conferencia, siendo v un múltiplo de w . Por ejemplo, podríamos tener el caso siguiente: v/w

20

= 1/4. Además, supondremos que, en las siguientes descripciones, las primeras v aberturas de tiempo t_1 a t_v de cada cuadro T están reservadas para el circuito de conferencia.

25

Se establece una llamada a conferencia entre varios abonados conectando cada uno de ellos al circuito de conferencia a través del conmutador C y la unidad de multiplexión especial MS. Así, para un abonado en conferencia, el circuito de conferencia recibe, durante una abertura de tiempo dada,

30

una palabra codificada que representa una muestra de la señal de voz que procede de dicho abonado. Envía a este mismo abonado una palabra codificada que representa la suma de las muestras de voz procedentes de los otros abonados que participan en la llamada a conferencia. El establecimiento de una conferencia entre varios abonados dados está determinado por la elección de las conexiones realizadas por el conmutador C bajo el control de la unidad de control CU.

La fig. 2 muestra el circuito de conferencia según el invento. Este incluye una memoria de entrada de lectura/escritura 1 que contiene v líneas de b bits. Cada línea está asignada a un único abonado y almacena sucesivamente las diferentes palabras codificadas que llegan desde este abonado. La salida de b bits de la mencionada memoria está conectada a través de un registrador 3 a la entrada de un circuito de expansión 2 que convierte las palabras codificadas de b bits, codificadas no-linealmente, en palabras en código lineal de c bits ($c > b$). Si $b =$ ocho bits, tendremos que $c =$ doce bits. Las palabras de c - bits se envían a una entrada de un circuito de cálculo 4 que funciona como sumador o restador según el estado lógico 1 6 0 de una señal de control P. La salida de d bits ($d > c$) del circuito de cálculo 4 se conecta a la entrada de un registro acumulador 5. La salida de este registro se conecta a la otra entrada del circuito de cálculo 4 a través de un registro de d -bits, 6. Un atenuador digital 7 (cambio de bits a la derecha) situado a la salida del registro acumulador 5, envía códigos atenuados a un circuito de compresión 8. La función del atenuador 7 es reducir el nivel de la señal de salida, que puede ser elevado debido a la adición de varios

códigos. El circuito de compresión 8 convierte los códigos lineales en códigos de b-bits no-lineales, y envía estos a una memoria de salida de la lectura/escritura 9 que tiene y líneas de b bits. Cada línea está asignada a un único abonado a la conferencia y almacena sucesivamente las diferentes sumas de las muestras codificadas destinadas para este abonado.

Explicaremos seguidamente la distribución de la memoria de entrada 1 en relación con la fig. 3. Esta memoria de v líneas está dividida en K grupos de I líneas adyacentes ($V = K \cdot I$), estando identificado cada grupo por la letra K (K = 1 a K). Cada uno de estos K grupos permite el establecimiento de una conferencia con I abonados. Así, por ejemplo, con $v = 64$, tendríamos ocho conferencias (k = 8) con ocho abonados (I = 8).

Explicaremos seguidamente el funcionamiento total del circuito de conferencia durante un cuadro T en relación con las figs. 4.a a 4.f. Las v muestras recibidas por el circuito de conferencia durante un cuadro T entran respectivamente en las v líneas de la memoria 1 durante las primeras v aberturas de tiempo t_1 a t_v como se muestra por la línea gruesa en la fig. 4.a. Para esta operación de escritura, la memoria 1 se direcciona cíclicamente y recibe una señal de escritura E de período t. Para la operación de lectura de la memoria 1, los K grupos de la memoria 1 se procesan sucesivamente durante un cuadro T. Para cada grupo, las I líneas se leen sucesivamente una primera vez a fin de actualizar su contenido para obtener la suma de las I muestras, por medio del circuito de cálculo 4 que actúa como un sumador. Luego se leen de nuevo a fin de de-

ducir la muestra leída cada vez de la mencionada suma de I
muestras. Esta operación se realiza por el circuito de cál-
culo 4 actuando como restador. El proceso de los K grupos
de la memoria se extiende a todo el cuadro T, como se mues-
5 tra en la fig. 4.b. Por lo tanto, cada grupo de la memoria
1 se procesa en el tiempo T/K . Para la operación de lectura,
la memoria recibe una señal de lectura L de período $T/2v$ ó
 $w.t/2v$. Así, por ejemplo, este período será $2t$ para el caso
en el que $v/w = 1/4$. Dentro del tiempo de proceso T/K de ca-
10 da grupo, el circuito de cálculo 4 actúa como un sumador du-
rante la primera mitad del tiempo, concretamente $T/2K$, como
se muestra por las líneas gruesas en la fig. 4.c. Actúa co-
mo restador durante la segunda mitad del tiempo, concreta-
mente $T/2K$, como se muestra por las líneas gruesas en la
15 fig. 4.d. La operación de escritura en la memoria de salida
9 se realiza durante la segunda mitad del tiempo de proceso
de cada grupo, esto es, mientras el circuito de cálculo 4
está actuando como restador, como se muestra por las líneas
gruesas en la fig. 4.e. Para esta operación de escritura,
20 la memoria q se direcciona cíclicamente y recibe una señal
de escritura E' de período $T/2v$. La memoria 9 se lee duran-
te las primeras v aberturas de tiempo t_1 a t_v de cada cuadro
T, como se muestra por las líneas gruesas en la fig. 4.f.
Para esta operación de lectura, la memoria 9 se direcciona
25 cíclicamente y recibe una señal de lectura L' de período
t. Así, durante la misma abertura de tiempo t, el circuito
de conferencia recibe una muestra codificada que llega des-
de un abonado a la conferencia, y envía a dicho abonado la
suma de las muestras codificadas de los otros abonados a la
30 conferencia.

Explicaremos ahora el proceso completo de un grupo de conferencia en un período T/K en relación con las fig. 5.a y 5.b. Las I líneas del grupo se leen sucesivamente en el período $T/2v$, y las muestras correspondientes se envían al circuito de cálculo 4 que funciona como un sumador bajo el control de la señal P de nivel $\underline{1}$ mostrada en la fig. 5.a. Se realizan I sumas en el período $T/2v$, como se muestra en la fig. 5.b. El resultado de cada suma se envía a través de los registros 5 y 6 a la entrada del circuito de cálculo 4. Al final de las operaciones de suma, la suma de las I muestras está presente en el registro 6. Las I líneas del grupo en cuestión se leen nuevamente en el período $T/2v$, y las muestras (las mismas muestras que antes) se envían al circuito de cálculo 4 que funciona como restador bajo el control de la señal P de nivel $\underline{0}$ mostrada en la fig. 5.a. Se realizan I restas en el período $T/2v$, como se muestra en la fig. 5.b. Cada una de las restas consiste en deducir la muestra leída de la suma de las I muestras presentes en el registro 6. En este sentido, un abonado a la conferencia no recibirá su propia voz. El resultado de cada resta se registra en la memoria de salida 9, a partir de esta se enviará al conmutador.

Explicaremos seguidamente el conjunto de operaciones realizadas en el circuito de conferencia durante un período de suma elemental $T/2v$, en relación con las figs. 6.a a 6.f. Supondremos que este período de suma tiene lugar durante la llegada de las muestras al circuito de conferencia, esto es, durante las aberturas de tiempo t_1 a t_v de un cuadro T , de tal manera que aparecerán la señal de escritura E de la memoria 1 y la señal de lectura L' de la memo-

ria 9. Una muestra recibida entra en una línea de la memoria 1 bajo el control de la señal de escritura E de período t mostrada en la fig. 6.a. La memoria 1 se lee bajo el control de la señal de lectura L mostrada en la fig. 6.b, y la muestra correspondiente se transfiere al registro 3 bajo el control de una señal Q mostrada en la fig. 6.c. Esta muestra se envía a través del circuito de expansión 2 al circuito de cálculo 4 en donde se suma al código presente a la salida del registro 6. El resultado de esta suma entra en el registro acumulador 5 bajo el control de una señal R mostrada en la fig. 6.d. Entonces, entra en el registro 6 bajo el control de una señal S mostrada en la fig. 6.e. La señal S se aplica al registro 6 a través de una puerta-AND 10 que también recibe la señal P de nivel $\underline{1}$ mostrada en la 5.a. Las señales L, Q, R y S tienen un período $T/2v$. La memoria de salida 9 se lee bajo el control de la señal de lectura L' de período t mostrada en la fig. 6.f.

Describiremos ahora el conjunto de operaciones realizadas en el circuito de conferencia durante un período de sustracción elemental $T/2v$, en relación con las figs. 6.a a 6.h. Supondremos, como antes, que este período de sustracción tiene lugar durante la llegada de las muestras en el circuito de conferencia. Una muestra recibida entra en una línea de la memoria de entrada 1 bajo el control de la señal de escritura E mostrada en la fig. 6.a. La memoria 1 se lee bajo el control de la señal de lectura L mostrada en la fig. 6.b, y la muestra correspondiente se transfiere al registro 3 bajo el control de la señal Q mostrada en la fig. 6.c. Esta muestra se envía, a través del circuito de expansión 2, al circuito de cálculo 4 que se resta de la

suma de las I muestras obtenidas anteriormente durante las operaciones de adición y presentes en el registro 6. El circuito de cálculo 4 actúa como restador bajo el control de la señal P de nivel 0 mostrada en la fig. 5.a. Esta señal inhibe la puerta AND 10, impidiendo así cualquier entrada en el registro 6. El resultado de la resta entra en el registro acumulador bajo el control de la señal R mostrada en la fig. 6.d. Entonces, después de pasar a través del atenuador 7 y el circuito de compresión 8 entra en una línea de la memoria de salida bajo el control de la señal de escritura E' de período $T/2v$ mostrada en la fig. 6.g. Cuando se ha realizado la última resta dentro de un grupo, el registro 6 se repone a cero bajo el control de una señal RAZ de período T/K mostrada en la fig. 6.h. Se requiere esta reposición a cero para iniciar las operaciones de suma relativas al grupo siguiente. La memoria de salida 9 se lee bajo el control de la señal de lectura L' de período t mostrada en la fig. 6.f.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance. En particular, las v aberturas de tiempo t reservadas para el circuito de conferencia pueden estar distribuidas uniformemente dentro del cuadro T en lugar de estar agrupadas al comienzo (aberturas de tiempo t_1 a t_v) como en el ejemplo elegido para la descripción.

El presente invento corresponde a una solicitud de patente formulada en Francia el día 4 de Diciembre de 1975, señalada con el no. 75 37102 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un circuito para conferencia para una
malla de conmutación MIC (modulación por impulsos codifica-
dos) diseñado para establecer simultáneamente K llamadas a
conferencia de I abonados ($K \cdot I = V$) que funciona con un perío
do de repetición o cuadro I dividido en W aberturas de tiempo T
10 (siendo V un submúltiplo de W), que comprende una memoria
de entrada de lectura/escritura de V líneas que almacenan
los códigos de abonado no-lineales recibidos durante V
aberturas de tiempo T, estando dividida dicha memoria de
entrada en K grupos de I líneas, un circuito de expansión
15 que convierte dichos códigos no-lineales en códigos linea-
les, un circuito de cálculo, un atenuador, un circuito de
compresión que convierte dichos códigos lineales en códigos
no-lineales, y una memoria de salida de lectura/escritura
de V líneas, caracterizado porque se lee cada grupo de la
20 memoria línea por línea, dos veces en sucesión, siendo el
periodo de lectura de una línea igual a $T/2v$, y porque di-
cho circuito de cálculo es un sumador-restador cuya entrada
está conectada a la salida del circuito de expansión y cu-
ya otra entrada está conectada a su salida a través de un
25 primero y un segundo registradores. Dicho circuito sumador-
restador funciona como sumador durante la primera lectura
de un grupo y como restador durante la segunda lectura.

30 2.- Un circuito para conferencia, según
el punto 1, caracterizado porque el segundo registrador se
inhibe durante la fase de resta del circuito de cálculo, y

se repone a cero al comienzo de la fase de suma.

3.- Un circuito para conferencia, según una de las reivindicaciones 1 y 2, caracterizado porque el sumador-restador realiza I sumas durante la fase de adición, en viando al final la suma de las I muestras del grupo, e I restas durante la fase de resta, deduciendo cada vez de esta suma la muestra leída en el grupo.

4.- Un circuito para conferencia, según cualquiera de las reivindicaciones anteriores, caracterizado porque los I códigos enviados por el sumador-restador durante la fase de resta se introduce tal como se producen en la memoria de salida, a través de un primer registrador, el atenuador y el circuito de compresión.

5.- Un circuito para conferencia para una malla de conmutación MIC.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de doce hojas escritas por una sola cara.



Madrid, 3 MAR. 1977

EUGENIO BARROSO
Secretario

A handwritten signature in dark ink, appearing to read 'Eugenio Barroso', written over the typed name and title.

5/1

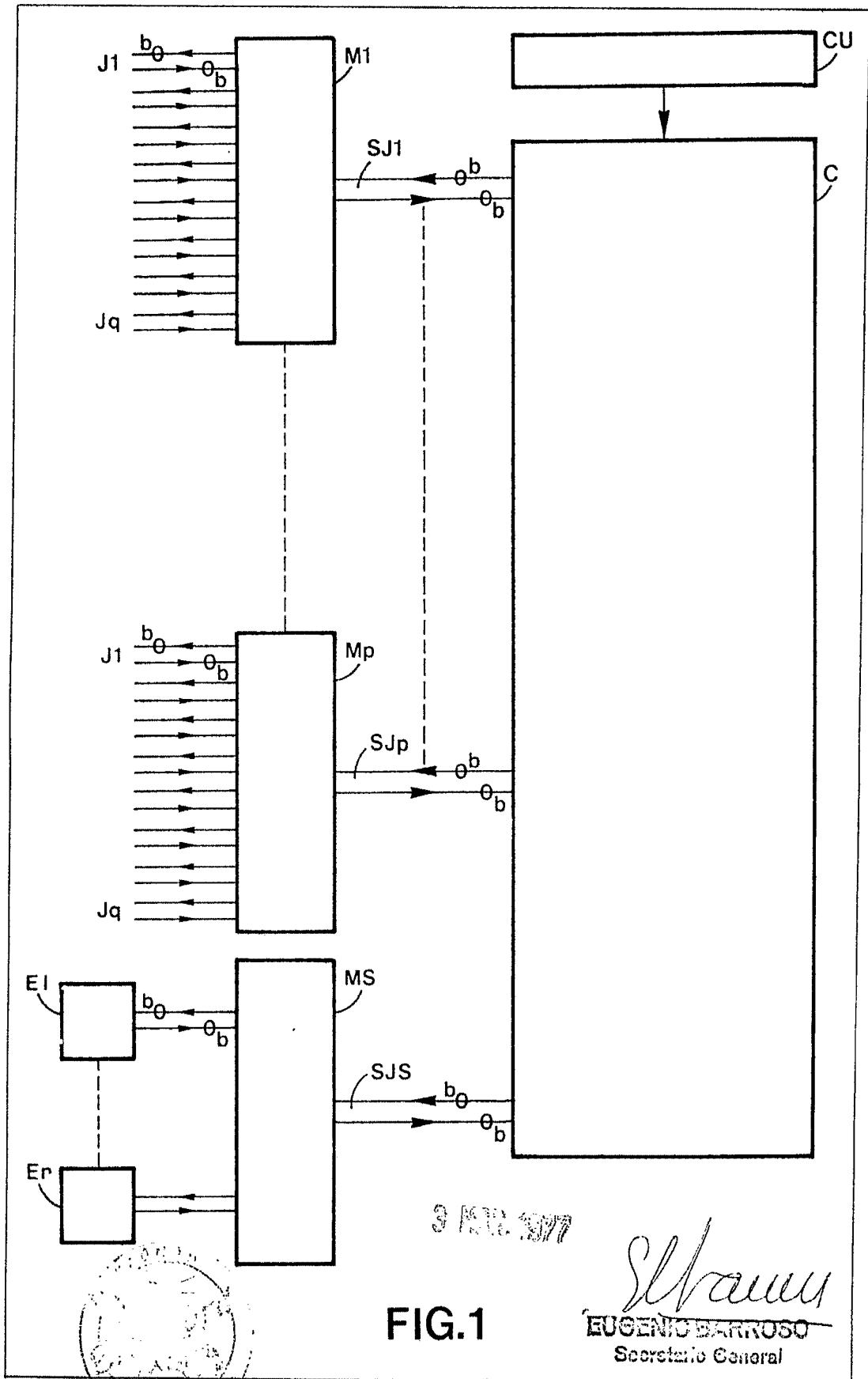
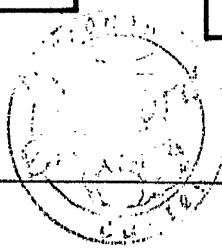


FIG.1

Eugenio Barroso
EUGENIO BARROSO
Secretario General



5/2

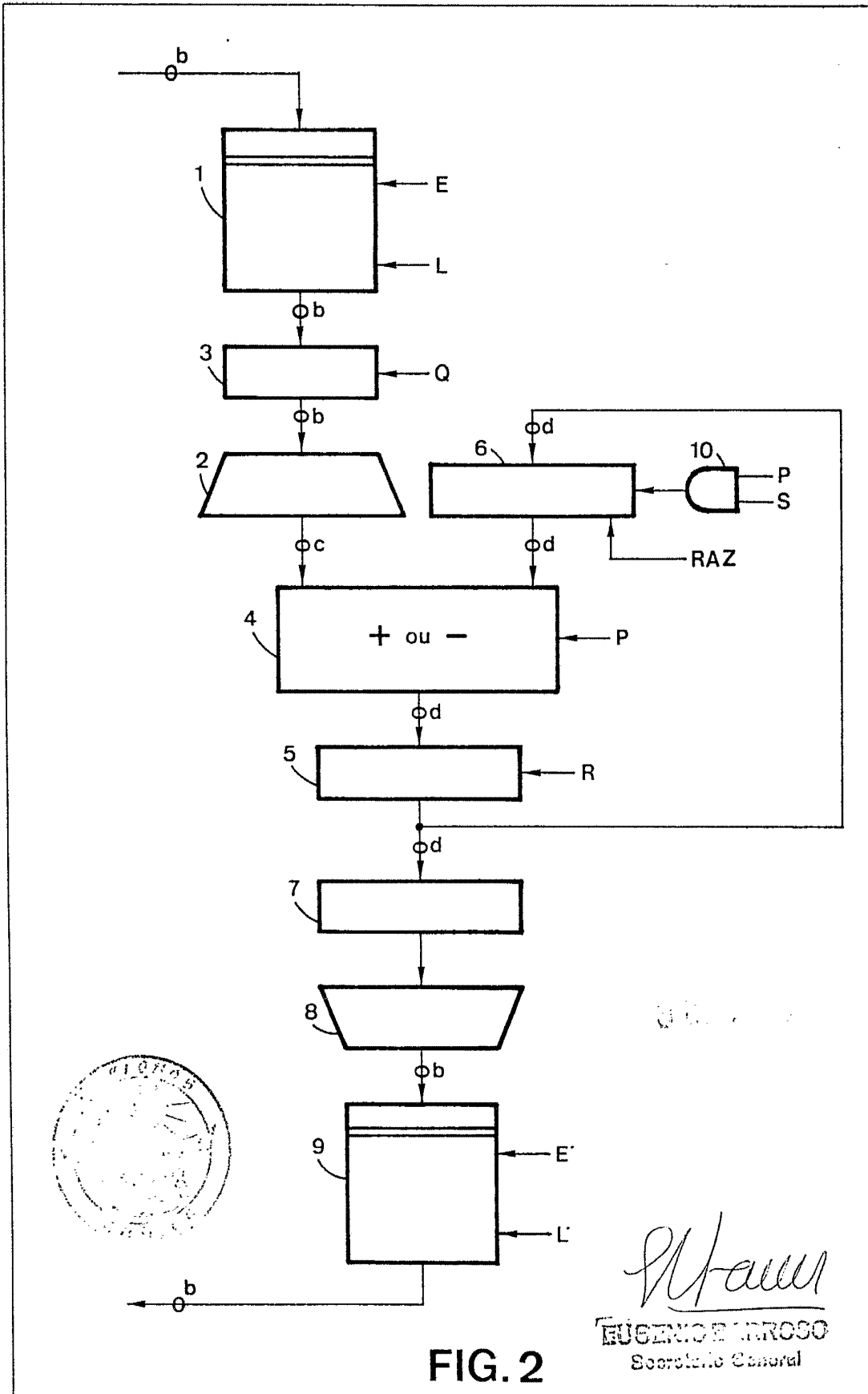
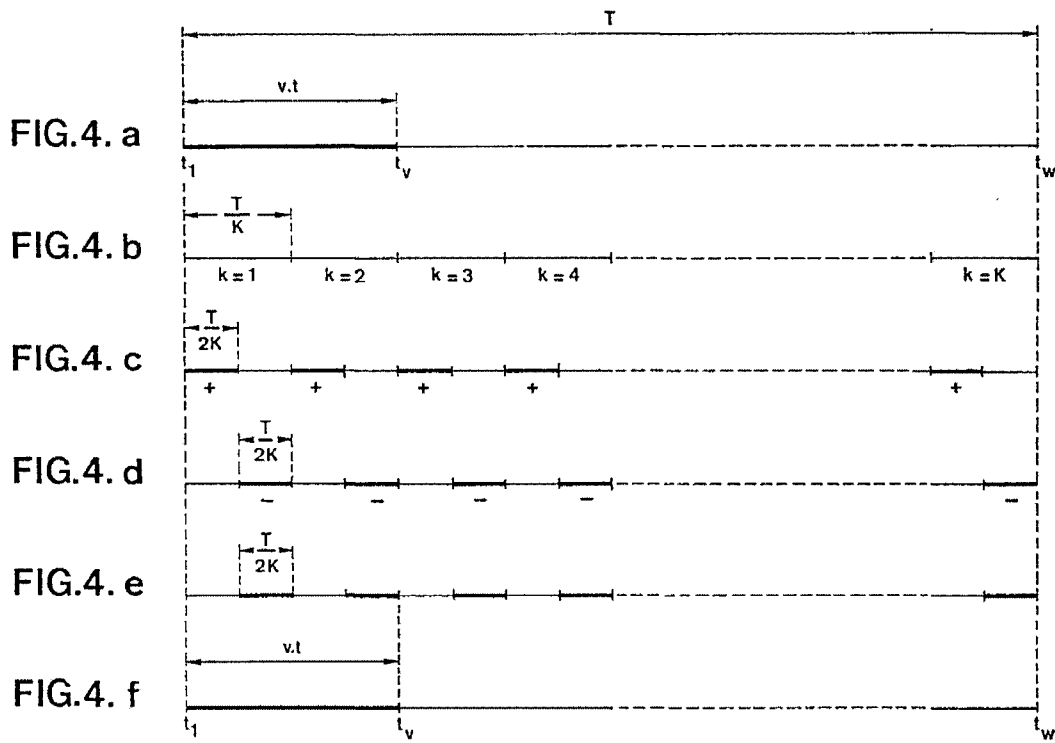
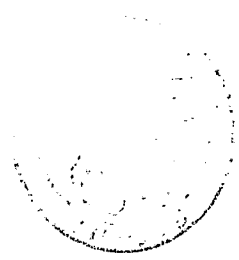


FIG. 2

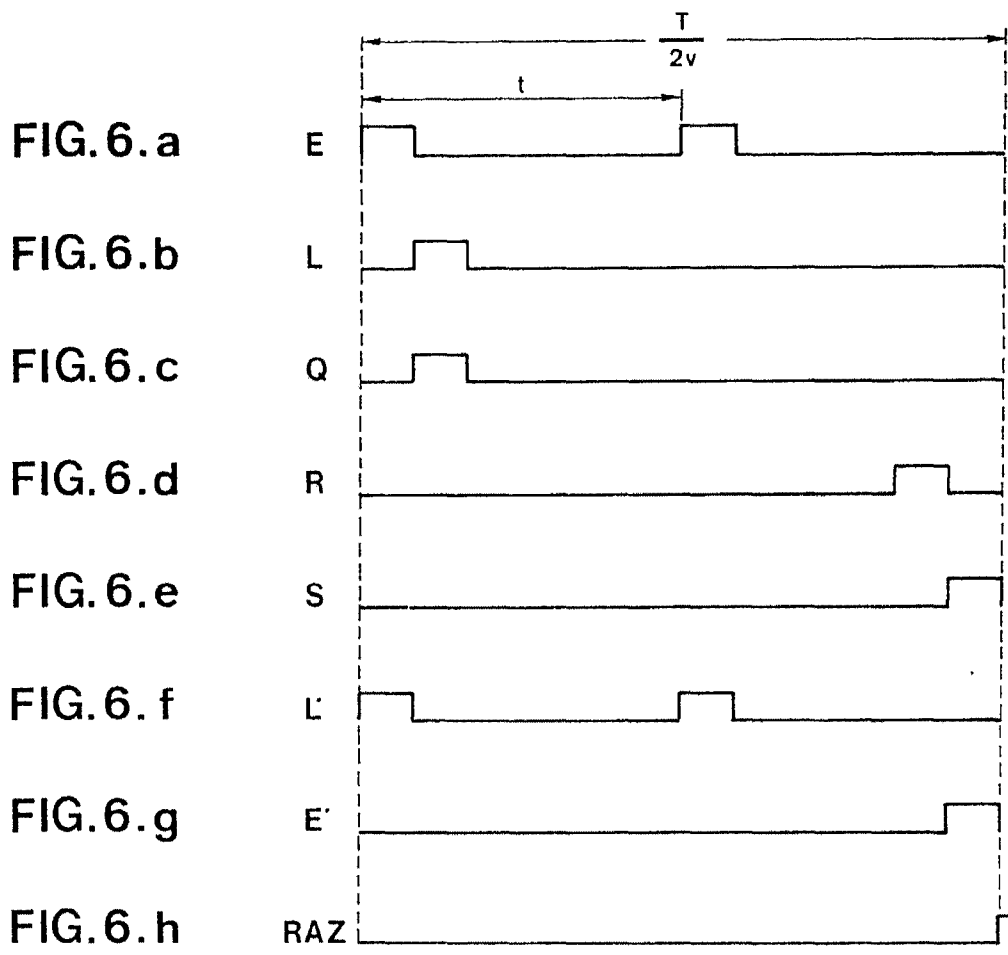
5/4



27



Eugenio Barroso
EUGENIO BARROSO
Secretary General



Chauhan
CHAUHAN
CHAUHAN