

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

453 911

10	ES	11	NUMERO	453911	12	A1
13		14	FECHA DE PRESENTACION	- 3 DIC. 1975		

PATENTE DE INVENCION

15	PRIORIDADES:	16	FECHA	17	PAIS
15	NUMERO	16		17	
	Ser. 637.177		3 de Diciembre de 1.975		Norteamerica.

18	FECHA DE PUBLICIDAD	19	CLASIFICACION INTERNACIONAL	20	PATENTE DE LA QUE ES DIVISIONARIA
			H01L		

21	TITULO DE LA INVENCION
	Procedimiento para fabricar un dispositivo semiconductor.

22	SOLICITANTE (ES)
	WESTERN ELECTRIC COMPANY, entidad norteamericana.

23	DOMICILIO DEL SOLICITANTE
	residente en 195 Broadway, New York, New York 10007, EE.UU. de A.

24	INVENTOR (ES)
	GEORGE MARR, GEORGE ELWOOD SMITH.

25	TITULAR (ES)

26	REPRESENTANTE
	D. Jaime Gomez-Acocho y Modet.

La presente invención se refiere a un procedimiento para fabricar un dispositivo semiconductor que tiene una primera y una segunda regiones de impureza separadas a corta distancia entre sí.

5. Debido a su facilidad de fabricación, el transistor con efecto de campo (FET) se está utilizando con profusión en la tecnología de los circuitos integrados. Un FET común es un circuito que utiliza regiones de fuente y drenaje en una superficie de una pastilla de silicio separada por una región de canal a través de la cual se controla la corriente por un electrodo puerta superpuesto a la región de canal y aislado de la misma por una delgada capa de dióxido de silicio. Un inconveniente de dichos dispositivos es la dificultad encontrada por la tecnología anterior para hacer canales extremadamente cortos y de dimensiones de precisión.

10. Un dispositivo que está relacionado estructuralmente con el FET es el transistor bipolar lateral en el cual las regiones del emisor y el colector, en la superficie de una pastilla, están separadas por una región de base corta. La disponibilidad de estos dispositivos está limitada por la dificultad encontrada por la tecnología anterior para hacer regiones de base extremadamente cortas y de dimensiones de precisión en la superficie de la pastilla.

15. Estas dificultades de la tecnología anterior se resuelven según este invento mediante el empleo de un procedimiento caracterizado porque. Se forma sobre una superficie de un cuerpo de material semiconductor una máscara que tiene una abertura que la atraviesa definida por un primer canto vertical, se introducen impurezas en el cuerpo del semiconductor a través de la abertura de la máscara para formar una primera región de impurezas, definiendo el primer canto vertical el canto de la primera región de impurezas; se reduce el tamaño de la abertura y se forma de este modo un segundo canto vertical separado lateralmente una distancia predeter-

minada de la posición del primer canto; y se introducen impurezas en el cuerpo del semiconductor a través de la abertura de tamaño reducido para formar una segunda región de impurezas, definiendo el segundo canto vertical el canto de la segunda región de impurezas, por lo que la distancia entre los cantos de la primera y la segunda regiones de impurezas está determinada por la distancia entre el primero y el segundo cantos verticales.

5. Las figuras 1-3 son vistas esquemáticas en sección de una pastilla de semiconductor que ilustra varias etapas en la fabricación de un transistor según una modalidad del invento ilustrativa.

10. La figura 4A ilustra una estructura de transistor FET de acuerdo con una modalidad ilustrativa del invento; y

La figura 4B ilustra una estructura de transistor bipolar según una modalidad ilustrativa del invento.

15. Refiriendonos ahora a la figura 1, una capa delgada 11 de conductividad de tipo n se forma de un modo selectivo en un substrato de semiconductor de silicio de tipo p-10, por ejemplo por difusión, utilizando una capa 12 con aberturas, de dióxido de silicio o material similar, como máscara en una forma conocida. Refiriendonos ahora a la figura 2, la capa de óxido 12 se elimina y una delgada capa de óxido 13 (que se utiliza como capa de óxido de puerta) se desarrolla térmicamente sobre la pastilla 10.

20. Después, una capa de silicio relativamente gruesa 15 se forma entodo el lugar del transistor salvo en la parte central. Esto se puede conseguir por deposición uniforme y eliminación ulterior de la parte central o limitando la deposición inicial para excluir la parte central. Ambas técnicas son técnicas conocidas. La finalidad de la capa de silicio 15 es constituir una máscara de injerto ionico que tiene una abertura central 16; como tal, la capa 15 es de espesor suficiente para evitar su penetración por los

POOR
QUALIT

iones.

Después, se injertan impurezas de tipo p, por ejemplo iones de boro, a través de la abertura 16 y a través de la capa de óxido de puerta 13 para formar una capa p 17 en el sustrato adyacente a la capa 11. El injerto iónico es un procedimiento conocido en esta rama de la industria. Los iones de boro se proyectan mediante un aparato apropiado hacia la pastilla, según indican flechas, penetran por la capa de óxido de puerta 13, y forman la capa 17 hasta alcanzar un espesor controlado y con un perfil de concentración controlado. La capa 17, en esta modalidad del invento, es más gruesa que la capa 11. Según se sabe, el lugar que ocupan los cantos de la capa 17 se controla por la ubicación de los cantos verticales de la capa de máscara 15. En las figuras 2 y 3, dicho lugar está indicado por la letra A.

Refiriendonos a la figura 3, la capa de silicio 15 se oxida después al menos parcialmente para formar sobre la misma una capa de dióxido de silicio 19. En el proceso de oxidar la superficie expuesta de la capa de silicio, la abertura 16 se constriñe. Esto se debe a que por cada 0,45 micrones de silicio oxidado, se forma una capa de un micrón de SiO_2 . Por lo tanto, la suma de los espesores de las capas 15 y 19 de la figura 3 es ligeramente mayor que el espesor total de la capa 15 de la figura 2 y, por consiguiente, la abertura 16 se constriñe. Por lo tanto, controlando el grado de oxidación, se controla con precisión el cambio de tamaño de la abertura de la máscara. Las técnicas empleadas para el controlar con precisión la oxidación de silicio son técnicas conocidas. La nueva ubicación del canto vertical de la capa enmascarante 15, 19 está indicado por la letra B en las figuras 2 y 3.

Después se forma una capa de tipo n 18 en la capa de tipo p 17 por injerto iónico de una impureza apropiada, por ejemplo fós

foro. Como el canto de la capa de óxido 19 se ha desplazado de la posición original del canto de la capa de silicio 15 en una distancia A-B, el canto de la capa de tipo n 18 se separa de la región n 11 en una pequeña parte de la región p 17 que se identifica con el número de referencia 17'. Esta separación estrecha de tipo p 17' constituye finalmente un canal de FET extraordinariamente corto situado entre regiones de tipo n 18 y 11 que constituyen el drenaje y la fuente del FET. Como variante, las regiones 18, 17' y 11 pueden constituir respectivamente el emisor, base y colector de un transistor bipolar lateral de tipo n-p-n. En la variante del transistor bipolar, se omite la fase inicial de formar la capa de óxido de puerta 13.

Después del injerto iónico, la pastilla se recuece preferiblemente, como es normal, para reparar el daño sufrido por la redícula cristalina y para mover los iones injertados desde las posiciones intersticiales a posiciones de sustitución con el fin de aumentar su actividad eléctrica. Asimismo la pastilla se puede calentar de un modo adicional para producir una difusión de los iones injertados más profunda en la pastilla, si así se desea.

Refiriendonos ahora a la figura 4A, se ilustra la estructura básica de la figura 3 con contactos eléctricos 20 y 22 hechos en las regiones de tipo n 18 y 11, respectivamente, y un contacto eléctrico 24 previsto en la capa de óxido 13 sobre la región de tipo p 17'. Los contactos 20 y 22 sirven como contactos de drenaje y de fuente y el contacto 24 sirve como contacto de puerta. Como tal, la estructura de la figura 4A es un FET conocido comúnmente como transistor MOS de canal n. Aunque no se ilustra, la estructura del electrodo puerta 13, 24 puede tener una configuración de tipo anular y rodear prácticamente la capa n central 18.

Refiriendonos ahora a la figura 4B se ilustra la estructura

ra básica de la figura 3 (sin capa de óxido 13) con contacto eléctricos 26 y 28 hechos en las regiones de tipo n 18 y 11, respectivamente. Los constactos 26 y 28 sirven como contactos del emisor y el colector de un transistor de unión bipolar lateral del tipo n-p-n. El substrato de tipo p 10 (que se conecta ohmicamente a la región 17) se puede contactar desde debajo (no se ilustra) o, según se ilustra, el contacto 30 se puede unir a una parte superficial de la región 10. Este contacto a la región 10 sirve como contacto de base del transistor de unión bipolar lateral.

5.

10.

A pesar de que el material de máscara preferible es el silicio, policristalino o monocristalino, dependiendo de cómo y de qué material se deposite, se pueden utilizar otros materiales, por ejemplo tungsteno, en el supuesto que posean la propiedad de formar un desarrollo superficial controlado por oxidación u otro tratamiento químico de los mismos. Asimismo, se pueden emplear otros materiales semiconductores, v.g., germanio, así como diferentes conductividades y tipos de conductividad. Además, otras técnicas, v.g., técnicas de difusión, se pueden emplear para introducir las impurezas en cuerpo del semiconductor.

15.

20.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

5. 1.- Procedimiento para fabricar un dispositivo semiconductor, que tiene una primera y una segunda regiones de impurezas separadas con precisión en una corta distancia una de otra; caracterizado porque comprende la fases de formar sobre una superficie de un cuerpo de material semiconductor, una máscara que tiene una abertura que la atraviesa definida por un primer canto vertical; introducir impurezas en el cuerpo semiconductor a través de la abertura de la máscara para formar una primera región de impurezas, definiendo el primer canto vertical el canto de la primera región de impurezas; reducir el tamaño de la abertura y formar de este modo un segundo canto vertical separado lateralmente una distancia predeterminada a partir de la posición del primer canto; introducir
10. impurezas en el cuerpo semiconductor a través de la abertura de tamaño reducido para formar una segunda región de impurezas, definiendo dicho segundo canto vertical el canto de la segunda región de impurezas, por lo que la distancia entre cantos de la primera y segunda regiones de impurezas está determinada por la distancia entre el primer y el segundo cantos verticales.

2.- Procedimiento según la reivindicación 1, caracterizado porque se reduce el tamaño de la abertura a través de la máscara oxidando la superficie de la máscara que define la abertura.

25. 3.- Procedimiento para fabricar un dispositivo semiconductor, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

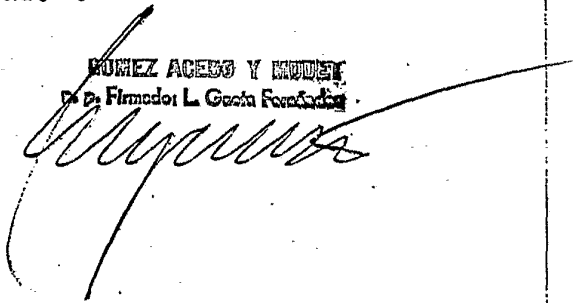
Esta Memoria consta de siete hojas escritas a máquina por una sola cara.

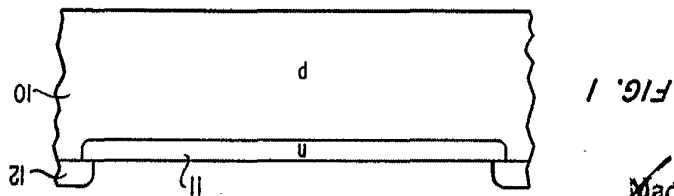
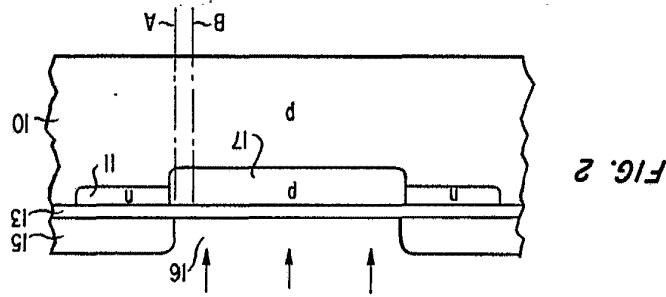
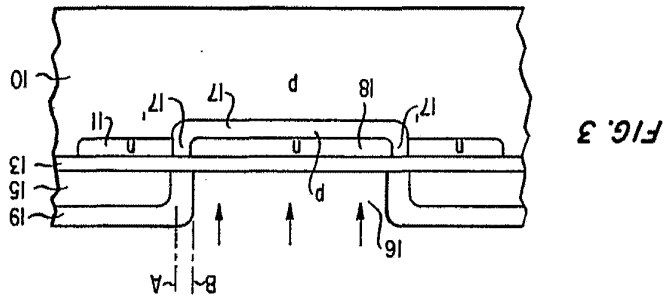
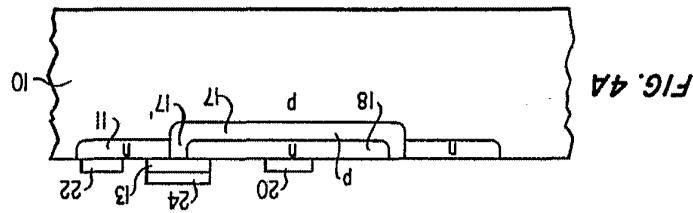
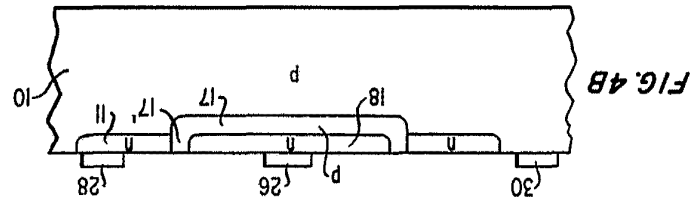
Madrid,

- 3 DIC. 1976

WESTERN ELECTRIC COMPANY.

FUENZALBA ACEBO Y MUÑOZ
Ingenieros de la Especialidad de L. Gestión Forestal





ESCALA
VARIABLE

Madrid, - 3 DIC. 1976

GOMEZ ACEBO Y MUÑOZ
S. S. Firmados: L. Gasta Fernández