

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



18	ES	11	NUMERO	453036	10	A1
		21				
		22	FECHA DE PRESENTACION			

**PATENTE DE INVENCION**

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	P 25 53 258.5		27.Nov.75		Alemania

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA

64	TITULO DE LA INVENCION
	"UN DISPOSITIVO PARA UN RECEPTOR DE SEÑAL DE MULTIFRECUENCIA DIGITAL".

71	SOLICITANTE (S)
	STANDARD ELECTRICA, S.A.

	DOMICILIO DEL SOLICITANTE
	Madrid, calle de Ramirez de Prado, Nº 5.

72	INVENTOR (ES)
	Wolf Ohl, Herbert Ball.

73	TITULAR (ES)
	STANDARD ELECTRICA, S.A.

74	REPRESENTANTE
	D. Eugenio Barroso Espinosa de los Monteros.

El presente invento se refiere a un dispositivo para un receptor de señal de multifrecuencia digital, para reconocer varias frecuencias de señal transmitidas como una señal simultáneamente y en un grupo de frecuencia diferente, comprendiendo, por cada grupo de frecuencia, conta  
5 dores para medir el tiempo entre los cruces de cero, y dispositivos que, cuando se ha detectado una señal de interferencia, porporcionan una señal de reposición que hace que la cuenta para el grupo de frecuencia implicado comience  
10 de nuevo, particularmente para sistemas telefónicos dónde existen receptores de señal de teclado digital.

Un circuito de este tipo se conoce ya por la solicitud de Patente Alemana (DT-OS) 2.341.224. En este receptor de señal, que utiliza el código de grupo-dos (dos  
15 veces uno entre cuatro), se detectan las frecuencias de entrada a ser comprobadas para su validez con contadores digitales. En los circuitos de evaluación individuales de cada grupo, se arrancan un detector de medio ciclo y, al mismo tiempo, un contador de impulso de reloj, cuando  
20 llega una señal. Una comprobación de las dos cuentas muestra si o no la frecuencia de la señal cae dentro de una distribución predeterminada. En el primer caso, el circuito de evaluación transmite una señal de entre cuatro existentes, los hilos de salida a un circuito de salida de señal,  
25 y en el segundo caso, los contadores del grupo de frecuencia implicado se arrancan de nuevo. Solamente cuando el circuito de salida de señal recibe una señal desde cada uno de los dos circuitos de evaluación, ha sido reconocida la señal codificada en paralelo (multifrecuencia).

30 El tiempo que un circuito de evaluación requiere

para el reconocimiento de una señal depende de un número predeterminado de ciclos que ha de tomarse para el proceso de reconocimiento, y de la frecuencia de la señal a ser comprobada, de tal manera que las señales de frecuencia más elevada se reconocerán más rápidamente que las de frecuencia menor. Debido a la diferencia de tiempos de reconocimiento, un proceso de reconocimiento comenzado simultáneamente en ambos circuitos de evaluación cuando tiene lugar una señal codificada en paralelo, se completará con la transmisión de señal al circuito de salida de señal en instantes que caen en diferencias de tiempo sistemáticas. Sin embargo, también es necesario considerar los requerimientos opuestos para una diferencia de tiempo tan corta como sea posible (este requerimiento puede derivarse de la utilización de un código paralelo) a fin de permitir una distinción entre señales codificadas en paralelo y en serie. A este fin, debe fijarse una diferencia de tiempo permisible máxima.

Si la señal a ser comprobada está afectada de una perturbación que afecta solamente a un grupo de frecuencias, de tal manera que solamente el circuito de evaluación afectado la evaluará como un error de frecuencia o como inadmisibles porque no ha cumplido algún criterio de validación, los contadores de este circuito de evaluación se repondrán de nuevo, y el tiempo de reconocimiento se hará correspondientemente más largo. Esta señal, que es válida en sí misma, no será reconocida como tal, porque se excede la diferencia de tiempo permisible.

El objetivo del presente invento es proporcionar un circuito del tipo indicado a modo de introducción con el

que pueden evaluarse además las señales que llegan con las perturbaciones mencionadas anteriormente. El invento está caracterizado porque el circuito de evaluación de cada grupo de frecuencia está asignado a un circuito secuencial para cada grupo de frecuencia, y porque la salida de cada  
5 circuito secuencial se acopla a las entradas de reposición de los contadores de otro grupo de frecuencia.

Esto ofrece la ventaja de que las señales a ser comprobadas deben satisfacer la condición adicional de  
10 tener que ocurrir simultáneamente en un tiempo preestablecido, a fin de ser reconocidas como una señal. Esto mejora la protección contra las imitaciones de señal (protección de voz) aunque disminuya el número de señales rechazadas como no válidas.

Otro aspecto del invento está caracterizado porque cada circuito secuencial incluye un circuito puerta cuya primera entrada se alimenta con la señal de reposición aplicada a la entrada del circuito secuencial, y cuya segunda  
15 entrada se alimenta con las señales procedentes de un detector de cero del circuito de evaluación al que se aplica la señal de salida del circuito secuencial, y porque la salida del circuito puerta forma la salida del circuito  
20 secuencial.

Esto tiene además la ventaja de que, en los grupos individuales, el retardo de tiempo al comienzo de la  
25 evaluación no es mayor que medio período, por lo que puede reducirse aún más el tiempo de reconocimiento de la señal de preselección.

En las reivindicaciones aparecerán mejoras del  
30 invento.

Describiremos seguidamente una configuración del invento refiriéndonos a los dibujos que se acompañan.

Incluidos entre los circuitos de evaluación A1 y A2, que ya son conocidos, están los circuitos secuenciales FS1 y FS2 de acuerdo con el invento. Sus terminales se reconocen como líneas gruesas. Los números 1 y 2 indican los elementos de conmutación que pertenecen a los circuitos de evaluación A1 y A2 de los grupos de frecuencia superior e inferior respectivamente.

Las señales que aparecen en una entrada, por ejemplo, I1, del circuito de evaluación A1, normalmente señales de onda cuadrada, producen, en un detector de cero ND1, impulsos que se aplican a un contador de cruce de cero NZ1 que avanza con cada impulso. Asociado con el contador de cruce de cero NZ1 existe un contador de impulso de reloj TZ1 que avanza, de una manera conocida, por una señal de reloj de referencia T de frecuencia elevada, y cuyas entradas de reposición RTL están conectadas a través de las del contador de cruce de cero NZ1, de tal manera que un impulso de reposición R1 influenciará ambos contadores NZ1 y TZ1 simultáneamente. Tan pronto como se hayan recibido n impulsos en el contador de cruce de cero NZ1, se activa una salida determinada designada por nz1n y proporciona una señal de estado 1. Si el contador de reloj TZ1 ha alcanzado la cuenta N durante el mismo período, se activa también su salida designada por tz1N. Ambos terminales de salida nz1n y tz1N están acoplados a un lógico L1 que, cuando cada terminal nz1n y tz1N están en el lógico 1, activa en el circuito de evaluación A1 una salida asignada a la frecuencia de señal, por ejemplo la salida O1.

Nótese que el contador de impulso de reloj TZ1 tiene, además de la salida tz1N, tres salidas (no indicadas) a cuentas determinadas para reconocer las otras tres frecuencias de señal de este grupo.

5 Si, durante un proceso de reconocimiento, el contador de cruce de cero NZ1, ha contado hasta n, y la señal de estado 1 enviada no coincide con una señal de estado 1 de una de las salidas del contador de impulso de reloj mencionado anteriormente porque la frecuencia recibida estaba  
10 perturbada, el lógico L, después de haber detectado esto, proporcionará una señal de reposición R que repone los contadores NZ1 y TZ1 y activa un flip-flop FF1 en un circuito secuencial FS1 asignado al grupo. Este flip-flop activa una posterior puerta AND T1 para dar paso al siguiente impulso  
15 que llega desde el detector de cero ND2 del otro grupo a las entradas de reposición RN2 y RT2 de este otro grupo. De esta manera, el impulso de reposición desde un grupo actúa sobre los contadores de ambos grupos y comienza la cuenta en cada grupo precisamente en el instante de un cruce  
20 de cero, de tal manera que solamente se miden en cada caso los intervalos completos entre cruces de cero.

La entrada de reposición del flip-flop FF1 está conectada a una salida nz20 del contador de cruce de cero NZ2, cuya salida se activa cuando el contador está en la  
25 posición cero, de tal modo que después de que el contador se haya repuesto, se repone el flip-flop FF1, y la puerta AND T1 se inhibe. Esto impide que los impulsos posteriores proporcionados por el detector de cero ND2 repongan repetidamente los contadores NZ2 y TZ2.

30 Al igual que la señal de reposición R1 generada

en el lógico L1 del grupo superior, una señal de reposición R2 generada en el lógico L2 del grupo inferior es efectiva en ambos grupos. Con este invento, el comienzo de la cuenta en ambos grupos se sincroniza automáticamente. La desviación resultante puede llegar a medio ciclo como máximo, 5  
ello está determinado por el tiempo que transcurre entre la activación del flip-flop FF y la aparición del siguiente impulso desde el detector de cero ND.

Ya hemos dicho que el lógico L proporciona una 10  
señal de reposición R cuando la frecuencia de la señal recibida no coincide con la distribución de frecuencia de señal predeterminada, esto es, no satisface la condición de validación. De la misma manera, otros dispositivos de comprobación de señal (no mostrados) hacen que el lógico conectado a ellos para generar las señales de reposición cuando 15  
las señales recibidas se encuentran invalidadas respecto a otros criterios.

El comienzo simultáneo de la cuenta de ambos grupos, que se consigue con el dispositivo del invento, implica 20  
una comprobación de coincidencia respecto a las dos señales que forman una señal codificada en paralelo. Ambas señales deben recibirse sin perturbación durante un tiempo mínimo (tiempo de reconocimiento) a fin de que puedan ser válidas.

En los receptores de señal que funcionan con más 25  
de dos grupos de frecuencia cada grupo debe ser asignado a un circuito secuencial FS para cada grupo, este circuito secuencial debe cablearse como se muestra en la configuración.

Ha de quedar entendido que la anterior descripción 30  
de una forma determinada del invento se hace a modo de ejem-

plo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Alemania el día 27 de Noviembre de 1975, señalada con el Nº P 25 53 258.5 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un dispositivo para un receptor de señal de multifrecuencia digital, para reconocer diferentes frecuencias de señal transmitidas como una señal, simultáneamente, y en un grupo de frecuencias diferente, que comprende, por cada grupo de frecuencias, contadores para medir el tiempo entre los cruces de cero, y dispositivos que, cuando se detecta una señal de interferencia, proporcionan una señal de reposición que hace que la cuenta para el grupo de frecuencias implicado comience de nuevo, particularmente para receptores de señal de teclado digital en sistemas telefónicos caracterizado porque el circuito de evaluación de cada grupo de frecuencias se asigna a un circuito secuencial (FS) por cada otro grupo de frecuencias, porque la señal de reposición (R) de cada grupo de frecuencias se aplica a las entradas de todos los circuitos secuenciales asignados a dicho grupo de frecuencias, y porque la salida de cada circuito secuencial se acopla a las entradas de reposición (RN,RT) de los contadores (NT,TZ) de otro grupo de frecuencias.

2.- Un dispositivo, según el punto 1, porque cada circuito secuencial (por ejemplo , FS1) incluye un circuito

puerta (T1) cuya primera entrada se alimenta con la señal de reposición (R1) aplicada a la entrada del circuito secuencial, y cuya segunda entrada se alimenta con las señales de un detector de cero (ND 2) del circuito de evaluación al que se aplica la señal de salida del circuito secuencial, y porque la salida del circuito puerta forma la salida del circuito secuencial.

3.- Un dispositivo para un receptor de señal de multifrecuencia digital.

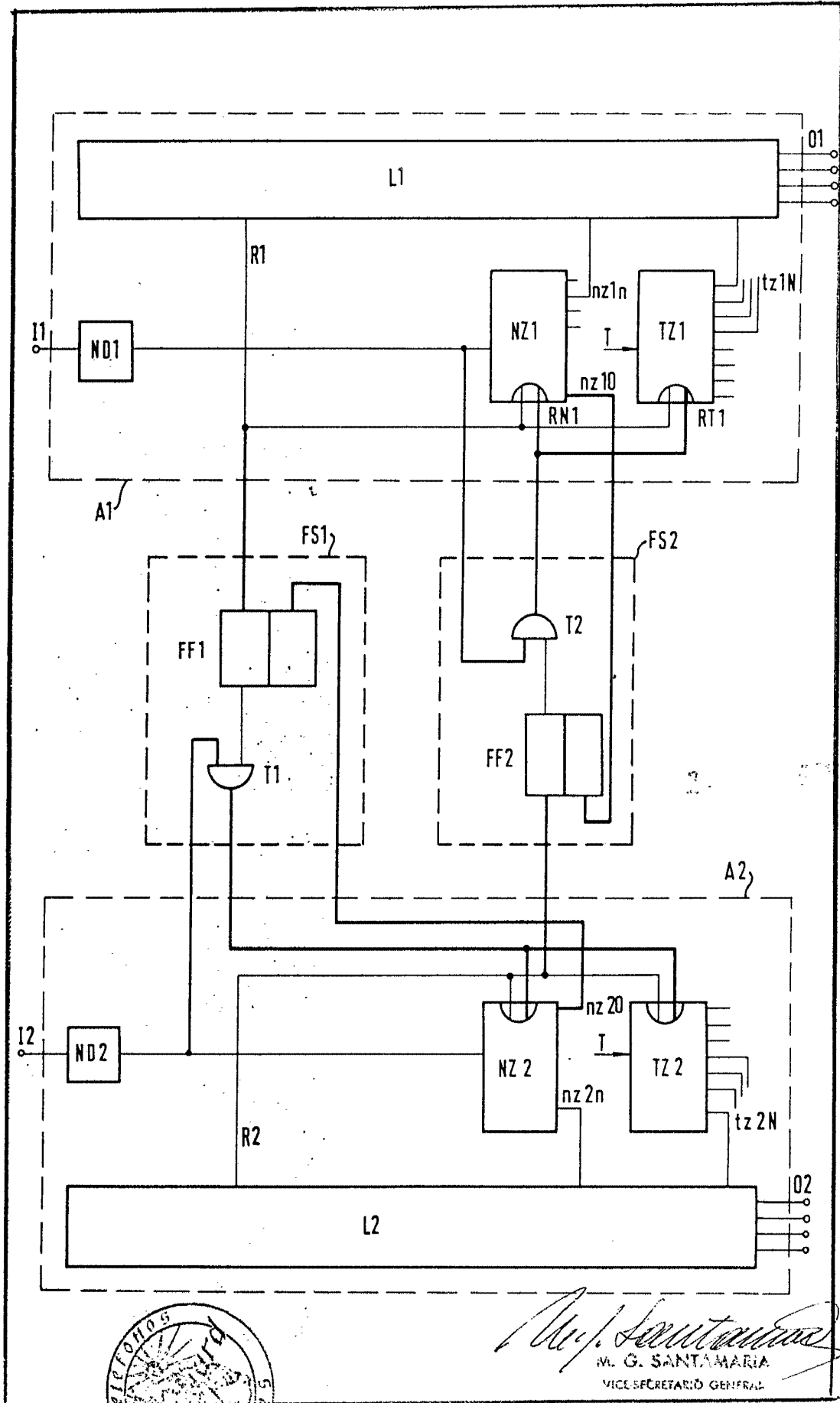
10 Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de nueve hojas escritas por una sola cara.

Madrid, 25 NOV 1976



*M. G. Santamaria*  
M. G. SANTAMARIA  
VICE-SECRETARIO GENERAL



*W. G. Santamaria*  
W. G. SANTAMARIA  
VICESECRETARIO GENERAL