

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



(10) ES	(11) NÚMERO	455592	(12) A I
(13)	(14)	(15) FECHA DE PRESENTACION	
(16)	(17)	17 NOV. 1976	

PATENTE DE INVENCION

(18) PRIORIDADES: (19) NÚMERO Ser. 657.918	(20) FECHA 13 de Febrero de 1.976	(21) PAIS Norteamérica.
--	--------------------------------------	----------------------------

(22) FECHA DE PUBLICIDAD	(23) CLASIFICACION INTERNACIONAL G04B; G05B	(24) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	--	--

(25) TITULO DE LA INVENCION Perfeccionamientos en sistemas de relojes digitales controlados por satélite.
--

(26) SOLICITANTE (S) UNITED STATES DEPARTMENT OF COMMERCE NATIONAL TECHNICAL INFORMATION SERVICE, entidad norteamericana.
--

DOMICILIO DEL SOLICITANTE residente en 425 13th Street. N.W. Washington, D.C. 20004, EE.UU. de A.
--

(27) INVENTOR (ES) Joseph Victor Gateora, Donald Wayne Hanson, Dickey Dexter Davis.
--

(28) TITULAR (ES)

(29) REPRESENTANTE D. Jaime Gomez-Acebo y Modet.

La presente invención se refiere a un sistema de reloj digital y, de un modo más particular, a un sistema de reloj digital que se controla por un código de tiempo transmitido por un satélite en orbita alrededor de la tierra. Desde hace tiempo se ha tenido necesidad de un sistema para distribuir información de código de tiempo precisa entre un reloj maestro y relojes distantes múltiples en diversos lugares. Por ejemplo, se utilizan hoy satélites para reunir datos de puntos de observación distantes como son boyas, estaciones metereológicas automáticas, globos, aviones, y barcos. Dichas estaciones distantes exigen información del tiempo del año precisa para actualizar, v.g, proporcionar una identificación de tiempo del año de este dato a medida que se recoge el dato, y poner e interfase apropiadamente sus transmisiones con los satélites. Además, la información del tiempo del año preciso se necesita para fines de navegación de barcos de aviones. Con anterioridad a este invento se ha realizado numerosos intentos para sincronizar un reloj distante con un reloj maestro. Por ejemplo, los sistemas de la tecnología anterior de este tipo se describen en las patentes EE.UU. nº 3.728.485, nº 3.648.173, y nº 3.751.900, aunque esta relación evidentemente no es exhaustiva ni se pretende que lo sea. En cada uno de estos sistemas, se transmite una señal desde un satélite en orbita que contiene un "bip" de tiempo preciso. El "bip" de tiempo se transmite a intervalos regulares y se utiliza por parte del lugar distante para ajustar su reloj correspondientemente. Un problema común que surge con los sistemas de este tipo es el de poner inicialmente el reloj local en sincronización de tiempo con el reloj maestro. Además, cualquier interrupción en la recepción por parte de un reloj local puede dar lugar a la pérdida de sincronización.

5.

10.

15.

20.

25.

30. Una serie de satélites metereológicos sincrónicos (SMS)

- bajo la dirección de la National Aeronautics and Space Administration Nacional de Aeronautica y Espacio) y Geostationary Operational Environmental Satellites (GOES) (Satélites Ambientales Operacionales Geoestacionarios, bajo la dirección de la National Oceanic and Atmospheric Administration, (Administración Nacional Oceánica y Atmosférica), transmiten información del tiempo del año, multiplexada en tiempo con otros datos que no se exponen en la presente memoria. La información del tiempo transmitida por estos satélites se transmite a un ritmo de datos altamente precisos. De un modo más específico, un mensaje de código de tiempo del año se transmite por satélite cada 30 segundo, comenzando en el minuto y en el medio minuto. Los datos transmitidos por cada periodo de 30 segundos se denominarán en adelante como registro de dato. El mensaje del código de tiempo completo se descompone en el transmisor en cuatro segmentos de bitio que se multiplexan en la corriente de datos con una secuencia de sincronización de patrón de bitios fijo y datos adicionales no utilizados por el presente invento. Cada sección de la corriente de datos transmitida, que contiene un segmento de código de tiempo de cuatro bitios, se denominará en adelante como bloque de dato. Por lo tanto, el mensaje del código de tiempo completo se puede componer situando los segmentos del código de tiempo dentro de la corriente de datos, determinando el comienzo del mensaje del código de tiempo y almacenando segmentos sucesivos hasta que se compone el mensaje completo. La corriente de datos se transmite al ritmo de datos precisos y es en sí un registro de base de tiempo preciso.
- Según el presente invento, se proporciona un sistema de reloj digital que recibe la señal de información de tiempo mencionada y descodificada y presenta la información del tiempo del año para uso adicional. Además de la información de tiempo del año,

Los satélites transmiten información relativa a su propia posición de navegación por lo que el sistema de reloj digital puede presentar dicha posición con el fin de calcular las demoras entre la transmisión y la recepción.

5. Según una modalidad de preferencia, el presente invento se pone en práctica por medio de un microordenador programado en "firmware". El sistema explora la corriente de datos para hallar el patrón de sincronización de bitio fijo con el fin de situar los segmentos del código de tiempo dentro de la corriente de datos.
10. Los segmentos de código de tiempo que inician el mensaje del código de tiempo contiene un patrón de bitio de sincronización adicional, que activa el sistema para reconocer apropiadamente el comienzo de un mensaje de código de tiempo. El reloj digital compone los segmentos de código de tiempo individuales en un mensaje de código de tiempo completo y presenta el mensaje en una pantalla digital.

15. Un oscilador local, que forma parte del sistema del reloj digital se bloquea en fase al ritmo de datos preciso de la corriente de datos recibida. Después de recibir, componer y presentar el primer mensaje de código de tiempo situado en la corriente de dato por parte del sistema, el sistema de reloj digital continua indicando el tiempo horario contando los impulsos precisos producidos por el oscilador local bloqueado en fase. El sistema de reloj recibe además mensaje de código de tiempo y los compara con el tiempo mantenido por el reloj por medio de los impulsos de contaje. Si la comparación tiene éxito, v.g., se observa coincidencia de tiempo, no se realiza operación alguna. Si se halla un error en la comparación, el sistema toma nota del hecho pero continuan sin perturbarse. Después de un numero predeterminado de errores detectados, el sistema se vuelve a sincronizar con la corriente de datos y repone su contador
20. de tiempo para que coincida con el mensaje de código de tiempo recib
- 25.
- 30.

do. Si se produce una interrupción en la recepción de la corriente de datos, el sistema de reloj digital continuará contando impulsos sin perturbación. Otras características y ventajas del invento se expondrá, o resultarán evidentes, en la descripción detallada de una modalidad de preferencia expuesta a continuación.

5.

La figura 1 es una representación esquemática de la relación entre el reloj maestro y los relojes digitales distantes, según el invento.

La figura 2 y 2(a) son diagramas, en forma esquemática, que ilustran el formato de los datos transmitidos por satélites.

10.

La figura 3 (a), 3 (b) y 4 son gráficos de flujo que representan las decisiones lógicas realizadas por el sistema de reloj digital según el invento.

La figura 5 es un diagrama esquemático en forma de conjuntos del sistema del reloj digital según el invento, y

15.

La figura 6 es un diagrama esquemático en forma de conjunto que representa las salidas de pantalla para el reloj ilustrado en la figura 5.

Refiriendonos a la figura 1 se ilustra, en una forma muy esquemática, una configuración que sirve de ejemplo para un sistema de reloj digital según este invento. Una fuente de tiempo de precisión, por ejemplo un reloj atómico 10, da a los transmisores 12 información de tiempo del año. Los transmisores 12 combinan la información de código de tiempo con información de posición actual del

20.

satélite y la localización del punto de recogida de datos que se ha de interrogar. Esta señal se transmite a los satélites 14 y 16 en la banda S para retransmitirse a puntos de recogidas de datos situados en tierra. Como ejemplos de dichos puntos de recogida de datos se citan estaciones hidrológicas 18, estaciones sísmicas 20, una es

25.

tación Tsunami (para detectar maremotos) 22, boyas marinas indicadas

30.

por la referencia 24, naves oceanicas indicadas por la referencia 26, y avión indicado por la referencia 27.

- Los receptores situados en los puntos de recogida de datos son de diseño clásico y comprenden característicamente un demodulador con un circuito de bloqueo de fase que tiene una anchura de banda de seguimiento de 20 Hz, y un circuito de recuperación de temporización para derivar el reloj de datos para sincronización de muestreo de símbolo. Las salidas del receptor comprenden una salida de datos y una salida de cronometración de datos que son utilizados por el sistema de reloj digital del invento, según se describirá más adelante. El retardo de una señal transmitida desde los transmisores 12 y retransmitidas por los satélites 14 y 16 de globo a tierra, es del orden de 260.000 microsegundos. Se pueden calcular retardos precisos con el conocimiento de la posición de los satélites y, aunque no forman parte de la modalidad actualmente preferible del invento, estos retardos podrían calcularse por el reloj digital del invento e incluirse en una corrección automática al tiempo del mismo.

- Refiriendonos a las figuras 2 y 2 (a), se ilustran en esta figura, el formato de los datos transmitidos. Los datos se transmiten en serie a razón de 100 bitios por segundo, denominandose cada grupo de 50 bitios como bloque. Así, cada bloque de 50 bitios necesita 500 milisegundos para ser transmitido. Cada bloque está compuesto por un segmento de código de tiempo de cuatro bitios, una sincronización de secuencia de longitud máxima (MLS) de 15 bitios, y una localización o dirección de interrogación de 31 bitios. Este formato se ilustra en la figura 2 (a) que es un inserto a mayor escala del formato del código de tiempo representado en la figura 2. Cada segmento de código de tiempo es una parte del mensaje del código de tiempo completo recopilado por el reloj digital en un periodo

de 30 segundos. El código "MLS SYNC" es una secuencia de bitio fijado predeterminado que se repite en cada bloque, y permite que un receptor pueda determinar los lugares de los segmentos de código de tiempo y los segmentos de localización de interrogación dentro de la corriente de dato. Por lo tanto, una vez que el reloj digital ha reconocido el código MLS, el segmento de código de tiempo de cada bloque se puede situar omitiéndose 31 bitios, y después extraerse y reconstruirse en un mensaje de código de tiempo completo. El mensaje de código de tiempo está compuesto por 10 palabras de sincronización de código de tiempo, que van seguidos por 8 segmentos de tiempo del año, dos segmentos de corrección y 13 segmentos de posición de satélite. Según se ilustra en la figura 2, el mensaje del código de tiempo completo exige solamente 16 segundos y medio para transmisión. Los 13 segundos y medios restantes del periodo de registro de 30 segundos no se utilizan en el presente invento.

La sincronización entre la corriente de datos transmitida y el receptor del reloj digital se proporciona en dos niveles. En el primer nivel, el receptor debe determinar en qué punto están situados los segmentos de código de tiempo de cuatro bitios dentro de la corriente de datos. Esto se determina por referencia al código "MLS SYNC". Una vez que se han situado los segmentos del código de tiempo de cuatro bitios, el receptor debe determinar a donde pertenece un segmento particular en el registro de 30 segundos. Esto se determina por medio de 10 palabras "SYNC" (sincronización) que se sitúan al comienzo de cada registro de 30 segundos. Las palabras "SYNC" son 10 "A" exadecimales para los códigos de tiempo transmitidos en el medio minuto. Así, el reloj digital sitúa los segmentos de código de tiempo dentro de la corriente de datos y explora los segmentos de código de tiempo hasta que se hallan 10 palabras SYNC

consecutivas. En dicho punto, el reloj digital comienza a componer el mensaje del código de tiempo completo. Se observará que a pesar de que el mensaje del código de tiempo es suficiente para determinar el tiempo del año, el dato que se transmite se transmite de este modo a un ritmo preciso de 100 bitios por segundo. La precisión de este ritmo de datos ofrece una referencia de tiempo adicional de precisión.

El sistema de reloj digital del invento aprovecha la redundancia de la información proporcionada, v.g. aprovecha el hecho de que se puede mantener una presentación precisa del tiempo del año presentando directamente el mensaje del código de tiempo recibido, o contando la cronometración de 100 bitios por segundo a partir de una posición de tiempo inicial. Por lo tanto, en la práctica, el reloj digital explora la corriente de dato de entrada para hallar el código "MLS" SYNC". Al conseguir "MLS SYNC", v.g., localizar este código, el reloj comienza a extraer segmentos de código de tiempo de 4 bitios, investigandolos para hallar 10 segmentos de palabra "SYNC" consecutivos. En dicho punto, los segmentos de código de tiempo restantes se componen por acción del reloj digital en un mensaje de código de tiempo completo que se almacena en una memoria del reloj y se presenta adicionalmente en una pantalla digital. Después de haberse iniciado por la recepción de un primer mensaje de código de tiempo, el reloj mantiene la hora contando la cronometración de datos de 100 bitios por segundo, actualizando su memoria correspondientemente, y presentando la hora real representada por los impulsos de cronometración contados en sus pantallas digitales. Al mismo tiempo, el reloj continúa recibiendo mensajes de código de tiempo adicionales, cada 30 segundos, y comparan el mensaje de código de tiempo recibido con el tiempo almacenado en la memoria del reloj digital. Si el mensaje del código de tiempo recibido coincide

con el tiempo del año almacenado el reloj continúa contando impulsos de cronometración sin perturbación. Si el mensaje de código de tiempo recibido es diferente al tiempo del año almacenado, el reloj toma nota del error pero no cambia su hora almacenada. Solamente después de haberse producido un número predeterminado de dichos errores de "encuadre" el reloj se corregirá para recibir el mensaje del código de tiempo. No obstante, se pone de relieve que antes de que pueda tener lugar esta corrección, el reloj explorará una vez más la corriente de entrada de datos para hallar el código "MLS SYNC" para tener la seguridad de que el mensaje del código de tiempo recibido que produjo el error de encuadre se había recibido, de hecho, apropiadamente. De este modo se evita que el reloj digital se reponga cuando no hay presente señal alguna de satélite.

En una modalidad de preferencia del invento, que se expondrá más adelante el sistema de reloj digital se pone en práctica empleando un microordenador. El sistema de microordenador, que se describirá con detalle más adelante, es de diseño clásico y se programa por medio del "firmware" contenido en una memoria de lectura solamente. Se observará que el empleo de un microordenador programado para poner en práctica el presente invento es una elección de diseño según resultará evidente por lo expuesto a continuación, por lo que el invento podría ponerse en práctica con igual utilidad por parte del experto en la materia empleando diseño lógico digital aleatorio. Para mejora aun más la precisión del sistema de reloj, el generador de cronometración del microordenador se bloque en fase con el reloj de datos de 100 bitios por segundo. Así, si por cualquier razón el sistema de reloj digital deja de recibir la cronometración de datos de 100 bitios por segundo, el sistema de reloj digital puede contar "su propia cronometración" hasta que se consigue la resincronización con la señal transmitida.

Refiriendonos ahora a las figuras 3 (a), 3 (b) y 4, se ilustra un gráfico de flujo de operaciones lógicas realizadas por el reloj digital. Se observará que un gráfico de flujo, por su propia naturaleza, se explica por sí mismo y ofrece una indicación de las operaciones contempladas. Así, para evitar oscurecer las explicaciones de las figuras 3 (a), 3 (b) y 4 con descripción innecesaria, solamente se ha indicado con números de referencia las operaciones básicas que son las que se describirán con detalle.

- 5.
10. El flujo lógico comienza en una casilla inicial indicada por el número 100. El ordenador inicia todos los registradores a cero y desconecta todas las luces indicadoras. El ordenador salta entonces a un subprograma "WAIT" (espera), indicado en la figura 4 por el conjunto 200. El subprograma "WAIT" (espera) realiza la función de tomar lectura de una línea de entrada del ordenador y determinar si hay presente un impulso de 100 bitios por segundo. Esta decisión se realiza en la casilla de decisión 202. Antes de proseguir, deberá observarse que la pantalla del reloj digital está compuesta por dígitos de diodos luminiscentes multiplexados de diseño clásico, y esta pantalla se describirá con más detalle más adelante.
- 15.
20. El subprograma "WAIT" (espera) realiza además la función de presentar los dígitos multiplexados de uno en uno siempre que se presenta un impulso de una cronometración por separado de 8000 bitios por segundo. Esta decisión se adopta en la casilla 204. Por lo tanto, si no están presentes ni un impulso de 100 bitios por segundo ni un segundo de 8.000 bitios por segundo, el subprograma "WAIT" (espera) volverá al comienzo del mismo hasta que se detecte uno u otro de los dos impulsos. Al detectarse un impulso de 8.000 bitios por segundo, la casilla de decisión 204 presentará un dígito del tiempo del año almacenado. Al detectarse un impulso de 100 bitios por segundo, la
- 25.
30. casilla de decisión 202 daría el programa a una rutina que incremen

5. tará la memoria interna del reloj digital en 0,01 de segundo y después adoptará la decisión en la casilla de decisión 206 con relación a si el conteo de segundos es igual a 0,99 segundo o no. Si la respuesta es "si", el ordenador salta a un subprograma "WAIT 100", indicado en 400.

10. El subprograma "WAIT 100" explora además las líneas de entrada para hallar un impulso de 100 bitios por segundo, y cuando se halla dicho impulso, una casilla de decisión 402 da salida a un impulso simple y vuelve al subprograma "WAIT". La finalidad del subprograma "WAIT 100" es asegurar que el sistema de reloj reconozca el impulso siguiente de 100 bitios por segundo sin posible distracción de la entrada de 8.000 Hz, que también se explora. Por lo tanto, al esperar el impulso que cambia el contador de segundos de X.99 a X.00, el sistema del reloj solamente explora la línea de entrada de impulsos de 100 bitios por segundo. Después que la operación vuelve al subprograma "WAIT" (espera) este subprograma determina si el conteo de segundos es o no 00,00 o 30,00 en la casilla de decisión 208. Si el conteo de segundos es igual a uno de estos dos tiempos, entonces se da salida al programa "WAIT", a las pantallas digitales, del código de posición del satélite que se ha recibido en último lugar por salto al subprograma "S POS".

15.

20.

El subprograma "WAIT" vuelve después al programa principal.

25. En este instante, la casilla de decisión 102 en el programa principal determina si los últimos 15 bitios del dato recibido corresponden o no al código "MLS SYNC" predeterminado. Si no es así, el programa pasa a dato adicional de entrada si es así, el programa enciende una luz para indicar que el reloj digital ha conseguido "MLS SYNC", y prosigue a omitir los 31 bitios siguientes, que no son utilizados por el reloj digital. Esta decisión se realiza

30. en la casilla de decisión 104. En este punto, el programa salta al

subprograma "LOAD 4" (carga 4) indicada en la figura 4 por el conjunto 300. La función del subprograma "LOAD 4" (carga 4) es la de cargar o acumular 4 bitios consecutivos en un registrador en el microordenador. Cuando se hallan 4 bitios, la casilla de decisión 302 volverá al programa demandante. Los cuatro bitios acumulados por el subprograma "LOAD" 4 (carga 4) corresponden a segmentos de código de tiempo individuales.

El programa prosigue para explorar los segmentos de código de tiempo y hallar palabras "SYNC". La casilla de decisión 106 compara los 4 bitios recopilados por el subprograma "LOAD 4" (carga 4) con "5" exadecimales o "A" exadecimales. Si se determina que el código de 4 bitios recibido no es ni "A" ni "5" el programa vuelve al principio. Si se halla una comparación válida, se incrementa un contador "SYNC" para hallar 10 "A" o "5" consecutivo según indica la casilla de decisión 108. La casilla de decisión 108 recopila de este modo si se han localizado 10 "A" o "5" consecutivos. Si el ordenador ha hallado menos de 10 "A" o "5", los 46 bitios siguientes, que corresponden a los bitios "MIS SYNC" siguientes y los bitios de localización que ya no necesita el ordenador se omiten y el programa vuelve a pedir el subprograma "LOAD 4" (carga 4). El proceso de omitir 46 bitios se realiza en la casilla de decisión 110 y sus casillas correspondientes.

Al reconocer 10 palabras "SYNC", el ordenador, según se ilustra, encienden una luz para indicar que se ha conseguido el código "SYNC", coloca su contador de segundos internos a 4,54, y coloca una bandera de escritura. La bandera de escritura es utilizada por el programa en una etapa ulterior para determinar si el mensaje de código de tiempo recibido se ha de escribir o no en memoria interna o compararse simplemente con el código de tiempo almacenado. La casilla de decisión 112 y sus casillas correspondientes proceden

- a omitir los 46 bitios siguientes según se ha descrito anteriormente. De nuevo se pide el subprograma "LOAD 4" (carga 4) para recopilar los cuatro bitios siguientes consecutivos de dato, La casilla de decisión 114 determina entonces si la bandera de escritura está o no en la posición de colocación. Si la bandera de escritura está en la posición de colocación, el ordenador escribirá el segmento de código de tiempo de cuatro bitios recibido en su memoria de acceso aleatorio. Si no se coloca la bandera de escritura, el programa compara el segmento de código de tiempo recibido con el tiempo almacenado en la memoria de acceso aleatorio (RAM).
- 5.
- 10.
- Si la casilla de decisión no encuentra un error en la comparación, el programa prosigue. No obstante, si se detecta un error, es estable una bandera de error de caracter. El proceso se repite por la casilla de decisión 118 hasta que el reloj digital recibe
- 15.
- 10 segmentos de mensaje de código de tiempo consecutivo y se almacenan en la memoria interna del reloj digital o simplemente se comparan con el tiempo que ha sido acumulado por el reloj. La casilla de decisión 120 determina entonces si se ha detectado o no un error en la etapa anterior según indique el establecimiento de la bandera de error de caracter. Si se ha detectado un error, el programa
- 20.
- determina, en la casilla de decisión 122, si se han detectado o no cuatro errores de encuadre consecutivo. Si se hallan cuatro errores consecutivos el programa se repone o vuelve a cero para restablecer "MIS SYNC". Si no se han hallado cuatro errores consecutivos de encuadre, el programa continuará procesando segmentos de código de
- 25.
- tiempo adicional. Según se ha indicado, los 46 bitios siguientes son omitidos por la casilla de decisión 124 y se acumula un segmento de código de tiempo de cuatro bitios en el subprograma "LOAD 4" (carga 4). Estos segmentos de código de tiempo corresponden a la posición
- 30.
- del satélite y se almacenan en un área separada en la memoria del

reloj digital. La casilla de decisión 126 determina si se ha tomado lectura de los 13 caracteres que identifican la posición del satélite al comienzo de esta sección del programa hasta que se completa la determinación de la posición del satélite. Las casillas de decisión 128 y 130 y sus casillas correspondientes proceden entonces a omitir la parte restante del registro de 30 segundos, que no es utilizada por el reloj digital. Después de omitir las secciones restantes del registro, el programa vuelve al punto A en la parte superior de la figura 3 (b) donde de nuevo leerá segmentos de código de tiempo sucesivos y los comparará con el tiempo almacenado del reloj digital.

La presentación digital para la posición del satélite se controla por medio de subprograma "SPOS", indicada en la figura 4, por el número 500. Este subprograma, que está compuesto por la casilla de decisión 502 y 504 y sus casillas correspondientes, de salida a la posición del satélite compuesta u organizada que se ha almacenado la memoria interna del reloj a una pantalla digital que se describirá más adelante este subprograma aparece por petición del subprograma "WAIT" (espera) según se ha indicado anteriormente.

Refiriendonos a la figura 5, una configuración que sirve de ejemplo de sistema de reloj digital según el invento, ejecutado por un microordenador, se ilustra en esta figura. El microordenador ilustrado en este sistema es el de circuito integrado Intel 4004 CPU y la familia asociada de circuito lógico integrado de apoyo fabricado por Intel Corporation. Los detalles completos de la especificación y funcionamiento del Intel 4004 se dan en el manual del usuario para el Intel 4004. El microordenador indicado por la referencia 600, está compuesto por un generador de reloj 4.201, 602, un CPU 4004, 604, un botón de reposición compuesta a cero 606, un botón de localización 4008, 608, una memoria de acceso aleatorio 4002,

610, dos memorias programables de lectura solamente del tipo 4702, indicadas por la referencia 612A y 612B, y un controlador de entrada/salida 4009, indicado por la referencia 614. Según se ha expuesto anteriormente, la interconexión de estos componentes es de tipo normal y se describe con detalle en el manual del usuario del Intel 4004.

5. Para suministrar entrada y salida del ordenador, se utilizan dos circuitos integrados tampón 616A y 616B un multiplexador 618 de 1: de 16, seis retenes de 4 bitios indicados por la referencia 622A a 622F, una memoria tampón de triple estado 620 y cuatro líneas de datos indicadas por la referencia 624. Solamente se utilizan 3 de las 4 líneas de datos posibles para fines de entrada, siendo la primera la cronometración de datos recibidos de 100 bitios por segundo, siendo la segunda la cronometración de bitios de 8 ciclos por segundo, utilizada para multiplexar la presentación que se describirá más adelante, y siendo la tercera una cronometración de 100 bitios por segundo generada por el generador de cronometración 602. Los retenes de 4 bitios 622A a 622F, proporcionan información de salida del ordenador. El acceso de salida "0" se utiliza para reponer los retenes 642 y 644 que se describirá más adelante. Un acceso de salida "1" proporciona datos de posición del satélite al multiplexor de presentación de la posición del satélite que se describira más adelante. El acceso de salida , "3" proporciona dato de tiempo del año a la presentación multiplexada de tiempo del año, y el acceso de salida "2" proporciona una señal estroboscópica para multiplexar dicha presentación en pantalla. El acceso de salida "4" se utiliza para activar las luces indicadoras de "MLS" y "CODE" de sincronización descritas con relación al gráfico de flujo representado en la figura (3a) y (3b) anteriormente.

10. Por último el acceso de salida "5" proporciona un impulso de volta

15.

20.

25.

30.

je de un impulso por segundo.

5. El generador de cronometración 602 se controla mediante un cristal de gran precisión 630 que es ajustable en fase por medio de diodos varactores 632. La señal de compensación recibida por el diodo 632 se genera comparando la cronometración de dato de 100 bitios por segundo recibida con una cronometración de 100 bitios por segundo derivada del generador de cronometración 602. El cristal 630 hace que el generador de cronometración 602 oscile a una frecuencia de 4,096 MHz. El generador de cronometración 602 divide esta señal por 8 y, después de una inversión de fase, produce dos señales de cronometración desfasadas de 512 KHz, que no están superpuestas y se utilizan directamente por parte de los circuitos integrados CPU 604. Las especificaciones exactas de estas señales de cronometración se describen con detalle en el manual del usuario de Intel. Una de las dos señales de cronometración generadas por lo generadores de cronometración 602 se utiliza además por una cadena divisora compuesta por un contador 634 divisor por 2, un contador 636 divisor por 16, un contador 638 divisor por 16, y un contador 640 divisor por 10. La señal resultante de esta cadena divisora de frecuencia es una onda rectangular de 100 bitios por segundo que tiene la misma fase que el generador de cronometración 602. Esta señal se compara con la cronometración de dato de 100 bitios por segundo recibida del satélite por un retén indicado por la referencia 648, cuya salida tendrá una longitud de impulsos que depende de la diferencial de fase entre las dos señales. La salida del retén 648 se filtra en paso bajo por medio de un filtro 650 y se amplifica por medio de un amplificador operacional 652 para proporcionar una señal de compensación para los diodos varactores 632. Así, el generador de cronometración 602 se bloquea en fase con la cronometración de dato recibida de 100 bitios por segundo. La salida
- 10.
- 15.
- 20.
- 25.
- 30.

da de 100 bitios por segundo de la cadena divisora se almacena también por medio de un retén 642 que forma una de las entradas en la línea de entrada 624. El retén 642 se puede reponer por el acceso de salida "0". Una señal de 8 KHz se deriva del punto medio de la cadena divisora desde una de las salidas del contador 638 divisor por 16. Esta señal se almacena de un modo similar por medio de un retén 644 y forma una entrada adicional al ordenador en la línea de entrada 624.

Refiriendonos a la figura 6, el sistema de presentación en pantalla por diodos fotoemisores del reloj digital se ilustra en esta figura. El dato de posición del satélite se almacena en un registrador de corrimiento de recirculación de 32 palabras por 6 bitios 700 que recibe su información de entrada del acceso de salida "1". El registrador de corrimiento 700 se controla por una línea de escritura/recirculación 702 que recibe su entrada de control de una señal de salida derivada de la memoria de acceso aleatorio 710. El registrador de corrimiento 700 funciona por un oscilador de funcionamiento libre 705 que se activa por medio de una señal de salida adicional la cual se deriva de la memoria de acceso aleatorio 610 y aparece en la línea 704. El oscilador 705 se activa también por la línea de escritura/recirculación 702. El registrador de corrimiento de recirculación 700 es un circuito integrado Signetics 2518, y su uso en una presentación multiplexada en pantalla de este tipo es de tipo normal por naturaleza. El registrador de corrimiento 700 suministra su dato almacenado a un descodificador de segmentos 706 de BCD a 7 cuyas salidas son amplificadas por el excitador de segmento 708 y se suministran a la pantalla de diodos luminiscentes multiplexados 718. Los puntos decimales de la pantalla 718 se activan por el transistor 716 junto con los resistores de entrada 714. El oscilador activado 705 hace incrementar

REIVINDICACIONES

- 1.- Perfeccionamientos en sistemas de relojes digitales controlados por satélite, por el cual una corriente de datos se transmite a un ritmo de datos precisos, comprendiendo la corriente de datos una pluralidad de registros de datos contiguos, y cada registro de dato una pluralidad de bloques de dato, teniendo cada uno de los bloques un segmento de sincronización de dato y un segmento de código de mensaje, formando los segmentos de código de mensaje dentro de un registro de dato un mensaje de código de tiempo, y comprendiendo el mensaje una parte de sincronización de mensaje y una parte de tiempo del año (tiempo horario), caracterizados por que se dota a cada sistema de reloj de un dispositivo receptor para recibir la corriente de dato transmitida; un dispositivo de cronometración para generar impulsos de cronometración a intervalos regulares; un dispositivo de circuito de bloqueo de fase para bloquear en fase el dispositivo de cronometración y proporcionar un ritmo de dato preciso de la corriente de dato; y un dispositivo lógico para detectar el segmento de sincronización de dato del bloque de dato con el fin de determinar la posición de cada segmento de código de mensaje siguiente en la corriente de datos recibida, para detectar la parte de sincronización del mensaje de código de tiempo con objeto de determinar el comienzo del mensaje del código de tiempo, para componer el mensaje del código de tiempo completo a partir de los segmentos de código de mensaje individuales recibidos, para conservar el tiempo contando los impulsos de cronometración, para comparar cada mensaje de código de tiempo completo con el tiempo representado por los impulsos de cronometración contados para proporcionar una determinación de si el tiempo coincide con el mensaje de código de tiempo completo, y para corregir el
- 5.
- 10.
- 15.
- 20.
- 25.
- 30.

- tiempo representado por los impulsos de reloj contados mencionados de modo que el tiempo coincide con el mensaje codificado completo de tiempo, que responde a un número predeterminado de determinaciones de falta de coincidencia entre el tiempo y el mensaje codificado completo de tiempo.
5. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque se dota al sistema de un dispositivo de pantalla para presentar en pantalla el tiempo representado por los impulsos de cronometración contado.
10. 3.- Perfeccionamientos según la reivindicación 1, caracterizados porque el mensaje de código de tiempo comprende además una parte de posición del satélite, y el sistema comprende además un dispositivo de pantalla para presentar en pantalla la parte de posición del satélite del mensaje de código de tiempo completo.
15. 4.- Perfeccionamientos según la reivindicación 1, caracterizados porque el dispositivo lógico comprende una memoria de acceso aleatorio.
- 5.- Perfeccionamientos según la reivindicación 1, caracterizados porque el dispositivo lógico comprende un microordenador programado en "firmware".
20. 6.- Perfeccionamientos según la reivindicación 1, caracterizados porque el dato transmitido se transmite por un satélite en órbita alrededor de la tierra.
- 7.- Perfeccionamientos según las reivindicaciones 1 a 6, caracterizados porque se transmite un dato a un ritmo de dato preciso, comprendiendo la corriente de dato una pluralidad de registros de dato contiguos, teniendo cada registro de dato una pluralidad de bloques de datos, teniendo cada uno de los bloques un segmento de sincronización de dato, un segmento de código de mensaje,
25. formando los segmentos de código de mensaje dentro de un registro
- 30.

- de dato un mensaje de código de tiempo y comprendiendo el mensaje una parte de sincronización de mensaje y una parte de tiempo del año; y porque el metodo para mantener y corregir la referencia de tiempo, comprende las fases de: recibir la corriente de datos transmitida; generar impulsos de cronometración a intervalos regulares; bloquear en fase los impulsos de cronometración al ritmo de datos precisos de la corriente de datos; detectar el segmento de sincronización de dato de un bloque de dato para determinar la posición de cada segmentos de código de mensaje siguiente en la corriente de datos recibida; detecar la parte de sincronización de mensaje del mensaje de código de tiempo para determinar el comienzo del mensaje de código de tiempo; ensamblar el mensaje de código de tiempo completo a partir de los segmentos de código de mensaje individuales recibidos; contar los impulsos de cronometración para obtener una referencia de tiempo; comparar cada mensaje de código de tiempo completo con la referencia de tiempo representada por los impulsos de cronometración contados, para obtener una determinación de si la referencia de tiempo coincide con el mensaje de código de tiempo completo; y corregir la referencia de tiempo representada por los impulsos de cronometración contados, de modo que la referencia de tiempo coincida con el mensaje de código de tiempo completo, en respuesta a un número predeterminado de determinaciones de falta de coincidencia entre la referencia de tiempo y el mensaje de código de tiempo completo.
5. 8.- Perfeccionamientos según la reivindicación 7, caracterizados porque el metodo comprende la fase de presentar en pantalla el tiempo representado por los impulsos de cronometración contados.
10. 9.- Perfeccionamientos según la reivindicación 7, caracterizados porque el mensaje de código de tiempo comprende además una
- 15.
- 20.
- 25.
- 30.

parte de posición de satélite, y porque comprende la fase de presentar en pantalla la parte de posición del satélite del mensaje del código de tiempo completo.

5. 10.- Perfeccionamientos según la reivindicación 7, caracterizados porque comprende la fase de transmitir la corriente de datos desde un satélite en órbita alrededor de la tierra.

11.- Perfeccionamientos en sistemas de relojes digitales controlados por satélite, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

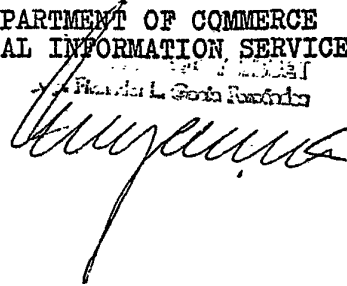
10. Esta Memoria consta de veintiuna hojas escritas a máquina por una sola cara.

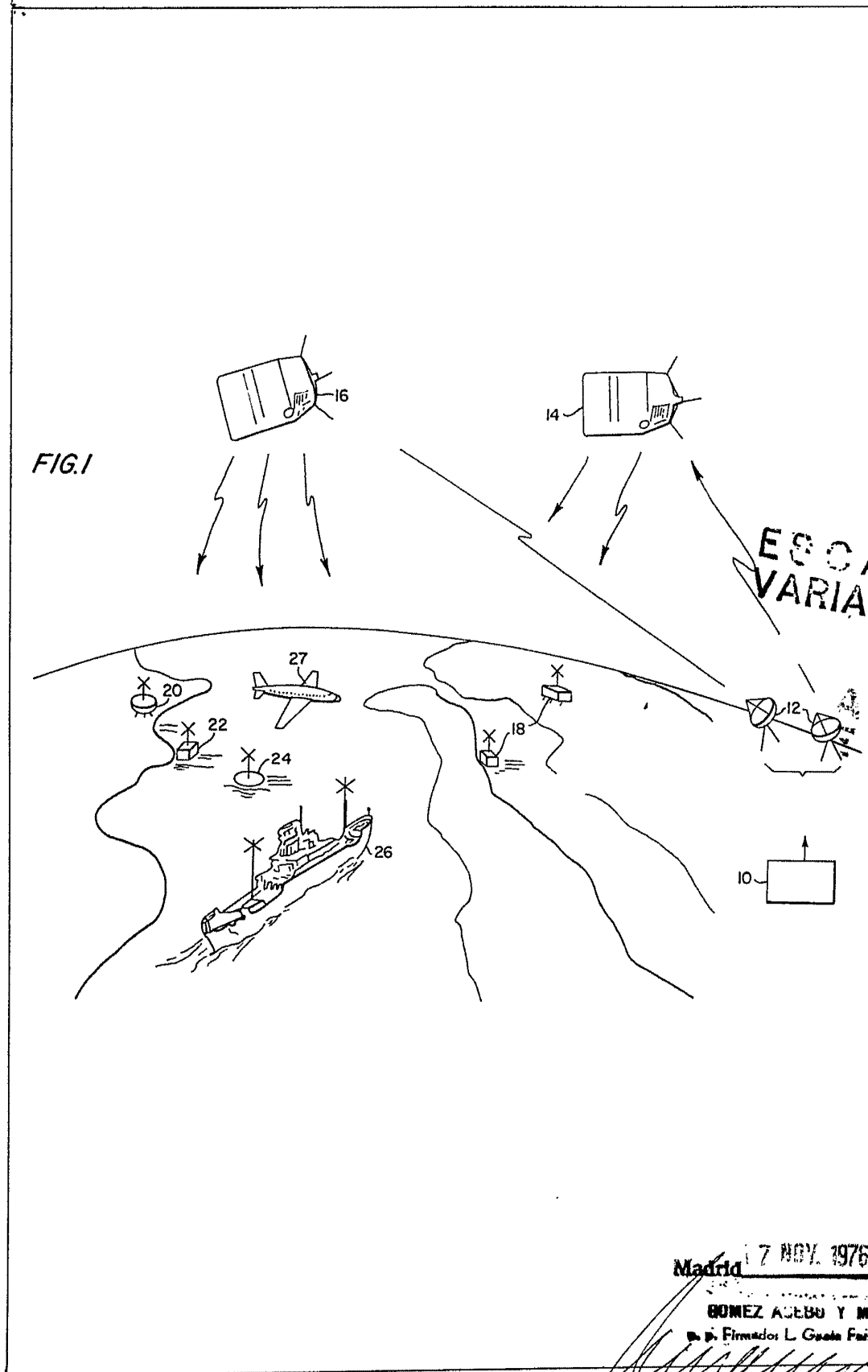
Madrid,

17 NOV 1976

UNITED STATES DEPARTMENT OF COMMERCE
NATIONAL TECHNICAL INFORMATION SERVICE.

Richard L. Gault, Director

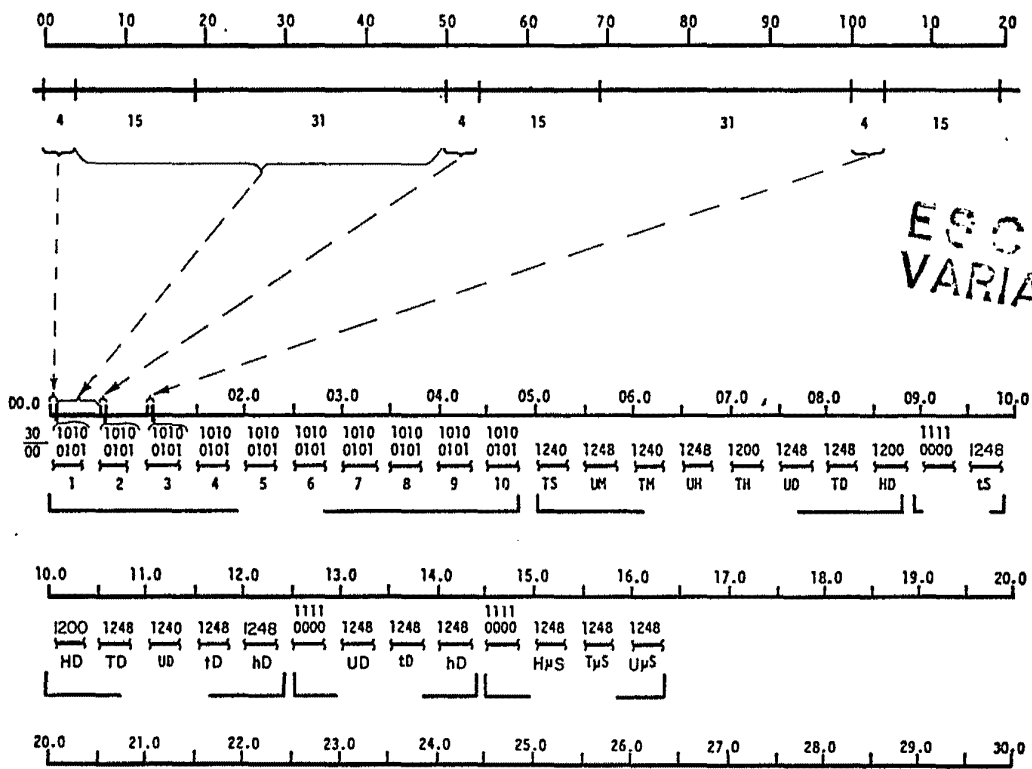




Madrid 17 NOV. 1976

GOMEZ ACEBU Y MOUET
Firmados L. Gomez Acebu

FIG.2A



ESCALA
 VARIABLE

FIG.2

Madrid 17 NOV 1976

GOMEZ ACEBO Y MUÑOZ
 p. Firmador L. Gasto Fernández

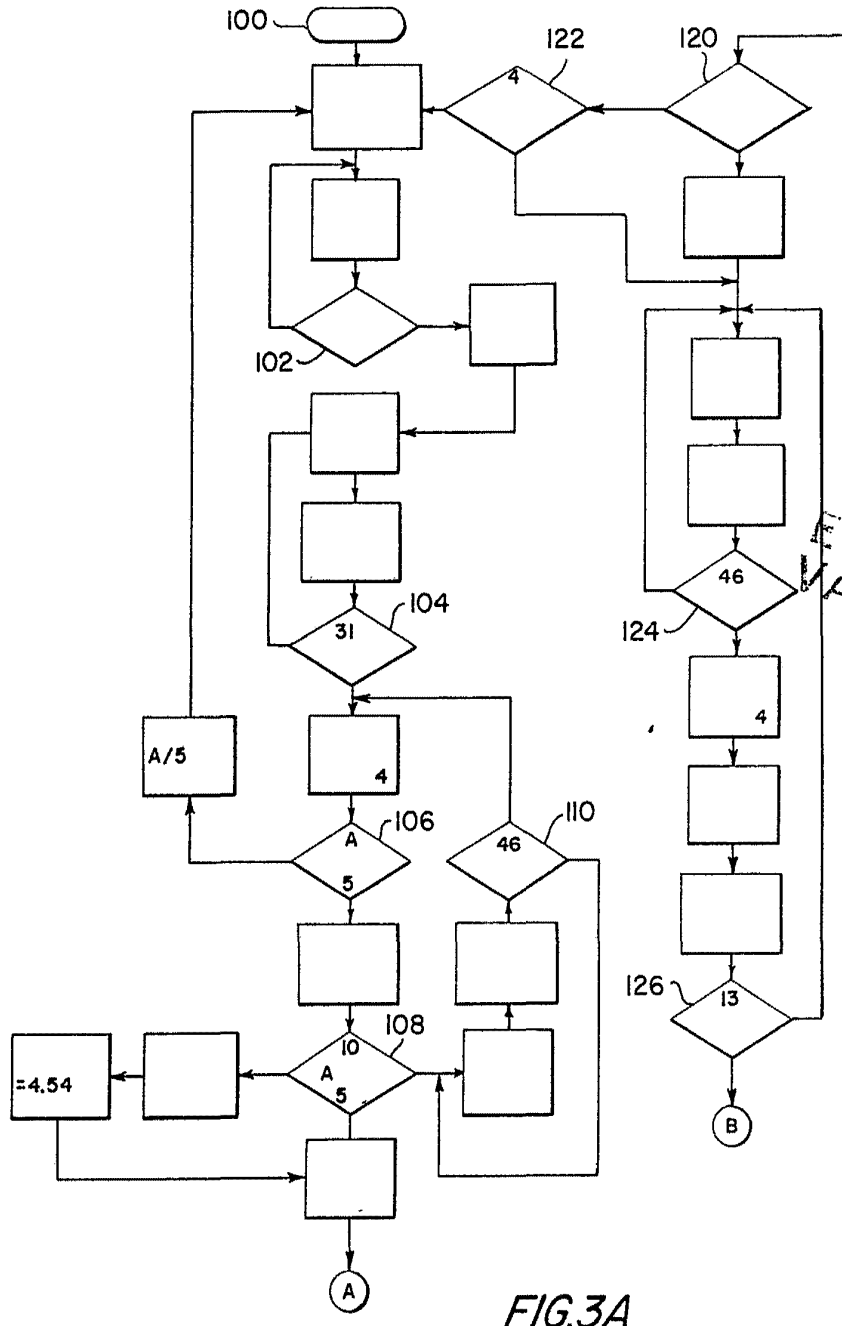


FIG. 3A

FIG. 3B

17 NOV 1976

Madrid

[Handwritten signature]

FIG.3A

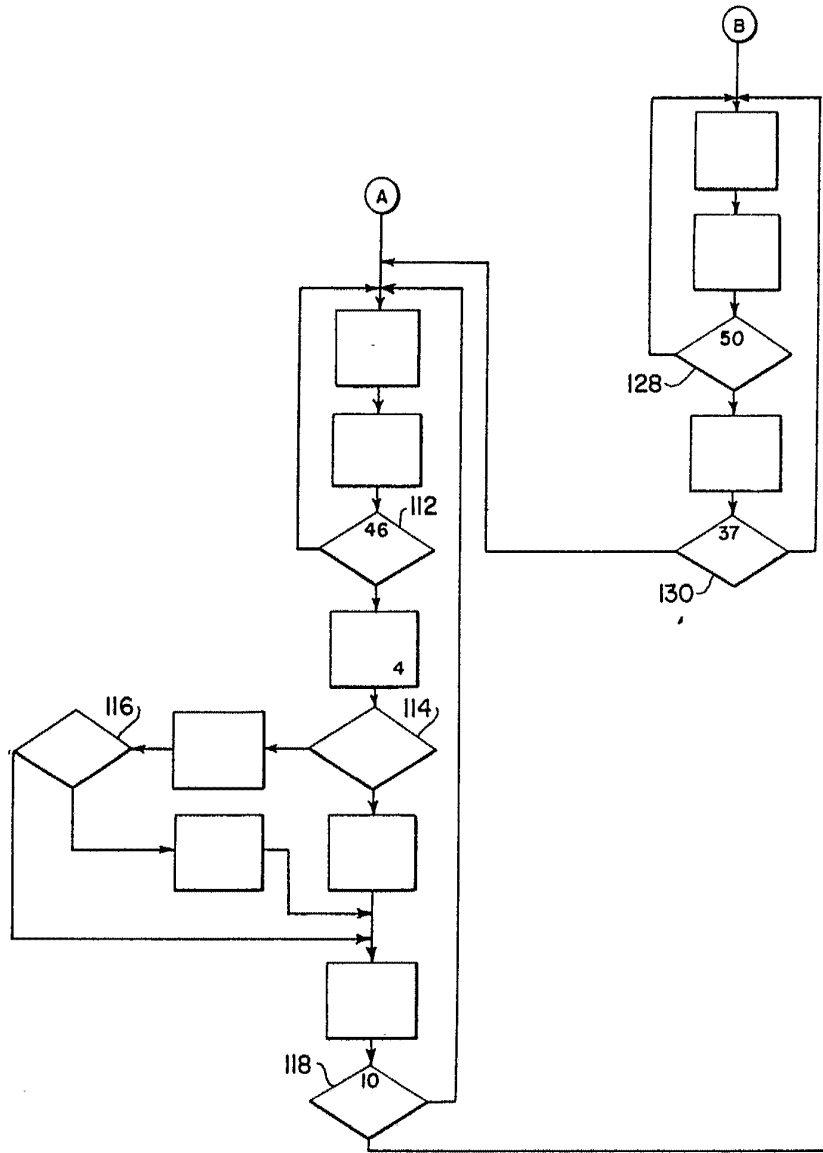


FIG.3B

ESPECIAL
VARIABLE

Madrid 7 NOV 1976

[Handwritten signature and illegible text]

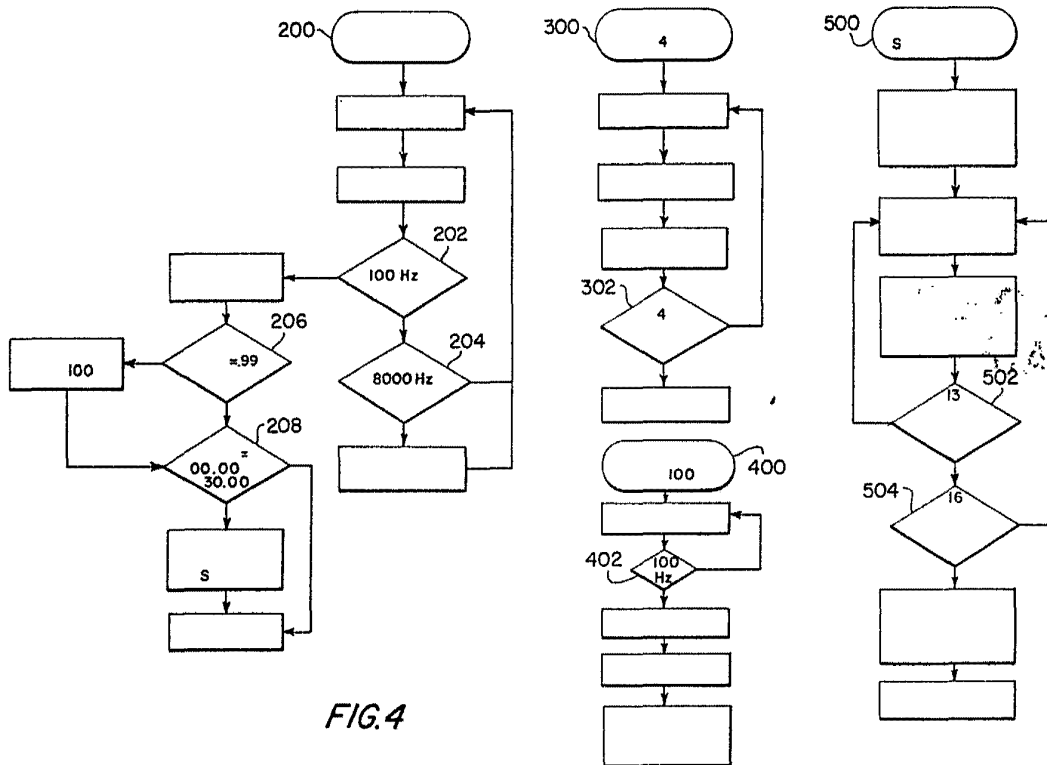
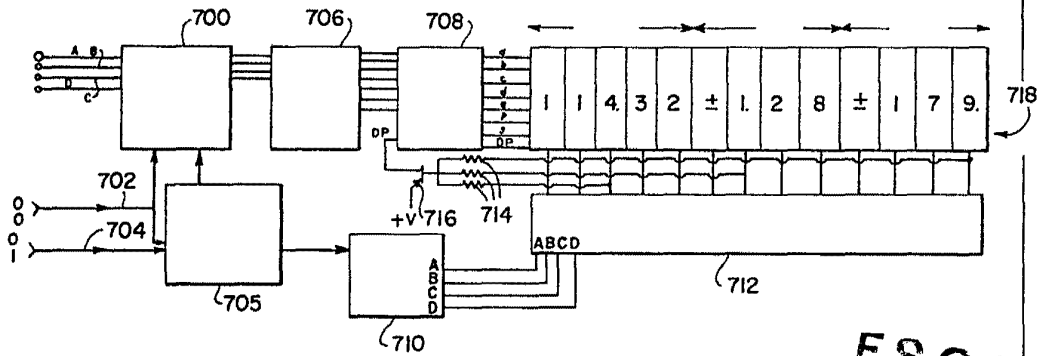


FIG. 4

7 NOV. 1976

RODRIGUEZ ACEBU Y MINERA
Firmante: L. Gasta Fernández



**ESCALA
VARIABLE**

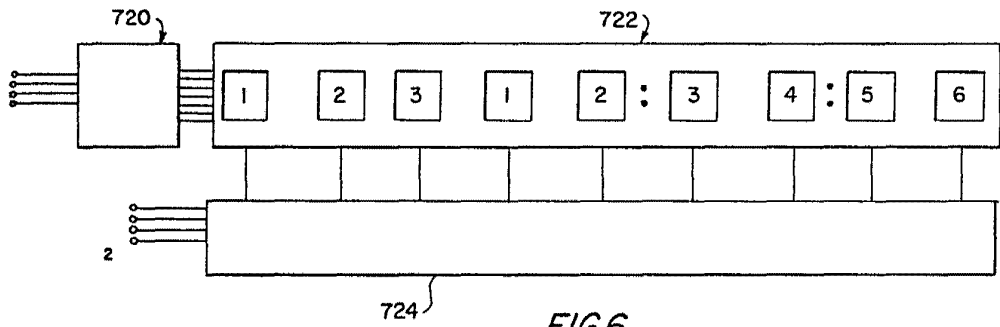


FIG. 6

17 Nov. 1975

Madrid

GONZALEZ ACEDO Y BARRERA
Dr. P. Filomeno L. Gordo Hernández