



ESPAÑA

7 SET. 1977

PATENTE DE INVENCION

11	12	13	14
NÚMERO			
FECHA DE PRESENTACION			

10 A 1

30 PRIORIDADES: 31) NÚMERO: 135508/75		32) FECHA: 11-11-75	33) PAIS: Japón.
47) FECHA DE PUBLICIDAD	51) CLASIFICACION INTERNACIONAL: H04B	62) PATENTE DE LA QUE ES DIVISIONARIA	
64) TITULO DE LA INVENCION: "UN SISTEMA DE TRANSFERENCIA DE DATOS".			
71) SOLICITANTE (S): "PANAFACON LIMITED".			
DOMICILIO DEL SOLICITANTE: 1015, Kamikodanaka, Nakahara-ku, Kawasaki-shi, (Japón).			
72) INVENTOR (ES): D. Atsushi Nitta, D. Hirotooshi Haida, domiciliados, respectivamente, en 690, Shinjo, Nakahara-ku, Kawasaki-shi, Kanagawa-ken, (Japón) y 6-24, Rokkakubeshi, Kanagawa-ku, Yokohama-shi, Kanagawa-ken (Japón).			
73) TITULAR (ES):			
74) REPRESENTANTE: D. MANUEL DIAZ VELASCO			

- La presente invención se refiere a un sistema de transferencia de datos y, de forma más detallada, a - un sistema de transferencia de datos que proporciona una pluralidad de dispositivos que utiliza una barra colectora, y en el que tales dispositivos están conectados en serie. El sistema de transferencia de datos de la invención incluye, por ejemplo, un aparato central de elaboración, un dispositivo de entrada-salida y dispositivos de memoria conectados a una línea común de barra colectora.
5. En esta invención, los dispositivos que utilizan la barra colectora corresponden al dispositivo de entrada-salida y al dispositivo de memoria anteriormente mencionado.
- 10.

- En el citado sistema de transferencia de datos que proporciona una pluralidad de dispositivos que utilizan la barra colectora y que están conectados en serie, cada dispositivo que utiliza la barra colectora emite una señal para solicitar una transferencia de datos, y una unidad destinada a controlar la barra colectora comúnmente prevista para tales dispositivos, controla dicha - señal utilizada para solicitar la transferencia de datos y, en consecuencia, emite una señal para acusar recibo - de tal transferencia de datos a cada uno de dicha pluralidad de dispositivos.
- 15.
- 20.

- En el mencionado sistema de transferencia de - datos, cada dispositivo que utiliza la barra colectora emite independientemente una señal para solicitar la transferencia de datos; la unidad destinada a controlar la - barra colectora que se va a utilizar detecta dicha señal usada para solicitar la transferencia de datos; y dicha unidad emite la señal de acuse de recibo para transferir los datos a cada uno de tales dispositivos. Además, el
- 25.
- 30.

- orden de prioridad utilizado en la transferencia de datos entre los dispositivos citados es determinado de tal modo que el dispositivo que está más cercano a la unidad mencionada es del más alto orden de prioridad. Es decir,
5. que la señal de acuse de recibo para la transferencia de datos se envía desde tal unidad a uno de los dispositivos. Cuando dicho dispositivo emite la señal solicitando -- la transferencia de datos, recibe la señal de acuse de --
10. recibo; sin embargo, tal señal de acuse de recibo no es enviada al dispositivo siguiente que utiliza la barra -- colectora. Cuando dicho dispositivo no emite una señal -- para solicitar la transferencia de datos, transmite la -- señal de acuse de recibo al dispositivo siguiente. Como se ha indicado, el dispositivo que tiene el orden de prio-
15. ridad más bajo y que utiliza la barra colectora está situado en la posición más alejada del dispositivo que controla la barra colectora.
- Por lo tanto, en el dispositivo que tiene un --
20. orden de prioridad bajo y que se utiliza con frecuencia, se requiere mucho tiempo para recibir la señal de acuse -- de recibo para transferir los datos desde la unidad que controla la barra colectora y, por ello, la eficacia de -- todo el sistema disminuye a causa del aumento del tiempo de espera.
25. Un objetivo de la presente invención es aportar un sistema de transferencia de datos en el que el dispositivo que tenga un orden de prioridad bajo y se utilice -- con frecuencia esté situado en una posición más cercana a la unidad que controla la barra colectora, de modo que el
30. antedicho tiempo de espera de tal dispositivo disminuye y el orden de prioridad del mismo se mantenga bajo.

Otro objeto de la presente invención es el de proporcionar un sistema de transferencia de datos en el cual el dispositivo que utilice la barra colectora detecte la señal de solicitud de transferencia de datos, generada por otro dispositivo durante el proceso de transferencia, y ese primer dispositivo interrumpa tal proceso de transferencia para trasladar el uso de la barra colectora al otro dispositivo.

- 5.
- 10.
- 15.
- 20.
- 25.
- 30.
- Con el fin de llevar a cabo el sistema de la presente invención, el sistema de transferencia de datos aporta una pluralidad de dispositivos que utilizan una barra colectora y que envían una señal de solicitud a una línea de señal de solicitud de transferencia de datos, asignándose en tales dispositivos un orden de prioridad para la transferencia de los datos; y se ha previsto una unidad común de control para la pluralidad de dispositivos con el fin de controlar dicha barra colectora, unidad de control que recibe la señal de solicitud de la línea de señal de solicitud y emite a continuación una señal de acuse de recibo para tal transferencia de datos, en el que cada uno de los dispositivos recibe tal señal de acuse de recibo de manera que el dispositivo que emite la señal de solicitud lleve a cabo la transferencia de los datos. Según la presente invención, por lo menos uno de dicha pluralidad de dispositivos, excepto aquél que tiene el orden de prioridad más alto, comprende un circuito de detección de la señal de solicitud en la línea de señal de solicitud, de modo que ese dispositivo que proporciona el mencionado circuito de detección detecta tal señal de solicitud e impide la emisión de la misma desde su propio dispositivo; y por lo menos uno de la citada -

pluralidad de dispositivos, excepto aquél que tiene el mencionado circuito de detección, está situado en el lado opuesto de la unidad con respecto al dispositivo que tiene el circuito de detección.

5. Otras características y ventajas de la presente invención se pondrán de manifiesto en la descripción que de ella se hace a continuación con referencia a los dibujos que se acompañan y que no deben considerarse en modo alguno, como limitativos del ámbito de la invención.

10. La Fig. 1 es un diagrama del sistema convencional de transferencia de datos que proporciona los dispositivos que utilizan la barra colectora y que están conectados en serie.

15. La Fig. 2 es un diagrama de un ejemplo de realización del sistema de transferencia de datos, según la presente invención.

La Fig. 3 es un diagrama de otro ejemplo de realización de la presente invención.

20. Con referencia a la Fig. 1, el número de referencia 1 es una unidad para controlar la barra colectora, - unidad que está habitualmente incluida en el sistema ordenador; los números de referencia 2A, 2B y 2C son dispositivos que utilizan la barra colectora, tales como una unidad de entrada-salida o un dispositivo de memoria; el
 25. número de referencia 3 muestra una línea de señal para solicitar una transferencia de datos; los números de referencia 4 representan líneas de señal para el acuse de - recibo de la transferencia de datos; los números de referencia 5 a 10 representan sendas puertas; los números de
 30. referencia 11, 12 y 13 son receptores; y los números de referencia 14, 15 y 16 muestran los circuitos de demora -

equivalentes.

- Cuando los dispositivos 2A, 2B y 2C solicitan - una transferencia de datos a una línea de datos (no ilustrada en la Fig. 1), tales dispositivos 2A, 2B y 2C emiten independientemente una señal, por ejemplo, un valor lógico "0" para solicitar una transferencia de datos a la línea de señal 3. La unidad 1 controla siempre dicha señal que solicita la transferencia de datos, y cuando tal señal es detectada en la línea de señal, 3, la unidad 1 -
5. emite una señal para acusar recibo de dicha transferencia de datos, por ejemplo, un valor lógico "0", a la línea de señal 4. Esa señal que acusa recibo de tal transferencia de datos es invertida por el receptor 11 y, a continuación, transferida al dispositivo 2A. Si dicho dispositivo 2A -
10. genera una señal solicitando una transferencia de datos, - tal dispositivo 2A recibirá una señal de permiso para acusar recibo de la transferencia de datos. Sin embargo, tal dispositivo 2A no transfiere tal señal de acuse de recibo al dispositivo siguiente 2B. El dispositivo 2A envía un -
15. valor lógico 1 a la puerta 6 solamente cuando tal dispositivo 2A no genera ninguna señal solicitando la transferencia de datos. En tal momento, esa puerta 6 invierte el -
20. valor lógico "1" a un valor lógico "0", y éste es transferido al dispositivo 2B como señal para acuse de recibo de la transferencia de datos.
- 25.

- Por lo tanto, el dispositivo que está situado más cerca de tal unidad 1 tiene el orden de prioridad más alto. Es decir, que el dispositivo que debe tener el orden de prioridad más alto es el situado más cerca de la -
30. posición de tal unidad 1, para efectuar una transmisión eficiente de la señal de acuse de recibo de la transferen

5. cia de datos. Por lo tanto, en la Fig. 1, cuando se usa solamente el dispositivo 2C, que tiene el orden de prioridad más bajo, a causa del tiempo de retardo existente en los dispositivos 2A y 2B, es necesario un largo periodo de espera antes de que se reciba una señal de acuse de recibo en tal dispositivo 2C. En estas condiciones, la eficacia total del sistema disminuye, en especial cuando tal dispositivo 2C se utiliza con frecuencia.

10. Cuando hace os una correspondencia entre el sistema que se muestra en la Fig. 1 y un sistema de elaboración de datos, dando por supuesto que las unidades de entrada-salida y el dispositivo de memoria incluido en tal sistema de elaboración de datos están conectados a una barra colectora común, la unidad 1 corresponde a la unidad central de elaboración los dispositivos 2A y 2B corresponden a las unidades de entrada-salida y el dispositivo 2C corresponde al dispositivo de memoria. Aunque el dispositivo de memoria 2C tenga un orden de prioridad más bajo que el de las unidades de entrada-salida, tal dispositivo, sin embargo, se utiliza con más frecuencia que las unidades de entrada-salida, haciendo así que la velocidad de elaboración del sistema que se muestra en la Fig. 1 sea baja.

20. Para vencer el mencionado inconveniente, en la presente invención el dispositivo de memoria que tiene el orden de prioridad más bajo y que se utiliza con frecuencia está situado en la posición del dispositivo 2A de la Fig. 1, de modo que el orden de prioridad de tal dispositivo de memoria se mantiene en el orden de prioridad más bajo y el tiempo de espera del dispositivo de memoria disminuye.

30.

En la Fig. 2, que muestra un ejemplo de realiza-

- ción de la presente invención los mismos números de referencia que en la Fig. 1 representan idénticos elementos que en ésta. Con referencia a la Fig. 2, el número de referencia 17 muestra un circuito de control utilizado para
- 5.- la transferencia de datos, el número de referencia 18 muestra un circuito de detección para detectar la señal que solicita la transferencia de datos conforme a la presente invención, y los números de referencia 19 y 20 muestran un receptor y un circuito NOT, respectivamente.
- 10.- Con referencia a la Fig. 2, los dispositivos 20B y 20C son los mismos que los dispositivos 2B y 2C utilizados en la Fig. 1. Cada uno de los dispositivos 20A, 20B y 20C emiten independientemente una señal para solicitar la
- 15.- transferencia de datos en forma de un valor lógico "0" a la línea de señal 3. Esta señal es detectada por la unidad 1, y dicha unidad emite, de la misma forma que en el sistema convencional, una señal para acusar recibo de dicha transferencia de datos a la línea de señal 4 en forma de un valor lógico "0".
- 20.- En el sistema de la presente invención, el dispositivo 20A, que tiene el orden de prioridad más bajo, está provisto del circuito detector 18 utilizado con fines de detección de la señal para solicitar la transferencia de los datos que pueden existir en tal línea de señal 3.
- 25.- Antes de que ese dispositivo 20A emita una señal para solicitar la transferencia de datos a través de la puerta NAND 5 a la línea de señal 3, dicho dispositivo 20A detecta si los otros dispositivos 20B ó 20C están generando una señal para solicitar la transferencia de datos. Si ese otro
- 30.- dispositivo 20B ó 20C está generando una señal para solicitar la transferencia de datos, dicha señal es recibida -

- por tal circuito de detección 18, a través del receptor 19, en forma de un valor lógico "1". Además, por medio de tal señal recibida, la salida de la puerta NAND 5 es convertida en un valor lógico "1" a través del circuito NOT 20, de
5. tal modo que se impide la emisión de la señal para solicitar la transferencia de datos desde el dispositivo 20A. Al mismo tiempo, el circuito de detección 18 informa al circuito de control 17 que el dispositivo 20B ó 20C está generando una señal para solicitar la transferencia de datos. Por
10. lo tanto, el circuito de control 17 recibe la señal para acusar recibo de la transferencia de datos, a través de la línea de señal 4, y la salida "a" de tal circuito de control 17 se convierte en un valor lógico "1". Además, la señal para acusar recibo de la transferencia de los datos,
15. es decir, la señal que tiene un valor lógico "1" es transferida, a través de la puerta NAND 6, al dispositivo siguiente 20B. En el sistema ilustrado en la Fig. 2, se mantiene el orden de prioridad, siendo el orden de los dispositivos 2B, 2C, ..., 2A. Cuando solamente el dispositivo -
20. 20A emite una señal de solicitud de transferencia de datos, la señal de acuse de recibo de la transferencia de datos - es recibida por tal dispositivo 20A, de manera que la transferencia de datos puede ser realizada con el menor tiempo - de espera, muy inferior al del sistema convencional.
25. Con referencia a la Fig. 3, el circuito de detección 18, utilizado para detectar una señal de solicitud de transferencia de datos, se compone de un inversor 18a y una puerta AND 18b y el circuito de control 17 está compuesto por circuitos biestables o de relajación 17a y 17b, las --
30. puertas 17c, 17d y 17e y un circuito de retardo 17g.

La modalidad característica 5 de la presente in-

- vención es impedir que la señal de solicitud sea emitida desde su dispositivo generador cuando por lo menos uno - de los otros dispositivos está emitiendo una señal de solicitud, y enviar la señal de solicitud desde su dispositivo generador solamente cuando ningún otro dispositivo - está emitiendo señal de solicitud. Es decir:
5. En primer lugar, cuando por lo menos uno de los otros dispositivos emite una señal de solicitud, la línea de señal 3 está en la condición de valor lógico "0". Por lo tanto, la salida del receptor 19 tiene un valor lógico "1", y la salida del inversor 18a tiene un valor lógico "0". Por consiguiente la salida de la puerta AND 18h será siempre de un valor lógico "0" se aplique o no la señal de solicitud a la puerta AND 18b.
10. En segundo lugar, cuando ningún otro dispositivo emite señales de solicitud, la línea de señal 3 está en la condición de valor lógico "1". Por lo tanto, la salida del receptor 19 es el valor lógico "0", y la salida del inversor 18a es el valor lógico "1". En este caso, el dispositivo 20A está situado en una condición de poder emitir la señal de solicitud, y la señal de solicitud que se aplica a la puerta AND 18b se emite entonces desde el - circuito de detección.
15. A continuación, explicaremos cómo se emite la - señal de solicitud. Cuando la salida del circuito asume - el valor lógico "1", el circuito biestable o de relajación 17a alcanza una condición ON y la salida Q del circuito - biestable o de relajación 17a se convierte entonces en un valor lógico "1". Como la salida \bar{Q} del circuito biestable o de relajamiento 17b es un valor lógico "1", la salida - de la puerta AND 17e se convierte por tanto, en un valor
- 20.
- 25.
- 30.

- lógico "1". Cuando el circuito biestable o de relajación 17a se sitúa en una condición ON, la señal de solicitud que se aplica a la puerta AND 18b alcanza el valor lógico "0" por medio de un circuito de control que no se muestra en el dibujo. En tal caso, la salida del circuito de puerta 18b tiene el valor lógico "0", y la salida del inversor 20 tiene el valor lógico "1". Entonces, la salida del circuito NAND 5 alcanza el valor lógico "0" y se emite una señal de solicitud.
- 5.
10. Cuando la unidad 1 emite un valor lógico "0", a través de la línea de señal 4, la salida del receptor 11 adquiere un valor lógico "1", y dicho valor lógico "1" es entonces suministrado a la entrada C del circuito biestable o de relajación 17b. En tal caso, el circuito biestable o de relajación 17b del tipo D alcanza una condición ON, porque la salida Q del circuito biestable o de relajación 17a tiene el valor lógico "1". En consecuencia, la salida \bar{Q} del circuito biestable o de relajación adquiere un valor lógico "0", y la salida Q del circuito biestable o de relajación 17b adquiere un valor lógico "1". Por lo tanto, la salida de la puerta AND 17e toma el valor lógico "0", y la salida del circuito NAND 5 toma el valor lógico "1".
- 15.
20. Como la salida Q del circuito biestable o de relajación 17b es un valor lógico "1", la salida del circuito NAND es un valor lógico "0".
25. Por otra parte, la señal A es una señal de ocupado que indica que la barra colectora está siendo utilizada por el dispositivo 20A. Esta señal A adquiere el valor lógico "0" solamente cuando el dispositivo 20A está utilizando la barra colectora. En estas circunstancias, la
- 30.

salida del circuito NAND 17c asume entonces el valor lógico "1". Esto significa que una señal es enviada a la línea de señal 4 desde la unidad 1.

- Una vez que el dispositivo 20A ha enviado la señal de solicitud y está esperando el envío de la señal de acuse de recibo desde la unidad 1 a la línea de señal 4, el circuito biestable o de relajación 17a está en una condición ON, el circuito biestable o de relajación 17b está en una condición OFF, y la salida Q del circuito biestable o de relajación 17b tiene el valor lógico "0". Tan pronto como aparece la señal de acuse de recibo en la línea de señal 4, la salida del receptor adquiere un valor lógico "1", el circuito biestable o de relajación 17b alcanza una condición ON, haciendo así que las salidas del circuito NAND 17c y 17d se conviertan respectivamente en el valor lógico "0". La señal A cambia a un valor lógico "0" solamente después de que ha sido recibida la señal de acuse de recibo. En tal caso, la señal "a" adquiere un valor lógico "0" y la salida del circuito de retardo 17g no es transmitida al dispositivo siguiente 20B.

- Cuando la salida de la puerta NAND 17d toma el valor lógico "0", éste valor lógico es transmitido entonces a la unidad 1 haciendo así que la misma cancele la señal de acuse de recibo. Es decir, que la señal en la línea de señal 4 asume el valor lógico "1", y la salida del receptor 11 asume el valor lógico "0". Esta señal es detectada por el dispositivo 20A haciendo así que la señal A se convierta en el valor lógico "0". Dicha señal A se convierte en un valor lógico "0" solamente después de que se ha aceptado que el dispositivo 20A utilice la barra colectora. Por lo tanto, las salidas de las puertas NAND 17c y

17d, respectivamente, adquieren el valor lógico "1" haciendo que la señal "a" se convierta en el valor lógico "1". A partir de entonces, la señal de salida del circuito de retardo 17g es transmitida a través de la puerta NAND 6 -

5. al dispositivo siguiente 20B.

Después de que el dispositivo 20A ha terminado de utilizar la barra colectora, se genera una señal B en el circuito no ilustrado en el dibujo y, entonces, dicha señal es suministrada a la terminal de entrada del circuito biestable o de relajación 17a. De este modo, la salida Q del circuito biestable o de relajación 17a se convierte en cero de manera que el circuito biestable o de relajación 17b es despejado por el circuito biestable o de relajación 17a en el instante del tiempo de caída de dicha salida Q.

10.

15.

Como se ha mencionado antes, según la presente invención, se puede utilizar, en una conexión en serie - un dispositivo que tenga un orden de prioridad bajo, aunque sea empleado frecuentemente como dispositivo de memoria, -

20. sin disminuir la eficacia del sistema total.

N O T A

Descrito suficientemente el objeto de la presente Patente de Invención -que se acoge a los derechos de - prioridad de la solicitud de patente japonesa nº 135508/75, de fecha 11 de noviembre de 1.975-, se declara que lo que

5. constituye su esencialidad y para lo que se pide la correspondiente protección es lo que se concreta en las siguientes reivindicaciones:

10. 12.- Un sistema de transferencia de datos, compuestos por una pluralidad de dispositivos que utilizan - una barra colectora común y que emiten una señal de solicitud a una línea de señal de solicitud para solicitar una transferencia de datos, asignándose en tales dispositivos una orden de prioridad a la transferencia de los datos; y una unidad de control comúnmente dispuesta para tal pluralidad de dispositivos, con el fin de controlar a la barra
15. colectora, unidad de control que recibe la señal de solicitud en la línea de señal de solicitud y envía a continuación una señal de acuse de recibo de tal transferencia de datos, en el que cada uno de la pluralidad de dispositivos
20. recibe la señal de acuse de recibo de modo que el dispositivo que emite la señal de solicitud realiza la transferencia de datos; caracterizado por que por lo menos uno de - dicha pluralidad de dispositivos, excepto el que tiene la orden de prioridad más alta, comprende un circuito de de-
25. tección para detectar la señal de solicitud en la línea - de señal de solicitud, en el que el dispositivo que proporciona el citado circuito de detección detecta la señal de solicitud de modo que el dispositivo que proporciona el -
30. circuito de detección impide la emisión de la señal de solicitud desde su propio dispositivo; y por lo menos uno - de la citada pluralidad de dispositivos, excepto el que -

tiene el circuito de detección, está situado en el lado opuesto de tal unidad con respecto al dispositivo que tiene el mencionado circuito de detección.

2ª.- Un sistema de transferencia de datos.

Todo según se describe y reivindica en la presente Memoria descriptiva que consta de quince hojas debidamente foliadas y escritas a máquina por una sola de sus caras y se representa en las adjuntas hojas de planos.

Madrid, 11 de Noviembre de 1.976

EL AGENTE:

P. P.

A large, stylized handwritten signature in black ink, written over the typed name 'P. P.' and extending to the left and right.

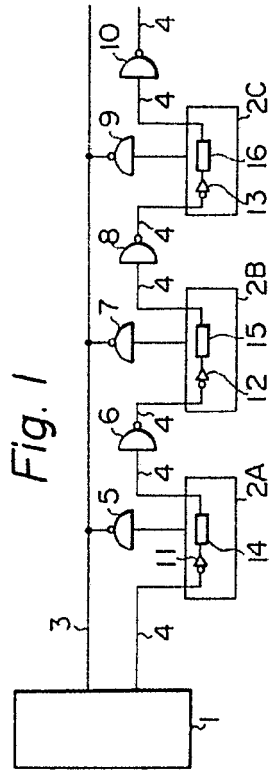
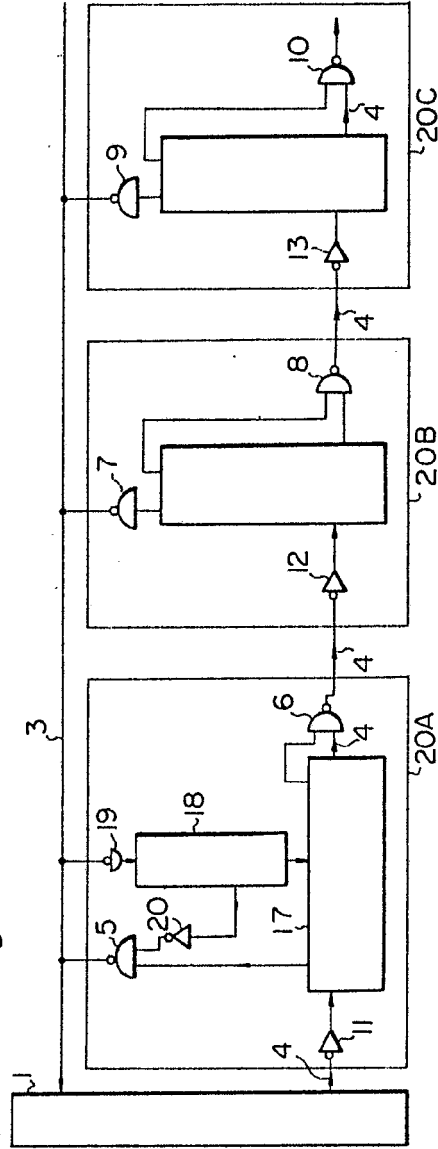


Fig. 1

Fig. 2



ESCALA VARIABLE
Madrid,
EL AGENTE

P. P. *[Signature]*

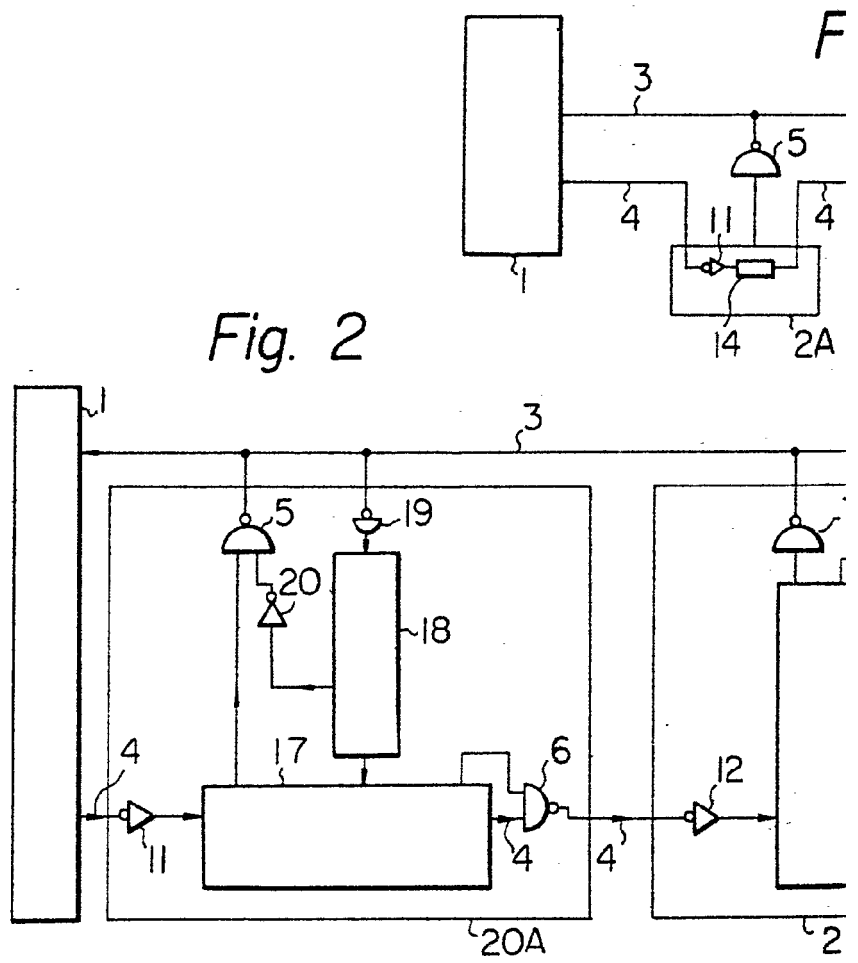
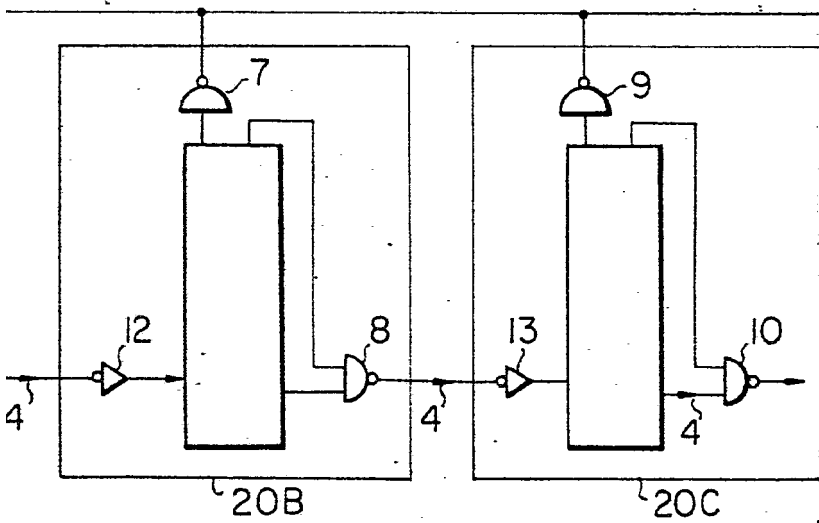
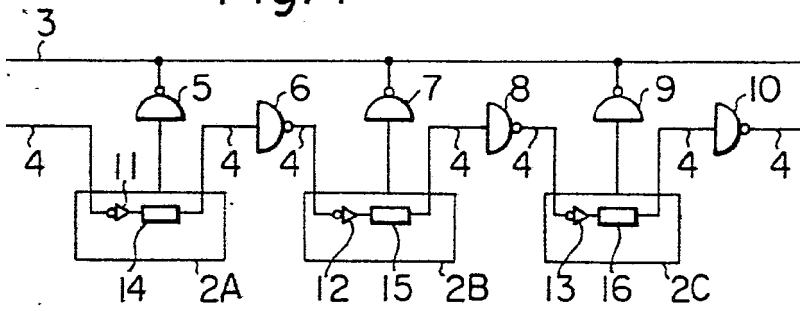


Fig. 2

Fig. 1



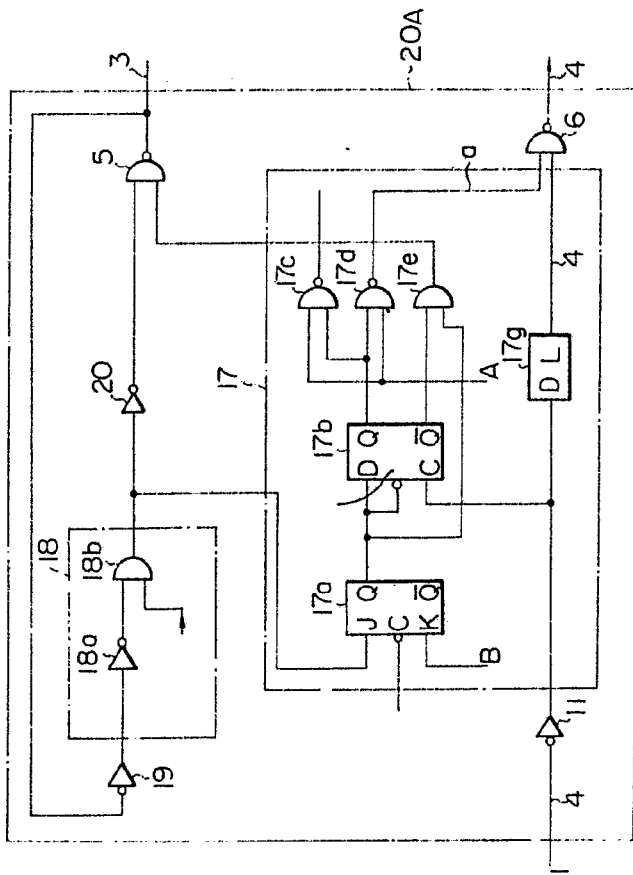
ESCALA VARIABLE

Madrid,

EL AGENTE

p. p.
[Handwritten Signature]

Fig. 3



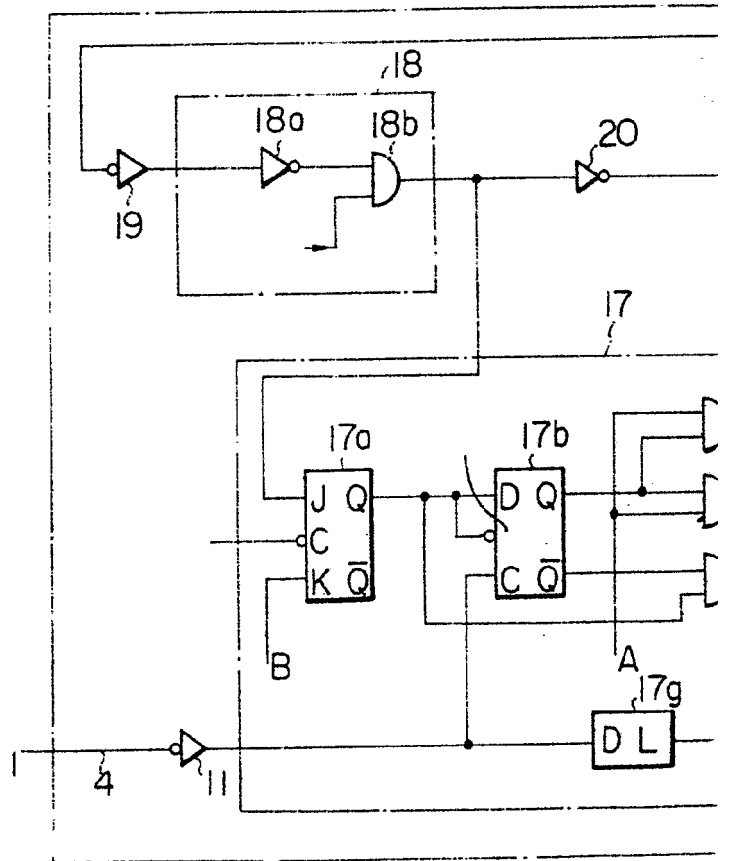
ESCALA VARIABLE

Madrid,

EL AGENTE

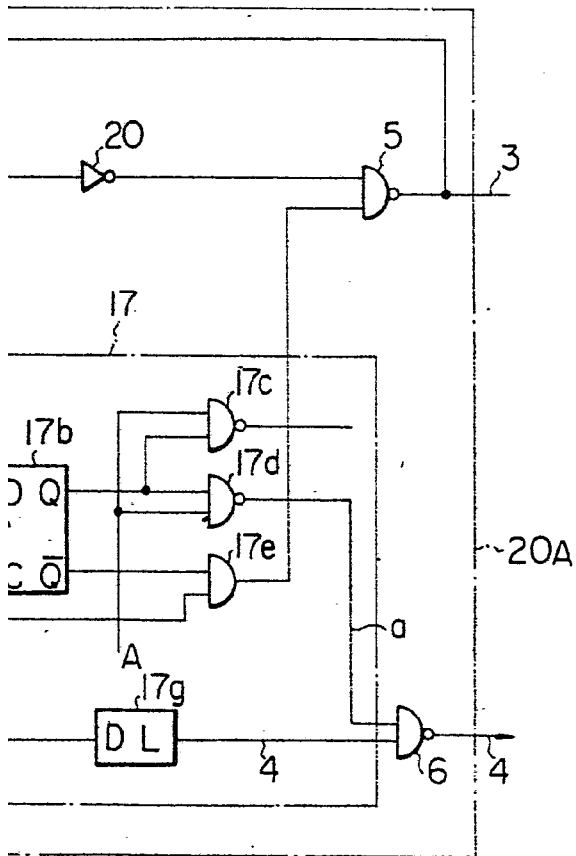
p. p.

Fig. 3



27-63

7. 3



ESCALA VARIABLE

Madrid,

EL AGENTE

p.p.

POOR
QUALITY