



ESPAÑA

Concedido el Registro de acuerdo con los datos que figuran en la presente descripción y según el contenido de la Memoria adjunta.

20 SET. 1978

PATENTE DE INVENCION

10 ES	11 NUMERO	10 AT
21	453.041	
22	FECHA DE PRESENTACION	
	5-11-76	

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
239.080	5 de Noviembre de 1.975	CANADA

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	52 PATENTE DE LA QUE ES DIVISIONARIA
	H03K	

54 TITULO DE LA INVENCION
PERFECCIONAMIENTOS EN CIRCUITOS LIMITADORES DE SEÑAL DE ENTRADA PERIODICA DE AMPLITUD VARIABLE.-

71 SOLICITANTE (ES)
NORTHERN TELECOM LIMITED

DOMICILIO DEL SOLICITANTE
1600 Dorechester Boulevard, West, Montreal, Quebec, Canada

72 INVENTOR (ES)
BRIAN RICHARD BRUDEN, Ing.

73 TITULAR (ES)

74 REPRESENTANTE
D. JAIME GOMEZ-ACEBO y MODET.

El presente invento se refiere a circuitos limitadores de señales eléctricas en general y, en particular, a un circuito limitador transistorizado apropiado para circuitos temporizadores en repetidores digitales de gran velocidad.

5.

En años recientes la transmisión digital de información por medio de sistemas de transmisión de impulsos de gran capacidad y gran velocidad ha ganado importancia como modo viable en aplicaciones de telefonía de gran radio de acción. Estos sistemas pueden transportar unos cuantos centenares de megabits por segundo de información sobre líneas de cables coaxiales con repetidores. Para mantener la integridad de los impulsos digitales en el sistema total de terminal a terminal, se colocan repetidores digitales a intervalos que dependen del tipo del cable coaxial, la anchura de banda de la información transmitida y el régimen de errores especificados para el sistema total. Un repetidor digital intercepta las corrientes de impulsos entrantes para reformar y volver a temporizar los impulsos dispersados, retransmitiéndolos después en el siguiente intervalo o el cable.

10.

15.

20.

Una función esencial en un repetidor se realiza por medio de un detector de umbral el cual, durante una ventana de tiempo óptima decide sobre la existencia o ausencia de un impulso detectando un voltaje por encima de un umbral predeterminado. La precisión de esta decisión determina en grado notable el régimen de errores de sistema. Evidentemente dicha precisión está en función a dos variables en primer lugar la integridad de los impulsos entrantes que se presentan finalmente al detector umbral y, en segundo lugar, la posición (en el tiempo) de la ventana del tiempo óptima. Esta posición se de-

25.

30.

- riva del circuito de temporización que extrae una señal de temporización sinusoidal de la corriente de impulsos entrantes. El senoide extraído posee la fase apropiada necesaria para la temporización precisa, pero varía en amplitud debido principalmente
5. a la aparición coaxialeatoria de los impulsos entrantes. Una densa secuencia de impulsos produce mayor amplitud que una secuencia que no sea tan densa. No obstante, existe un límite inferior establecido por el esquema de codificación del sistema de multiflexación por lo que un repetidor tiene que contender solamente
10. con una variación en amplitud limitada en la mayoría de los casos entre 10 y 20 dB.

- Para eliminar la variación de amplitud de la señal de temporización lo cual es necesario para una temporización apropiada, la señal de temporización original se
15. debe amplificar y limitar después. Como cabe esperar, la respuesta de fase del limitador es de importancia primordial. Debe ser constante dentro de tolerancias previamente establecidas sobre la región de fluctuación de amplitud. Por lo tanto, la limitación se realizaba mediante diodos en dos etapas consecutivas precedidas cada una para amplificación suficiente y seguidas por una
20. tercera etapa amplificadora. En una variante, se ha utilizado un limitador con derivación en serie precedido y seguido de amplificación. Dicho dispositivo se describe en un artículo
25. I. Dorros et al, titulado "An Experimental 224 Mb/s Digital Repeatered Line", (Línea con Repetidores Digitales de 224 Mb/s Experimental) publicada en The Bell System Technical Journal, volumen XLV, Septiembre del 1966, nº 7 en la página 1029. Bajo el encabezamiento "Limiting" (limitation) en dicho artículo, los autores enseñan que se ha evitado la limitación por transistores
30. para mantener la conversión de amplitud a fase a un mínimo (v.g.

la respuesta de fase constante). En dicho caso, como en otros limitadores de la tecnología anterior para la amplificación en cuestión, se utiliza limitación por diodos.

5. El principal interés del presente invento se ha dirigido hacia una reducción de costo de los repetidos digitales del tipo descrito anteriormente. Se ha reconocido que si se pudieran resolver los problemas de respuesta de fase de las etapas limitadores transistorizadas, solamente se necesitarían una etapa amplificadora más simple para activar el
10. limitador más sensible, y posiblemente no sería necesaria una amplificación ulterior. El resultado sería una reducción de costo que no es insignificante.

15. Se ha averiguado que el limitador de par de transistores acoplados por los emisores clásico produce una respuesta de fase sensiblemente mejorada si se alimenta una segunda señal de compensación de fase a la base del transistor de salida, cuya señal guarda una cierta relación de fase con la señal de entrada. Mediante una elección juiciosa de la amplitud de dicha segunda señal con relación a la gama de variación de amplitud de la señal de entrada, la respuesta de fase y
20. amplitud de limitador resultan óptimas en el caso en cuestión. Así, según el presente invento, se proporciona un circuito limitador para una señal de entrada periódica que tiene amplitud variable y que comprende; un primer y un segundo dispositivo de
25. conmutación conectados y polarizados para funcionar en el modo de funcionamiento de conmutación de corriente, medios para alimentar la señal de entrada a un electrodo de control de dicho primer dispositivo de conmutación, y medios para alimentar una segunda señal periódica a un electrodo de control del segundo
30. dispositivo de conmutación, teniendo dicha segunda señal, en el

electrodo de control, una amplitud predeterminada y una diferencia en fase predeterminada con respecto a la señal de entrada.

5. En un aspecto preferible, más estrecho, del presente invento, dicha segunda señal es una versión retardada y atenuada de la señal de corriente alterna que aparece en el electrodo de salida del primer dispositivo de conmutación.

10. A continuación se describe una modalidad de preferencia del presente invento con relación a los dibujos adjuntos, en los que:

La figura 1 es una vista esquemática general de un limitador de par de transistores acoplado por los emisores clásico.

15. La figura 2 ilustra la definición del retardo de propagación del par de transistores acoplados por los emisores de la figura 1.

La figura 3 representa una respuesta típica de fase y amplitud del circuito de la figura 1.

20. La figura 4 es una representación esquemática de un circuito limitador según el presente invento.

La figura 5 ilustra la forma en que se consigue la respuesta de fase mejorada mediante el circuito de la figura 4; y

25. La figura 6 representa una respuesta típica de fase y amplitud del circuito de la figura 4.

30. En la figura 1 se ilustra un esquema general del limitador clásico acoplado por los emisores. La señal de entrada V_{in} se alimenta a la base 12 del transistor 10, y el voltaje de salida V_{out} se obtiene en el colector del transistor 11. La base 12, así como la base 13, del transistor 11 se

deberá polarizar, como es lógico, prácticamente al mismo voltaje de corriente continua por cualquiera de los medios de polarización conocidos. El voltaje de suministro se alimenta entre el terminal 14 y tierra. La fuente de corriente 15 podría ser un simple resistor. Las variaciones del esquema general de la figura 1 son bien conocidas y además se pueden encontrar explicaciones adicionales en los libros de texto básicos.

5.

10.

La figura 2 ilustra la forma en que se define el retardo de propagación t_D entre V_{in} y V_{out} . Los niveles de corriente continua no se han tenido en cuenta para mayor claridad de definición, que simplemente es el retardo de tiempo t_D el 50% de puntos de V_{out} y V_{in} .

15.

20.

A una frecuencia simple, t_D se puede convertir en un ángulo de fase cuya variación en función a la amplitud de V_{in} constituye lo que se denomina "respuesta de fase" o conversión de amplitud a fase, del limitador. Una respuesta de fase típica de dicho limitador clásico a la frecuencia de interés en la modalidad preferible de 274,176 MHz se representa en la parte inferior de la figura 3. La ordenada representa el ángulo de fase en grados, mientras que la abscisa representa el cambio relativo en amplitud de V_{in} como una relación de V_{in} a $V_{in, max}$. $V_{in, max}$ es el valor máximo esperado de la amplitud de la entrada del limitador (el terminal 12 en la figura 1). Según se puede ver, la respuesta de fase está lejos de ser constante, por lo que este tipo de limitador, a pesar de ser más sensible que los limitadores de diodos, es inapropiado para la aplicación en repetidores de gran velocidad.

25.

30.

No solamente la respuesta de fase depende demasiado de la amplitud, sino también la amplitud de la señal de salida limitada, aunque en menor grado. La respuesta de

amplitud, o conversión de amplitud a amplitud, se representa en la parte superior de la figura 3. La ordenada representa la variación relativa en la amplitud de salida. $V_{out, max}$ es la amplitud de salida máxima correspondiente a $V_{in, max}$. se observará que los niveles reales de V_{in} sobre los cuales se han medido los resultados de la figura 3 están entre 0,2 voltios cresta a cresta y 2 voltios cresta a cresta. Dentro de una gran parte de dicha gama no se puede utilizar limitación por diodos.

Habiendo expuesto brevemente el limitador clásico acoplado por los emisores y sus limitaciones a la frecuencia de interés, volvamos ahora al circuito de la modalidad de preferencia del presente invento. El circuito se ilustra en la figura 4 y comprende dos transistores NPN bipolares 10 y 11, que tienen los emisores interconectados y conectados a tierra a través de un resistor 12; los transistores 10 y 11 que tienen sus bases conectadas a un voltaje de suministro de polarización de corriente continua V_B en el terminal 13 a través de resistores 14 y 15, respectivamente; la base del transistor 10 y el colector del transistor 11 se conectan a terminales de entrada y de salida 16 y 17 a través de capacitores 18 y 19, respectivamente; los colectores de los transistores 10 y 11 se conectan al voltaje de suministro principal V_S , alimentado entre el terminal 20 y tierra, a través de resistores 21 y 22, respectivamente; y el colector del transistor 10 se acopla a la base del transistor 11 a través de una conexión en serie de un resistor 23, un capacitor 24 y una línea de retardo 25. Además, y si los transistores 10 y 11 no están perfectamente equiparados (v.g., no son de características idénticas), lo cual suele ser el caso, se utiliza un otenciómetro 26 conectado entre V_S y tierra cuyo brazo móvil se conecta a la base del transistor 11 a

través del resistor 27. El potenciómetro 26 proporciona un medio por el cual se puede compensar una diferencia en los voltajes emisor-base de los transistores 10 y 11.

- En el circuito de la figura 4 el
5. capacitor 23 es un capacitor de bloqueo de corriente continua. El resistor 24 sirve como atenuador de la señal en el colector del transistor 10, cuya señal atenuada se alimenta entonces, por la línea de retardo 25, a la base del transistor 11. La ilustración superior de la figura 5 representa la señal trapezoidal atenuada V_t según aparece en la base del transistor 11 en una relación de fase apropiada a la señal de entrada V_{in} en la base de transistor 10 para los dos casos de V_{in} mínimo y máximo. La señal trapezoidal V_t está desfasada en un ángulo de aproximadamente
10. $-\frac{5}{2}\pi$ (si no se tiene en cuenta el múltiplo entero de 2π , entonces la fase relativa de V_t con relación a V_{in} simplemente es $-\frac{\pi}{2}$. Una inversión de fase de π se introduce por el transistor 10 y el resto de $\frac{3}{2}\pi$ es un retardo introducido por la línea de retardo 24. El punto de intersección L es el momento dentro de un ciclo en el cual los voltajes de la base de los
15. transistores 10 y 11 son iguales en el caso de V_{in} máximo. Es precisamente en este instante del ciclo en el cual los transistores 10 y 11 cambian los estados de conducción, dejando de conducir el transistor 10 y comenzando a conducir el transistor 11. La transición correspondiente del voltaje de salida V_{out} se representa inmediatamente debajo en la figura 5. El nivel del 50%
20. (o cruzamiento cero si no se tiene en cuenta los niveles de corriente continua) de V_{out} se alcanza después de un retardo t_{DL} a partir del punto L. Cuando se trata del V_{in} mínimo el punto de intersección es S, que, como es lógico, ocurre antes que L en
25. el ciclo. La transición correspondiente de V_{out} se representa en
- 30.

la parte inferior de la figura 5, y el nivel del 50% se alcanza en este caso después de un retardo t_{DS} a partir de S. El comportamiento del circuito con respecto a la transición positiva de V_{out} es análogo al que se acaba de describir. Por lo tanto,

- 5. es evidente que una elección apropiada de la amplitud de V_t haría que se alcanzara el 50% de nivel de V_{out} a un ángulo de fase relativamente constante dentro del ciclo cualquiera que fuera la amplitud de V_{in} , o sea, en tanto que V_{in} esté dentro del límites preestablecidos. La señal V_t compensa el mayor retardo en caso de V_{in} pequeño haciendo que la transición de conmutación de los transistores 10 y 11, comience progresivamente más temprano en el ciclo con la reducción de V_{in} . Expuesto estrictamente, V_t no se tiene que derivar del colector del transistor 10, sino lógicamente es más oportuno que así sea.

- 15. La amplitud óptima para la señal V_t se determina mejor de una forma experimental. Sería presuntuoso dar una regla rígida o fórmula para determinar la amplitud de V_t ; no obstante, de preferencia habrá de ser menor que el V_{in} operacional mínimo. Lo mismo ocurre con la determinación del retardo óptimo, aunque se puede afirmar con seguridad que la diferencia de fase entre V_t y V_{in} deberá estar en las proximidades de $-\frac{\pi}{2}$ o $+\frac{3}{2}\pi$, si no se tienen en cuenta los múltiplos enteros de 2. Esta condición se puede expresar como sigue:

- 25. Diferencia de Fase es = $(1)^n (2n - 1) \frac{\pi}{2}$;
donde $n = 1, 2, 3, \dots$ etc. No obstante, es importante poner de relieve que la diferencia de fase óptima determinada de un modo experimental puede variar hasta 30° o más de la de la fórmula anterior.

- 30. Antes de tomar como referencia la fi

gura 6 que representa el comportamiento mejorado del circuito de la figura 4 indicamos a continuación los valores y datos de los componentes en dicho circuito:

- 5. Frecuencia de Funcionamiento : 274,176 MHz
- 5. Escala de V_{in} : 20 dB (0,2 V p-p a 2 V p-p)
- Transistores 10 y 11 : 2N5652 ($f_T = 4$ GHz, $C_{ob} = 0,5$ pF)
- Línea de retardo 25 : 2,8 nanosegundos (causando aproximadamente 280° de retardo a la frecuencia de operación de 274,176 MHz.
- 10. Resistor 24 : 27 Ohm
- Resistores 12 : 220 Ohm
- 14 : 82 Ohm
- 15 : 220 Ohm
- 15. 21 : 24 Ohm
- 22 : 82 Ohm
- 27 : 10K Ohm
- Potenciómetro 26 : 10K Ohm
- capacitores de bloqueo de c_{o_2}
- 20. fuente continua 18 : 0,01 μ F
- 19 : 0,01 μ F
- 23 : 0,01 μ F
- Voltaje de suministro V_S : 14,5 voltios
- V_B : 6,2 voltios

25. En la figura 6 la curva superior es la respuesta de amplitud de un circuito típico que tiene los valores citados. Como se podrá comprender, la amplitud de V_{out} varía oco más de un dB sobre una variación correspondiente en V_{in} de CA 20 dB mientras que la respuesta de fase representada por la curva inferior varía por CA 10° sobre la variación de

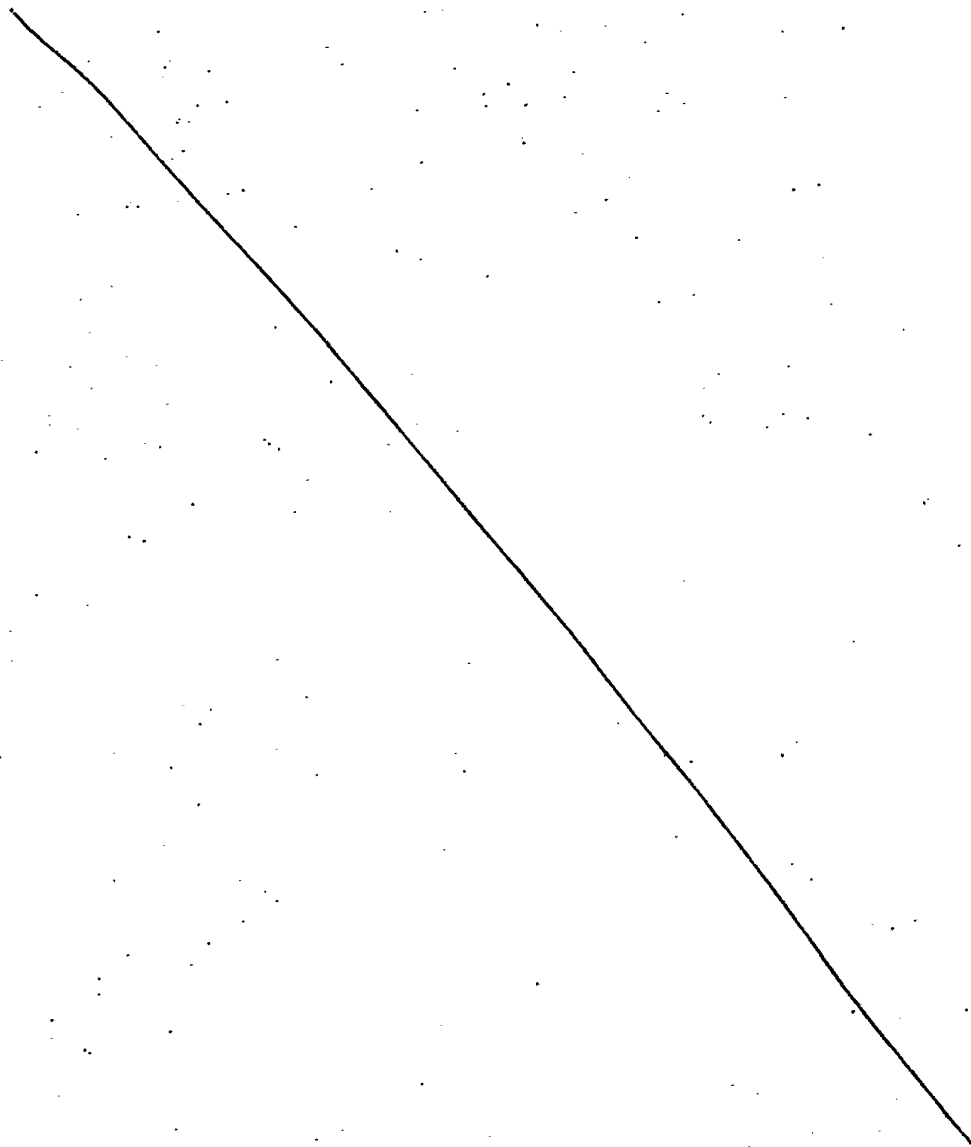
30.

20 dB en V_{in} . Comparando la figura 6 con la figura 3, se puede ver cómo la superposición de V_t en la base del transistor 11 mejora evidentemente el comportamiento del limitador de la tecnología anterior ilustrado en la figura 1. Respecto a una comparación entre el comportamiento representado en la figura 6 y los limitadores de diodos de la tecnología anterior (no representados), se produce un cierto deterioro en la respuesta de fase, particularmente hacia la amplitud mínima de V_{in} . En la mayoría de los casos dicho deterioro está dentro de límites aceptables (10%).

A pesar de que el circuito preferible de la figura 4 tiene el resistor 15 como fuente de corriente, se puede utilizar un transistor u otra fuente de corriente apropiada. No obstante, esto no es obligatorio y un resistor, cuando sea suficiente, ofrece la ventaja de su menor costo.

La modalidad de preferencia descrita en la presente memoria, tiene una desventaja que, no obstante, y al menos en la aplicación presente, no reduce su utilidad. Si el circuito en la figura 4 no se activa por la señal de entrada, un modo "aestable" de oscilación se establece a aproximadamente a 1 MHz, dicho modo aestable resulta del capacitor 23 que hace que el circuito funcione como un multivibrador aestable a menores frecuencias, porque la línea de retardo 25 tiene un retardo imperceptible a dichas frecuencias. El capacitor 23 se debe elegir, por lo tanto, para que produzca una frecuencia de oscilación que quede bien por debajo de la frecuencia operacional real del circuito. En la modalidad presente un MHz se quita suficientemente de 274,176 MHz. Solamente es necesario tener la seguridad de que el modo aestable parásito se suprime de hecho al alimentarse el V_{in} mínimo en su entrada. Esta condi-

ción no es el factor de limitación impuesto sobre el valor mínimo de V_{in} en la aplicación o utilización presente.

5. Descrita suficientemente la naturaleza del invento así como la manera de realizarlo en la práctica debe hacerse constar, que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.
- 

REIVINDICACIONES

- 1a.- Perfeccionamientos en circuitos limitadores de señal de entrada periodica de amplitud variable cuyo circuito tiene un primer y un segundo dispositivo de conmutación conectados y polarizados para funcionar en el modo de funcionamiento de conmutación de corriente, y medios para alimentar la señal de entrada a un electrodo de control del primer dispositivo de conmutación, caracterizados porque se alimenta una segunda señal periódica a un electrodo de control del segundo dispositivo de conmutación, teniendo la segunda señal periodica en el electrodo de control una amplitud predeterminada y una diferencia en fase predeterminada con respecto a la señal de entrada.
5. 10.

- 2a.- Perfeccionamientos segun la reivindicación 1, caracterizados porque cuando la señal de entrada es el senoide de temporización extraido de una corriente de impulsos de gran velocidad y preamplificada para que tenga un nivel operacional mínimo predeterminado y cuyo circuito tiene un par de transistores de conmutación de gran velocidad de la misma polaridad, que tienen un resistor con emisor común con un terminal de circuito común (tierra) y que tienen medios para polarizar el par de transistores para que funcionen en un modo de corriente sin saturación, y donde el senoide de temporización se alimenta a la base de uno de dicho par de transistores de conmutación, el colector del transistor del par de transistores de conmutación, se conecta a la base del otro transistor del par de transistores de conmutación por una conexión en serie de medios de bloques de corriente continuas, medios atenuadores de la señal y medios de defasaje.
15. 20. 25.

- 3a.- Perfeccionamientos según las reivindicaciones 1 o 2, caracterizados porque el primer y el se-
- 30.

gundo dispositivos de conmutación son un primer y un segundo transistores bipolares.

5. 4a.- Perfeccionamientos según la reivindicación 3, caracterizados porque la primera señal de entrada es prácticamente sinusoidal y la segunda señal periódica es una versión retardada y atenuada de la señal de corriente alterna que aparece en el colector del primer dispositivo de conmutación.

10. 5a.- Perfeccionamientos según la reivindicación 4, caracterizados porque la segunda señal periódica se retarda por el equivalente de tiempo de un ángulo de fase óptima en las proximidades de $\frac{3}{2} \pi$ + un múltiplo entero de 2 .

15. 6a.- Perfeccionamientos según la reivindicación 4, caracterizados porque la segunda señal periódica es prácticamente trapezoidal y tiene una amplitud óptima menor que la amplitud más baja esperada de la señal de entrada.

20. 7a.- Perfeccionamientos según la reivindicación 6, caracterizados porque una versión de salida limitada de la señal de entrada se obtiene en el colector del segundo dispositivo de conmutación.

25. 8a.- Perfeccionamientos según la reivindicación 6, caracterizados porque la versión retardada atenuada se obtiene en la base del segundo transistor bipolar interconectando la base y el colector del primer transistor bipolar por una conexión en serie de un capacitor, un resistor y una línea de retardo.

30. 9a.- Perfeccionamientos según la reivindicación 8, caracterizados porque el capacitor tiene capacidad suficiente para hacer que el circuito limitador oscile

en su modo estable a una frecuencia sacada de la frecuencia de la señal de entrada cuando esta última se encuentra por debajo de una amplitud mínima previamente establecida.

5. 10a.- Perfeccionamientos según la reivindicación 9, caracterizados porque la diferencia en fase predeterminada está en las proximidades de $(-1)^n (2n-1) \frac{\pi}{2}$ donde n define cualquier entero positivo.

10. 11a.- Perfeccionamientos según la reivindicación 2, caracterizados porque los medios de polarización comprenden: un resistor en el circuito colector de cada uno del par de transistores de conmutación entre un primer terminal de energía y el colector respectivo.

15. 12a.- Perfeccionamientos según la reivindicación 11, caracterizados porque los medios para la polarización comprenden además un resistor en el circuito de la base de cada uno del par de transistores de conmutación entre un segundo terminal de potencia y la base respectiva.

20. 13a.- Perfeccionamientos según la reivindicación 12, caracterizados porque el primer y el segundo terminales de potencia tienen el terminal de circuito común como su tercer terminal común.

25. 14a.- Perfeccionamientos según las reivindicaciones 11, 12, o 13, caracterizados porque los medios para la polarización comprenden además medios resistores ajustables en el circuito de la base de uno del par de transistores de conmutación conectados y destinados a variar la polarización de uno del par de transistores de conmutación para compensar la falta de coincidencia en las características base-emisor del par.

30. 15a.- Perfeccionamientos según las

5. reivindicaciones 11, 12 o 13, caracterizados porque los medios para acoplar el senoide de temporización consisten en un capacitor de bloqueo de corriente continua, y porque el colector del otro del par de transistores de conmutación se acopla a un terminal de salida del circuito de limitador por un capacitor de bloqueo de corriente continua.

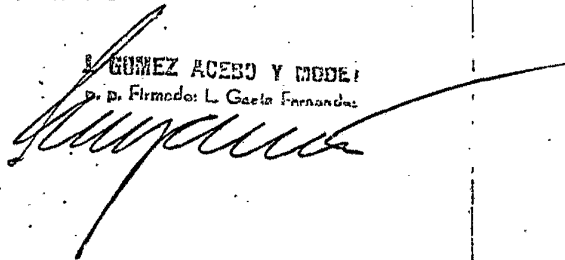
10. 16ª.- Perfeccionamientos en circuitos limitadores de señal de entrada periodica de amplitud variable, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los dibujos adjuntos.

Esta memoria consta de 15 hojas escritas a máquina por una sola cara.

Madrid. - 8 FEB. 1977

NORTHERN TELECOM LIMITED

GÓMEZ ACEBO Y CIDE
p. p. Firmado: L. García Ferrández



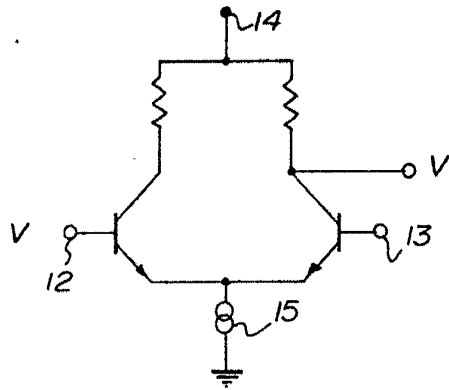


FIG. 1

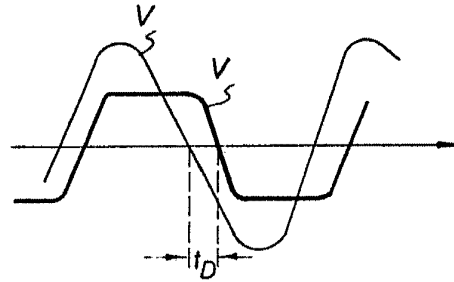


FIG. 2

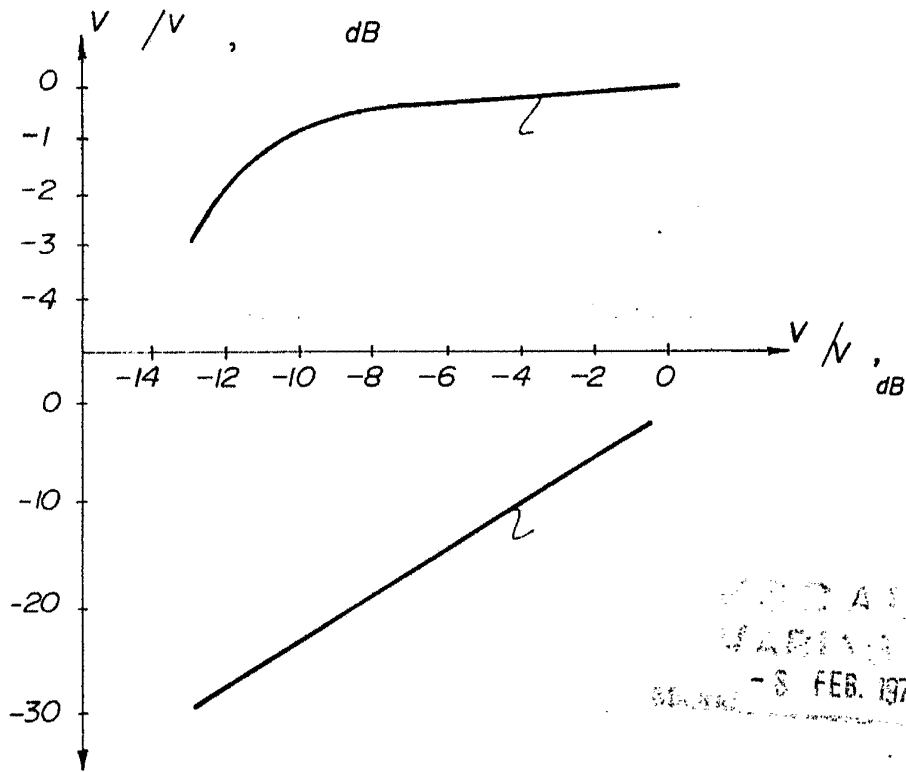


FIG. 3

SEARCHED
SERIALIZED
- 8 FEB. 1977

Handwritten signature

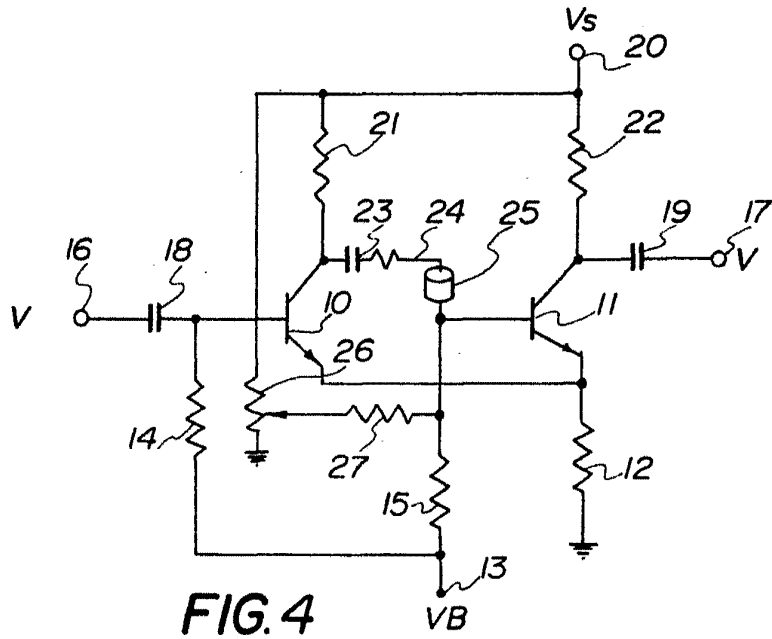


FIG. 4

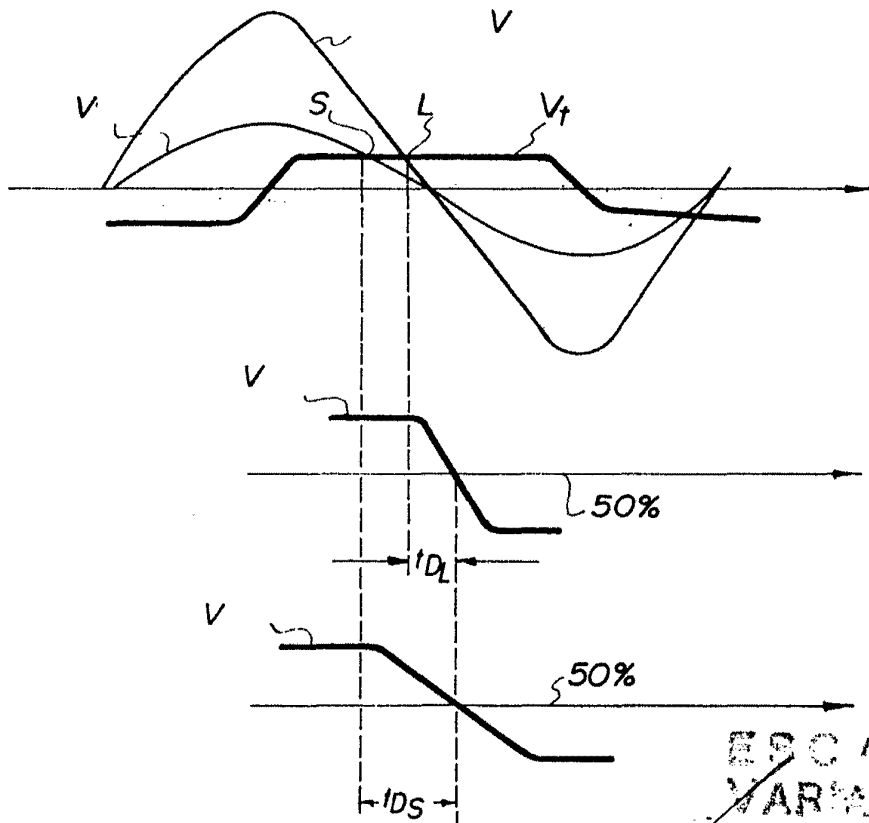


FIG. 5

ESCALA
VARIABLE
1000000
100000
10000
1000
100
10
1

[Handwritten signature]

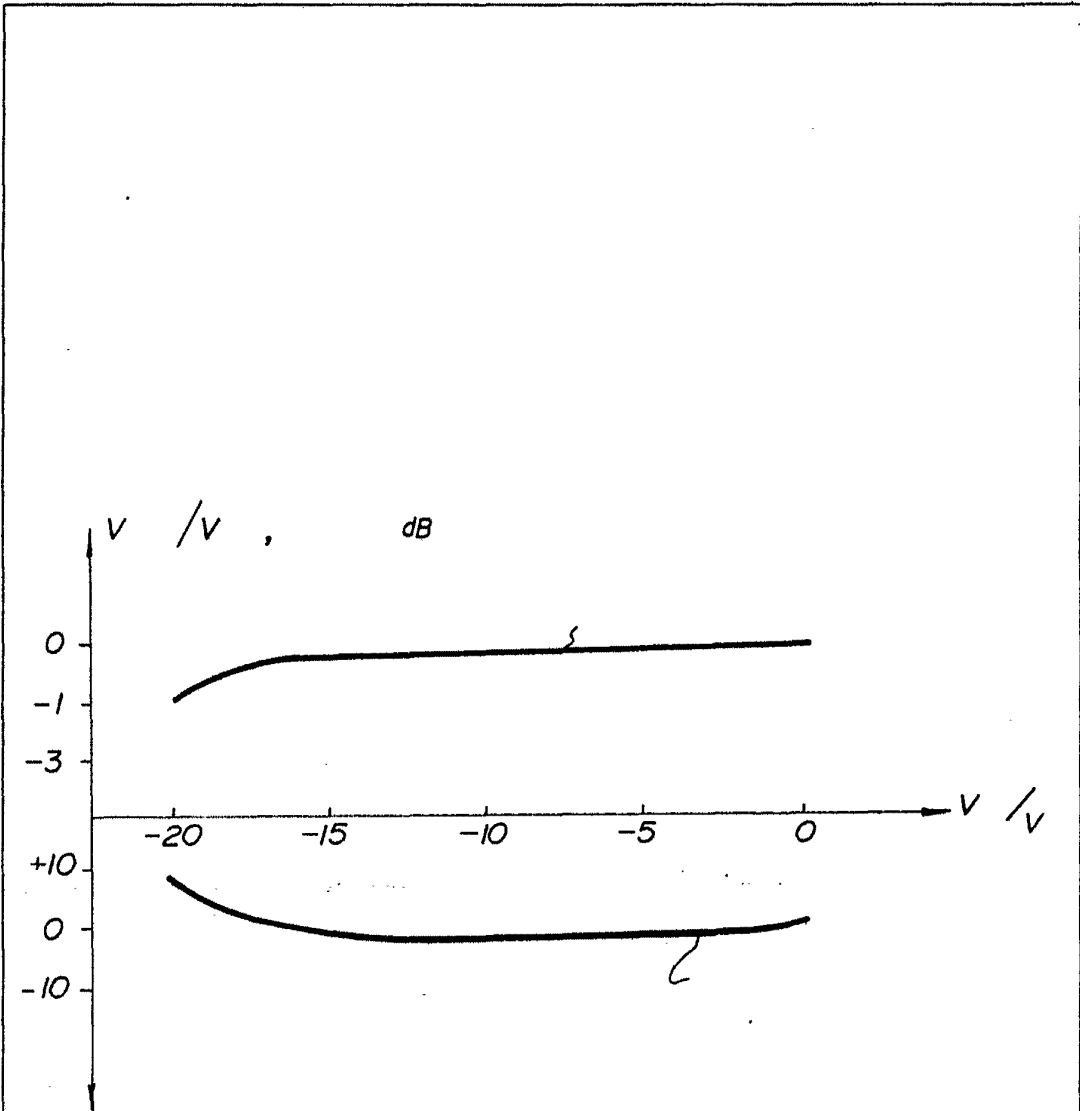


FIG.6

APPROVED
DATE

[Handwritten signature]