

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

19 ES	11 NUMERO	10 A 1
	21	
	22 FECHA DE PRESENTACION	
	30-9-76	

P.- 64.123
TH-CSF 4236/BOD

PATENTE DE INVENCION

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
75/30233	2-10-75	Francia

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H03K; H04B; H04J	

64 TITULO DE LA INVENCION
"DISPOSITIVO CODIFICADOR-COMPRESOR DE UNA SEÑAL ANALOGICA UTILIZANDO AL MENOS UN INTEGRADOR DE MANTENIMIENTO".

71 SOLICITANTE (S)
THOMSON-CSF

DOMICILIO DEL SOLICITANTE
173 Bd Haussmann, 75008- París, Francia.

72 INVENTOR (ES)
M. Sylvain FONTANES

73 TITULAR (ES)

74 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ

LEF

1 El presente invento tiene por objeto un perfeccionamiento
en los codificadores-compresores de una señal analógica que utilizan,
por lo menos, un integrador de mantenimiento que permite la integración,
durante intervalos de tiempo periódicos de duración T_1 separados por in-
5 tervalos de tiempo T_2 , de una señal que se denominará señal a integrar,
constituida por la señal a codificar o por una señal de polaridad cons-
tante que presenta el mismo valor absoluto que la señal a codificar, y
el mantenimiento, durante el período T_2 , del valor integrado durante un
intervalo de tiempo de duración T_1 , con vistas a una codificación con
10 compresión efectuada por medio de al menos una señal de rampa, siendo T_1
y T_2 múltiplos de una misma duración T .

En la técnica conocida, los integradores de mantenimiento
utilizados a este efecto mantienen el valor integrado en los bornes de
un condensador, lo que hace que sea difícil evitar pérdidas de cargas
15 puesto que la duración de la señal de rampa, durante la cual el valor in-
tegrado debe ser mantenido, no es despreciable.

Por otra parte, es necesario prever integradores de tiem-
po T_2 de duración más larga que la de la señal de rampa, con el fin de
permitir la descarga del condensador antes de la nueva integración.

20 El presente invento permite remediar estos inconvenientes.
Según el invento, un codificador-compresor del tipo indi-
cado está caracterizado porque dicho integrador de mantenimiento compren-
de un dispositivo de transferencia de cargas que comprende $p + q$ pasos
con $p = T_1/T$, $q = T_2/T$, teniendo estos pasos coeficientes de ponderación
25 iguales entre sí, un dispositivo que le suministra señales de avance del
período T y un dispositivo de alimentación del circuito de inyección del
dispositivo de transferencia de cargas, alternativamente por dicha señal
a integrar y por una tensión fija, de manera que las cargas inyectadas en
el primero de los $(p+q)$ pasos sean función de la señal a integrar duran-
30 te los intervalos T_1 , y tengan un valor fijo durante los intervalos T_2 ,

1 suministrando el circuito de salida de dicho integrador de mantenimiento,
salvo una tensión constante, dicho valor integrado.

El invento será mejor comprendido y otras características
aparecerán con ayuda de la descripción siguiente y de los dibujos que
5 se refieren a la misma, en los cuales:

- la figura 1 es una curva de compresión;
- la figura 2 es un codificador según el invento que per
mite la codificación de una señal de polaridad constante;
- la figura 3 es un codificador según el invento, que per
10 mite la codificación de una señal de dos polaridades;
- la figura 4 ofrece curvas explicativas;
- la figura 5 es una variante del codificador de la figu
ra 3, que permite su utilización para una descodificación durante la in-
tegración de la señal a codificar.

15 Los codificadores-compresores que serán descritos, compren
den generadores de rampa, igualmente constituidos por dispositivos de
transferencia de cargas, alimentados a tensión constante para la produc-
ción de una señal de rampa.

Se recuerda aquí que un dispositivo de transferencia de
20 cargas, denominado abreviadamente DTC, que recibe señales de avance cons-
tituidas por almenas desfasadas entre sí, de período común T y en el pri-
mer paso del cual es inyectada, en los instantes nT , $n = 1, 2$ etc, una
carga $q(nT)$, suministra en los instantes $nT + T$ en que T es una constan-
te positiva a lo sumo igual a T, una señal de salida R ($nT+T$) igual a
25 $(1/C) \sum_{i=1}^m h_i \cdot q(p_i T)$ donde m es el número de pasos del DTC, h_i el coe-
ficiente de ponderación de su i° paso, $p_i = n - i + 1$, y en que C es una
constante que tiene las dimensiones de una capacidad, característica del
DTC. Esta señal de salida está constituida por una señal muestreada su
perpuesta a una tensión constante V_k determinada por la tensión añadida a
30 la señal de entrada del circuito de inyección del DTC, a fin de que este

1 circuito de inyección funcione en su zona lineal, así como por la suma
$$\sum_{i=1}^m h_i$$
 de los coeficientes de ponderación de los pasos.

Esta señal de salida, tomada en una de las fases de las se-
ñales de avance del DTC, puede ser transformada, para algunos DTC, en una
5 señal alisada $s(t)$ aumentada en la tensión V_k , por medio de un simple fil-
tro. Algunos DTC, por ejemplo los que utilizan para la ponderación elec-
trodos cortados, tienen para la obtención de la señal de salida $s(t) + V_k$,
un circuito de salida, denominado también circuito de medida, más comple-
jo.

10 En lo que sigue, se designará por DTC funcional, un dispo-
sitivo de transferencia de cargas que comprende, no solo su circuito de
inyección, sino también su circuito de salida.

Se encontrará una descripción de los dispositivos DTC, una
explicación de su funcionamiento, así como la forma a dar a las tensiones
15 de avance en el artículo "Charge-Coupled Devices" publicado por Gilbert F.
AMELIO en la revista Scientific American, volumen 230, número 2 de febre-
ro de 1974.

Se describen métodos que permiten determinar los coeficien-
tes de ponderación de los pasos en el artículo "Transversal Filtering
20 Using Charge-Transfer Devices" publicado por Dennis D. BUSS y otros en la
revista IEEE Journal of Solid-State Circuits, volumen SCB, número 2 de
abril de 1973.

En la figura 1, se ha representado para A y A' positivos,
una característica de compresión conocida, la más corriente en Europa, A'
25 = f(A). Las amplitudes reales A están representadas en abscisas, las am-
plitudes comprimidas A' en ordenadas.

El eje de las A' está graduado en escalones de cuantifica-
ción, cuyo número para cada polaridad de A, es igual a 128. Por razones
de comodidad, el eje de las A está graduado con una escala idéntica de 0
30 a 128, habiendo sido atribuido el valor 128 al valor máximo de A, y te-

1 niendo un escalón la misma longitud en los dos ejes.

La característica total es, naturalmente, simétrica con relación al origen. Basta describir la parte positiva. Se compone de siete segmentos de recta, siendo la pendiente de cada segmento la mitad
5 de la pendiente del segmento precedente.

Las intersecciones de los segmentos sucesivos a partir del segmento central tienen, respectivamente, por abscisa y ordenada: a : 2 y 32; b : 4 y 48; c : 8 y 64; d : 16 y 80; e : 32 y 96; f : 64 y 112; las ordenadas del extremo g son 128 y 128.

10 Con las escalas adoptadas para la representación gráfica, la característica de expansión correspondiente $A = F(A')$, siendo A' llevada en esta ocasión a las abscisas y A a las ordenadas, lo que se ha representado por las notaciones (A') y (A) , es simétrica de la característica de compresión con relación a la bisectriz de los ejes de las coordenadas. Esta curva está representada en trazos interrumpidos.
15

Para codificar 128 escalones de cuantificación son necesarios 7 bitios; en el caso de una señal de entrada de dos polaridades, se añade allí un bitio de signo, 1 para los valores positivos, 0 para los valores negativos.

20 El codificador de la figura 2 utiliza el principio conocido del muestreo de la señal analógica por una integración de ésta durante un intervalo de tiempo T_1 por medio de un integrador lineal de mantenimiento, que mantiene el valor integrado durante un tiempo T_2 suficiente para que un generador de rampa suministre una señal $V = F(t)$ cuya
25 curva representativa con una unidad de tiempo igual a $T_2/128$ y, para V , una unidad $V_0 = 1/128$ de la señal integrada para el valor máximo de A , es idéntica a la curva $A = F(A')$ de la figura 1, lo que se ha indicado llevando también las notaciones (t) al eje de las abscisas, y (V) al eje de las ordenadas de la figura 1.

30 Con la unidad de tiempo $T_2/128$, el tiempo cuantificado que

1 empleará el generador de rampa para suministrar una señal de rampa igual
a la señal de salida del integrador, será numéricamente igual al número
codificado de 7 bits que traduce A' . Para obtener este número codifi-
cado, basta alimentar un contador módulo 128 puesto a cero, antes del co-
5 mienzo del intervalo de tiempo T_2 , que recibe un primer impulso en el
tiempo $T_2/128$, siendo codificados los intervalos de cuantificación 0-1,
1-2 ... 127-128 por el número que traduce su límite inferior.

Al efectuarse la codificación, en este ejemplo, a la fre-
cuencia de 8 kHz, la duración $T_1 + T_2$ de un ciclo es de 125 us. Se ha
10 supuesto, además, que $T_1 = T_2$.

En la figura 2, un programador 13, que comprende un pilo-
to a $6144 = (2048) 3$ kHz, suministra impulsos de reloj H a la frecuencia
de 2048 kHz y diferentes señales periódicas a los elementos que se des-
cribirán. Las uniones correspondientes no están representadas, pero
15 las entradas que reciben señales del programador serán designadas con el
mismo símbolo que las señales que reciben. Por otra parte, un interva-
lo de tiempo correspondiente a la duración de una señal del programador
será designado con el mismo símbolo que esta señal, y estas mismas con-
venciones valdrán para todos los esquemas.

20 El codificador de la figura 2 utiliza, como generador de
rampa y como integrador de mantenimiento, DTC funcionales.

La entrada de avance de cada uno de estos dispositivos re-
cibe, para cada tiempo de reloj, al menos desfasadas entre sí, generalmen-
te tres, cuyo período común constituye el tiempo de reloj T mencionado.

25 En la figura 2, el DTC funcional 2, utilizado como inte-
grador de mantenimiento, comprende 256 pasos en que todos los coeficien-
tes h son iguales a 1. Su entrada de avance recibe la señal trifásica
mencionada P del programador por una entrada triple representada por un
hilo más grueso que las entradas sencillas. Por medio de dos interrup-
30 tores 5 y 6, su entrada de señal puede, bien ser puesta a la masa, bien

1 recibir la tensión de entrada A. La señal se supone aquí de polaridad
simple positiva. Un ciclo de codificación comprende 256 tiempos de re-
loj T (período de los impulsos H) del dispositivo: el programador sumi-
nistra almenas T_1 de duración 128 T, separadas por almenas T_2 de la mis-
5 ma duración. Las almenas T_1 son aplicadas al interruptor 6 para ce-
rrarlo y las almenas T_2 provocan el cierre del interruptor 5.

Al comienzo de un intervalo de tiempo T_1 , habiendo recibi-
do el dispositivo 2 durante 128 tiempos de reloj la tensión de la masa,
sus 128 primeros pasos contienen, cada uno, una misma carga $q(o)$, fun-
10 ción de la tensión añadida a la señal de entrada en el circuito de in-
yección.

Al final del tiempo T_1 , los 128 primeros pasos del dispo-
sitivo 2 contendrán, cada uno, una carga $q(A) = q(o) + q(A)$ que no
varía de un paso a otro más que debido a las fluctuaciones de la tensión
15 A, mientras que sus 128 últimos pasos contendrán, cada uno, la carga q
(o).

La señal de salida, correspondiente a la integración de la
tensión A, es $S(A) + V_k$, siendo V_k una tensión constante procedente de
las cargas $q(o)$.

20 Durante el tiempo T_2 siguiente, dado que la entrada del
dispositivo está unida a la masa, y que los 128 últimos pasos del dispo-
sitivo tenían cargas $q(o)$, las cargas del dispositivo permanecerán inal-
teradas.

Al final del tiempo T_2 , se volverán a encontrar efectiva-
25 mente cargas $q(o)$ en los 128 primeros pasos del dispositivo.

El codificador comprende, por otra parte, un generador de
rampa 1, que recibe las mismas señales de avance P que el integrador 2.

El generador de rampa comprende 128 pasos, de los cuales
los primeros 32 están afectados por el coeficiente 1, los 16 siguientes
30 por el coeficiente 2, los 16 siguientes por el coeficiente 4 y así suce-

1 sivamente, doblando el coeficiente de un grupo de 16 pasos al siguiente.

Durante los intervalos T_1 , el generador 1 tiene su entrada unida a la masa por medio de un interruptor 4 que recibe las almenas T_1 . Durante el tiempo T_2 , está unido a una fuente de tensión positiva $+V_0$ por medio de un interruptor 3 que recibe las almenas T_2 . Las diversas clases están ajustadas de manera que el generador 1 suministre durante un intervalo T_2 una señal alisada que corresponde a la curva $V = F(t)$ de la figura 1, salvo una constante V'_k y que la tensión de salida del interruptor haya respondido a las 128 cargas q (A) en tiempo útil para la comparación. La señal de salida del generador de rampa es sustraída de la señal de salida del integrador en un sustractor 7, cuya salida está unida a la entrada "+" de un comparador 8 cuya entrada "-" está unida a una fuente de tensión $V_k - V'_k$ (negativa si $V'_k > V_k$). Este comparador suministra una señal 1 si la tensión aplicada en su entrada "+" es superior, algebraicamente, a la tensión aplicada en su entrada "-", y una señal nula en el caso contrario. Todos los comparadores utilizados en lo que sigue en los diferentes esquemas serán de este tipo. La salida del comparador 8 está unida a la primera entrada de una puerta Y 9, con tres entradas, cuya segunda entrada recibe los impulsos H, y la tercera las almenas T_2 . Las fases relativas de las almenas T_1 y T_2 y de los impulsos H están ajustadas de manera que la puerta 9 no deje pasar el impulso H que coincide nominalmente con el frente delantero de la almena T_2 . Cuando $V(t) = S$ (A), la señal de salida del comparador 8 vuelve a cero, habiendo dejado pasar la puerta 9 los N impulsos que corresponden al código N de la señal de entrada.

La salida de la puerta 9 alimenta un contador binario 10 que ha sido puesto a cero antes del comienzo de los intervalos T_2 . Para evitar graves errores de codificación, en el caso de que la amplitud A excediera de su nivel máximo nominal, un dispositivo de bloqueo impide que el contador pase, por recuento, de su cuenta máxima a la cuenta cero.

1 Las salidas binarias del contador están unidas a las en-
tradas de un registro 11. En el instante t_0 , al comienzo del intervalo
 T_1 , la cuenta del contador es expuesta en el registro bajo el mando de un
impulso I_1 aplicado en la entrada de exposición de este registro. Duran-
5 te un tiempo I_2 posterior a t_0 , la entrada de avance del registro recibe
siete impulsos H por medio de una puerta Y 12, cuya segunda entrada reci-
be una almena I_2 de duración suficiente, lo que asegura la evacuación del
registro. Las señales I_1 e I_2 son suministradas por el programador 13.

El contador 10 es puesto a cero por el frente delantero
10 de los impulsos I_2 aplicados en una entrada de mando de este contador.

Se observará que el tiempo de evacuación del registro es
pequeño con relación al tiempo de codificación, lo que es deseable si las
señales de salida del codificador deben formar parte de una señal multi-
plexada en el tiempo.

15 El esquema de la figura 2, tal cual, no es utilizable más
que para señales de una sola polaridad. Evidentemente, se pueden inver-
tir las partes negativas de una señal analógica de dos polaridades, antes
de la codificación de su valor absoluto por el número N para el codifica-
dor de la figura 2, y luego añadir el bitio de signo en función de la po-
20 laridad puesta en memoria.

El esquema de la figura 3 está mejor adaptado a la utiliza-
ción del dispositivo de transferencia de cargas, y utiliza el método que
consiste en duplicar ciertos elementos.

Un programador 16 suministra las mismas señales H, T_1 , T_2 y
25 P, I_1 e I_2 que anteriormente, así como un impulso J_1 al comienzo de cada
intervalo T_2 .

Se utilizan, en el esquema de la figura 3, dos generadores
de rampa, de los cuales 1 suministra, como anteriormente, una señal alisa-
da $V'_k + F(t)$ durante el tiempo T_2 , y el otro, 51, la señal $V'_k - F(t)$,
30 como se representa en la figura 4.

1 Se han representado igualmente en la figura 4 las curvas de la señal de salida a la descarga, $V'_k + G(t)$ y $V'_k - G(t)$, de los dos generadores, durante el tiempo T_1 según el tiempo T_2 .

5 Se prefiere utilizar el generador 1 de $F(t)$ para codificar las muestras negativas, y el generador 51 de $-F(t)$ para codificar las muestras positivas, permitiendo esto sustituir a los sustractores de comparación por circuitos de adición para descubrir la igualdad en valor absoluto que solo importa para la codificación, abstracción hecha de los bitios de signo.

10 Se vuelve a ver aquí el generador de rampa 1 y el integrador 2 de la figura 2, montados de la misma manera, estando designados los elementos correspondientes con las mismas referencias, salvo que sus salidas alimentan, no ya un sustractor, sino un circuito de adición 20.

15 La señal de entrada A es de dos polaridades, como es el caso en telefonía.

El segundo generador de rampa 51 tiene su entrada de avance que recibe las señales P, y su entrada de señal alimentada como la del generador 1, salvo que la tensión $+V_0$ esté sustituida por $-V_0$. Bajo esta reserva, los interruptores 53 y 54 desempeñan para el generador 51 la misma misión que los interruptores 3 y 4 para el generador 1.

20 El generador 51 y el integrador 2 alimentan un segundo circuito de adición 70.

25 La salida del circuito de adición 20 está unida a la entrada "-" de un comparador 21 cuya entrada "+" recibe una tensión $(V'_k + V'_k)$.

La salida del circuito de adición 70 está unida a la entrada "+" de un comparador 71 cuya entrada "-" recibe esta misma tensión.

30 Se verá inmediatamente que el comparador 21 no suministra una señal de nivel 1 más que si la muestra a codificar es negativa, y esto en tanto que la señal $F(t)$ no haya alcanzado el mismo valor absolu

1 to que la señal integrada $S(A)$.

Igualmente, el comparador 71 no suministrará una señal de nivel 1 más que si la muestra a codificar es positiva e inferior en valor absoluto a $-F(t)$.

5 Las salidas de los dos comparadores están unidas por una puerta 0 22 que alimenta una puerta Y de tres entradas, 23, que recibe, además, los impulsos H y las almenas T_2 .

Esta puerta 23 desempeña la misión de la puerta 9 de la figura 2 para la codificación del valor absoluto de la muestra por medio de un comparador 10 idéntico al de la figura 2.

Sin embargo, el contador 10 alimenta aquí las siete primeras entradas de un registro de desplazamiento 24, con ocho pasos, de los cuales el primer paso está destinado a recibir el bitio de signo.

15 El signo de la muestra es descubierto por medio de un basculador biestable 25 cuyas entradas de puesta en el estado 1 y en el estado 0 están unidas, respectivamente, a las salidas de los comparadores 71 y 21 por medio de dos puertas Y, 28 y 29, que reciben del programador un impulso J_1 , que coincide con el comienzo de los intervalos T_2 . Cuando, bajo el mando del impulso I_1 , aplicado en la entrada de mando de exposición del registro 24, éste recibe el recuento N del contador, recibe simultáneamente el bitio de signo. La evacuación del registro se produce como anteriormente por medio de impulsos de avance suministrados por una puerta Y 12, que recibe los impulsos H, y la señal I_2 (que se supone de duración suficiente para dejar pasar, al menos, ocho impulsos H).

25 Haciendo referencia a las curvas de la figura 4, se constata que la curva $V'_k + G(t)$ a la descarga, de la señal de salida del generador 1, puede escribirse $V'_k + V_1 - F(t - T_2)$ donde V_1 es la amplitud máxima de $V(t)$, o tomando como origen de los tiempos el instante t_0 que se para los intervalos T_2 y T_1 , $V'_k + F(t)$.

30 Si el intervalo T_2 está marcado por impulsos H de los cua

1 les el primero coincide nominalmente con el comienzo de T_2 , la señal de
salida del generador 1, en el curso del N° impulso que sigue a este pri-
mer impulso, tendrá una amplitud igual a la amplitud real de una señal
negativa cuyo valor comprimido estaba codificado por el número N, aumen-
5 tado en $V_1 + V'_k$.

Igualmente, la señal de salida del generador 51 permitirá
conocer la amplitud real de una señal positiva cuyo valor comprimido ha-
bía sido codificado por un número dado, siendo en esta ocasión la dife-
rencia de $V'_k - V_1$.

10 Estas observaciones permiten utilizar los generadores de
rampa para una descodificación durante los intervalos de tiempo T_1 .

La figura 5 muestra un codificador-descodificador que uti-
liza los generadores de rampa 1 y 51 para la codificación durante los in-
tervalos T_2 y una descodificación durante los intervalos T_1 .

15 El circuito de la figura 5 comprende un registro 40 que re-
cibe en su entrada de señal el código a descodificar y, en su entrada de
avance, impulsos K a la frecuencia de los bitios incidentes, siendo obte-
nidos los impulsos K por medios clásicos. Correspondiendo el código a
descodificar a un código de igual entidad que el del código a formar, es
20 recibida, pues, una palabra de ocho bitios en el curso de la duración de
un ciclo $T_1 + T_2$, pudiendo tener la recepción propiamente dicha una dura-
ción muy reducida con relación a la de este ciclo.

El circuito de la figura 5 comprende un programador 110
sincronizado por medio de los impulsos K, así como de impulsos K' a la
25 frecuencia de las sucesiones de ocho bitios incidentes, igualmente obte-
nidos por los medios clásicos. El programador 110 suministra aquí tam-
bién las señales I_1 , I_2 , H, T_1 , T_2 , P y J_1 precedentes, pero la sincroni-
zación indicada antes permite hacer comenzar un intervalo de tiempo T_1
con la presencia de una palabra completa en el registro 40, y entre dos
30 impulsos K.

1 Estando previstos así los intervalos T_1 y T_2 , la codifica
ción se desarrolla como en el caso de la figura 3, con los mismos elemen
tos, designados con los mismos números de referencia, salvo que el conta
dor 10 está sustituido por un contador descontador 124, igualmente de sie
5 te pasos, estando unida su entrada de recuento "+" a la salida de la puer
ta 23. Este contador-descontador comprende, además, entradas de expo
sición directa unidas a las salidas de los siete primeros pasos del re
gistro 40, e incorpora un descodificador de cero que suministra en una
salida 90, una señal cuando el contador señala cero.

10 Al funcionar todo el circuito de codificación, excepción
hecha del funcionamiento del contador-descontador 124 que sustituye al
contador 10, como en el caso de la figura 3, no se han representado ya
aquí algunos de los elementos del circuito de codificación que no desem
peñan ninguna misión en la descodificación, con el fin de aligerar la fi
15 gura.

 Después de un recuento de codificación, y transferencia
del recuento del contador-descontador 124 y del bitio de signo al registro
de salida 24 por el impulso I_1 que coincide con el comienzo de una almena
 T_1 , este contador 124 no es puesto a cero, sino que recibe inmediatamente,
20 por aplicación del impulso I_1 , muy ligeramente retardado por un elemento
de retardo 27, en su entrada 99 de mando de exposición, el recuento N
inscrito en los siete primeros pasos del registro 40.

 Para la descodificación, las operaciones se desarrollan
como sigue: como se ha dicho, el impulso I_1 ligeramente retardado, provo
ca la inscripción en el contador 124 del número N inscrito en los siete
25 primeros pasos del registro 40. Al mismo tiempo, este impulso I_1 retar
dado es aplicado en la entrada del reloj de un basculador del tipo D 125,
cuya entrada de señal está unida al último paso del registro 40, y provo
ca la inscripción del bitio de signo asociado al número N.

30 La entrada "-" de descuento del contador está unida a la

1 salida de una puerta Y 41, que recibe los impulsos H y las almenas T_1 ;
lo que se ha dicho anteriormente para las fases relativas de las señales
H y T_2 , vale igualmente para las señales H y T_1 , de modo que el impulso
H que coincide nominalmente con el frente delantero de las almenas T_1 , no
5 puede franquear la puerta 41.

La tensión $-V_1 - V'_k$ es añadida a la señal de salida del
generador 1 en un circuito de adición 43.

La tensión $+V_1 - V'_k$ es añadida a la señal de salida del
generador 51 en un circuito de adición 44.

10 Las salidas de los dos circuitos de adición 43 y 44 están
unidas, respectivamente, a las entradas de dos interruptores 45 y 46 man-
dados, respectivamente, por dos puertas Y 47 y 48, que reciben, una y
otra, las señales de paso por K suministradas por la salida 90 del con-
tador-descontador 124. La segunda entrada de la puerta 47 es una en-
15 trada de inversión. Las segundas entradas de las salidas 47 y 48 reci-
ben el bitio de signo suministrado por el basculador 125. Según el va-
lor de este bitio de signo, la puerta 47 ó la puerta 48 suministra un
impulso cuando el contador-descontador 124 pasa por el valor 0. El in-
terruptor 46 ó el interruptor 45 es cerrado entonces según que la señal
20 a descodificar sea positiva o negativa. Las salidas de estos dos inter-
ruptores están unidas a la entrada de un muestreador de mantenimiento 49
que se ha supuesto del tipo clásico de capacidad. Este muestreador es
descargado en la vía de salida del descodificador por el impulso J_1 que
marca el comienzo de los intervalos T_2 , siendo aplicado, por otra parte,
25 este impulso, en la entrada de puesta a cero del contador-descontador 124.

Es posible, evidentemente, asociar un integrador de mante-
nimiento a cada uno de los dos generadores, por ejemplo por razones de co-
modidad tecnológicas, en los montajes de las figuras 3 y 4.

30 Se ha supuesto en lo que precede que una tensión fija nu-
la era aplicada al integrador de mantenimiento durante los intervalos T_2 .

1 Se verá que esta tensión fija podría no ser nula, a condición de permanecer constante, lo que no modificaría más que la constante V_K .

Se ha supuesto igualmente que los generadores de rampa re
cibían una tensión nula durante los intervalos T_1 . Se verá que esta ten
5 sión podría no ser nula, a condición de que fuera diferente de la tensión
aplicada durante los intervalos T_2 .

Designando de una manera general por U_1 y U_2 las tensio-
nes fijas aplicadas a un generador de rampa dado durante los intervalos
 T_1 y T_2 , U_1 determina la constante V'_k y $U_2 - U_1$ el signo y la amplitud
10 de la señal de rampa producida.

En los ejemplos descritos, se ha supuesto que $T_1 = T_2$.
No se exige ninguna relación precisa entre T_1 y T_2 , debido a los integra
dores de mantenimiento. Se utilizan generadores de rampa del tipo des-
crito, para la codificación, es preciso que T_1 sea, por lo menos, igual
15 a $T_2 - T$, para que las señales de rampa se repitan periódicamente. Si
los generadores son utilizados igualmente para la descodificación, es pre
ciso que T_1 sea por lo menos igual a T_2 .

20

REIVINDICACIONES

25

Los puntos de invención propia y nueva que se presentan
para que sean objeto de esta solicitud de Patente de Invención en España,
por VEINTE años, son los que se recogen en las reivindicaciones siguien-
30 tes.

1 1ª.- Dispositivo codificador-compresor de una señal ana-
lógica utilizando al menos un integrador de mantenimiento que permite la
integración durante intervalos de tiempo periódicos de duración T_1 sepa-
rados por intervalos de tiempo T_2 , de una señal que se denominará señal
5 a integrar, constituida por la señal a codificar o por una señal de pola-
ridad constante que presenta el mismo valor absoluto que la señal a codi-
ficar, y el mantenimiento, durante el período T_2 , del valor integrado du-
rante un intervalo de tiempo de duración T_1 , con vistas a una codifica-
ción con compresión efectuada mediante al menos de una señal de rampa,
10 siendo T_1 y T_2 múltiplos de una misma duración T , caracterizado porque
dicho integrador de mantenimiento comprende un dispositivo de transferen-
cia de carga que comprende $p + q$ pasos, con $p = T_1/T$, $q = T_2/T$, teniendo
estos pasos coeficientes de ponderación iguales entre sí, un dispositivo
que le suministra señales de avance de período T y un dispositivo de ali-
15 mentación del circuito de inyección del dispositivo de transferencia de
carga, alternativamente por dicha señal a integrar y por una tensión fija,
de manera que las cargas inyectadas en el primero de los $(p+q)$ pasos
sean función de la señal a integrar durante los intervalos T_1 y tengan un
valor fijo durante los intervalos T_2 , suministrando el circuito de sali-
20 da de dicho integrador de mantenimiento, salvo una tensión constante, di-
cho valor integrado.

2ª.- Dispositivo codificador-compresor según la reivindi-
cación 1ª, caracterizado porque, siendo T_1 al menos igual a $T_2 - T$, el
generador de señal de rampa o cada generador de señal de rampa, compren-
25 de un dispositivo de transferencia de carga con q pasos que reciben seña-
les de avance de igual período que dicho integrador de mantenimiento, y
un dispositivo de alimentación del circuito de inyección de este disposi-
tivo de transferencia de cargas por una tensión fija durante los interva-
los de duración T_1 y otra tensión fija durante los intervalos de duración
30 T_2 , suministrando la señal de salida de dicho dispositivo de transferen-

1 cia de carga la señal de rampa con excepción de una tensión constante.

3ª.- Dispositivo codificador-compresor según la reivindi-
cación 2ª, de una señal analógica de dos polaridades, caracterizado por-
que siendo dicha señal a integrar la señal a codificar, comprende dos ge-
5 neradores de rampa que suministran señales de rampa positivas o negati-
vas, respectivamente.

4ª.- Dispositivo codificador-compresor según la reivindi-
cación 3ª, con T_1 T_2 , caracterizado porque comprende un circuito que per-
mite la descodificación de una señal codificada en el curso de los inter-
10 valos de tiempo T_1 por utilización de las señales de salida de dichos ge-
neradores de rampa durante estos intervalos de tiempo T_1 .

5ª.- Dispositivo codificador-compresor según una de las
reivindicaciones 3ª ó 4ª, caracterizado porque, comprendiendo el codifi-
cador-compresor, bien un integrador de mantenimiento único, bien dos in-
15 tegradores de mantenimiento que funcionan de la misma manera para propor-
cionar el mismo valor integrado al final de cada intervalo de duración
 T_1 , este valor integrado es añadido, por una parte, a la señal de rampa
positiva y, por otra parte, a la señal de rampa negativa, siendo detecta-
da la igualdad en valor absoluto del valor integrado con una señal de
20 rampa, por el paso a cero de la suma correspondiente.

6ª.- Dispositivo codificador-compresor según la reivindi-
cación 5ª, que comprende dos integradores de mantenimiento, caracteriza-
do porque el valor integrado procedente, respectivamente, de los dos in-
tegradores, es añadido, respectivamente, a las dos señales de rampa.


7ª.- DISPOSITIVO CODIFICADOR-COMPRESOR DE UNA SEÑAL ANALO-
GICA UTILIZANDO AL MENOS UN INTEGRADOR DE MANTENIMIENTO.

1 Tal y como se ha descrito en la Memoria que antecede, re-
presentado en los dibujos que se acompañan y para los fines que se han
especificado.

5 Esta Memoria consta de dieciocho hojas escritas a máquina
por una sola cara.

Madrid, 10 OCT. 1976

P.A.

Alberto de Elizaburu
Por Poder, 

10

15

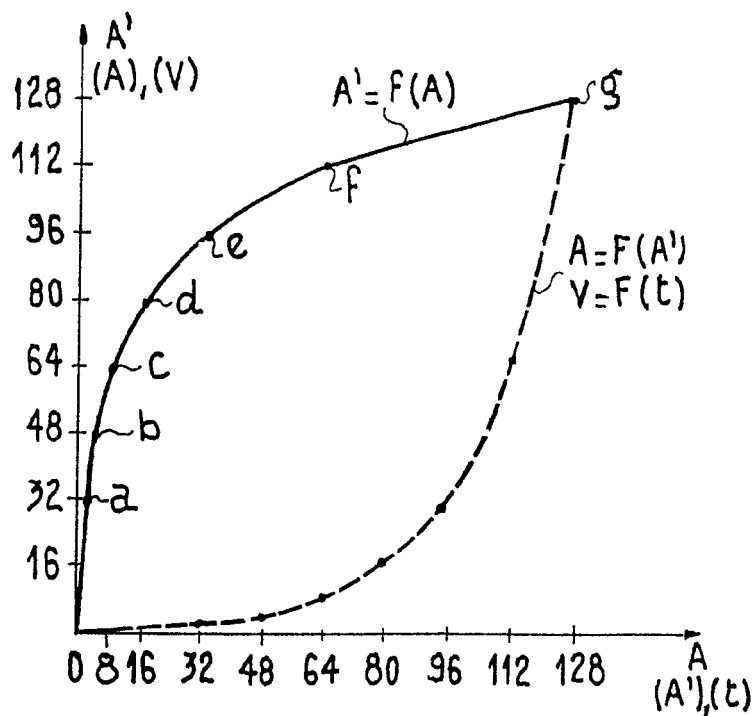
20

25

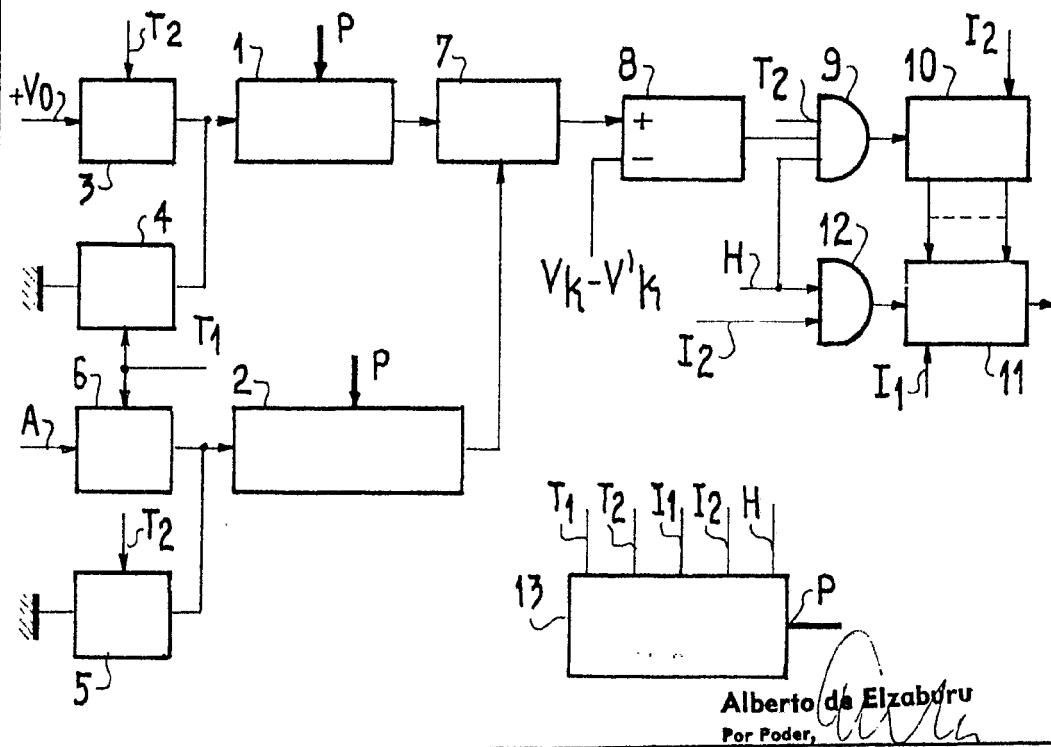
MLJ

30 

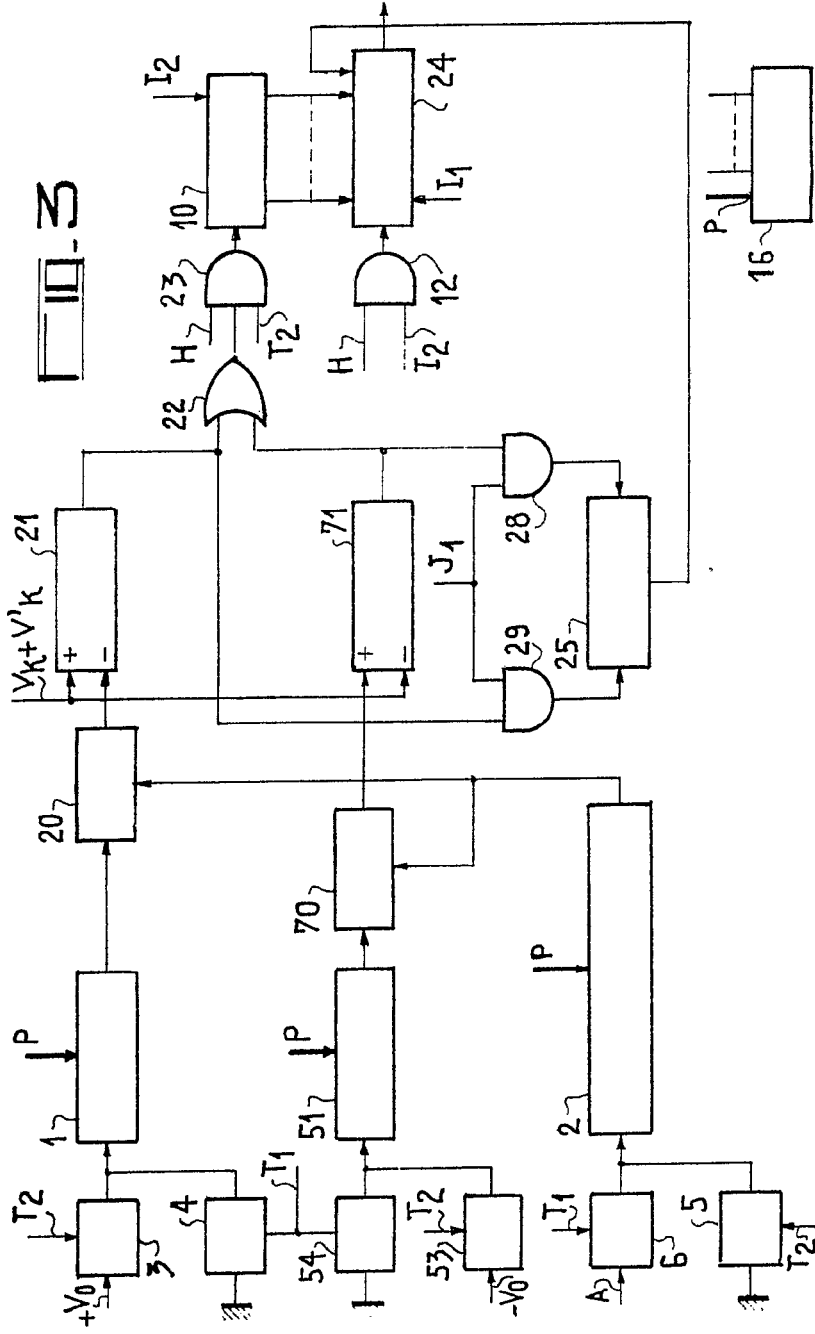
10-1



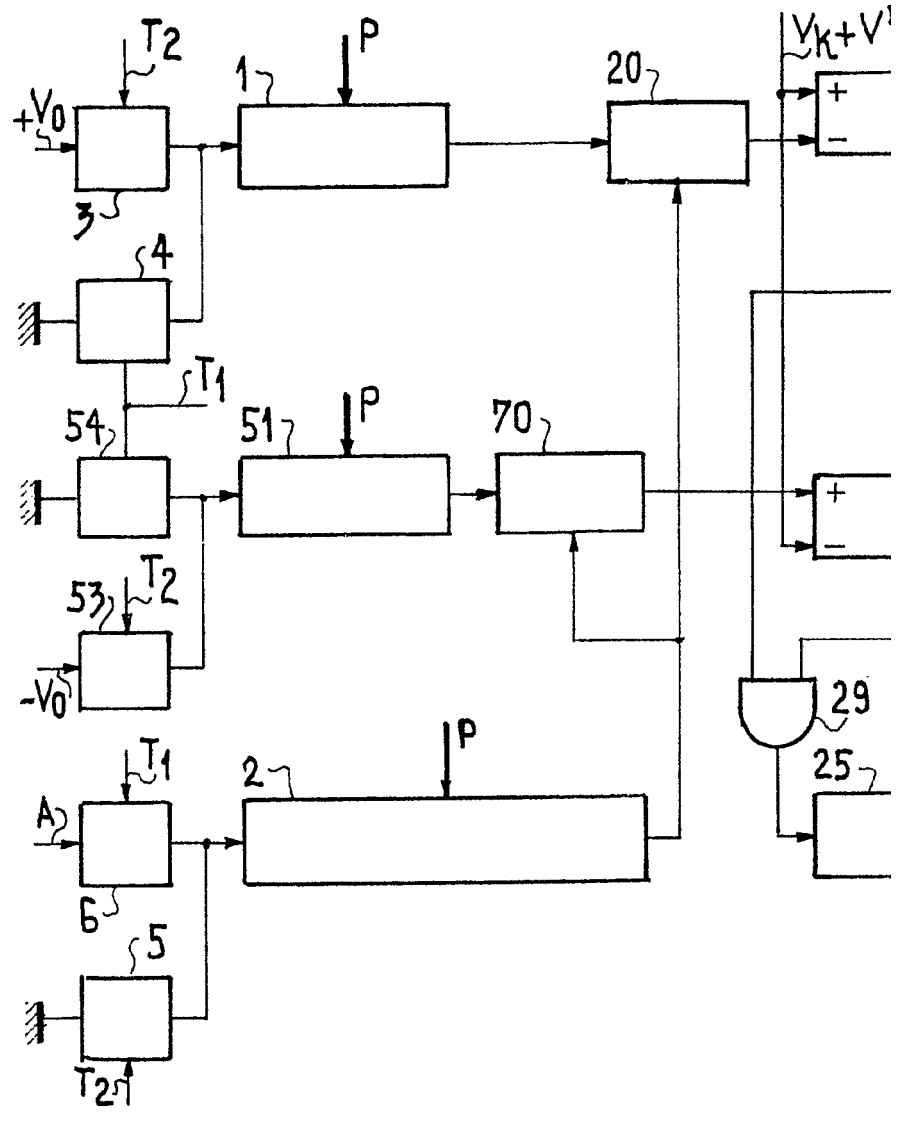
10-2



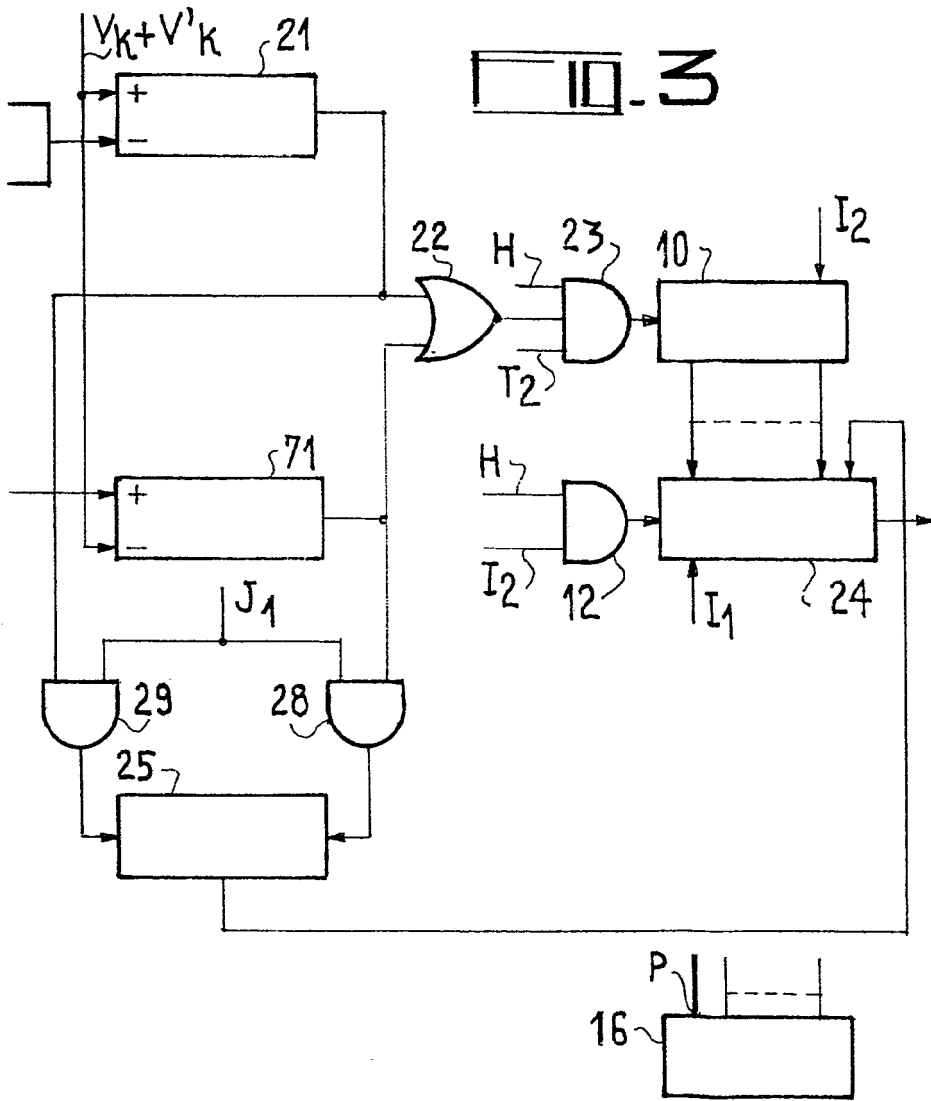
Alberto da Elzaburu
Por Poder,



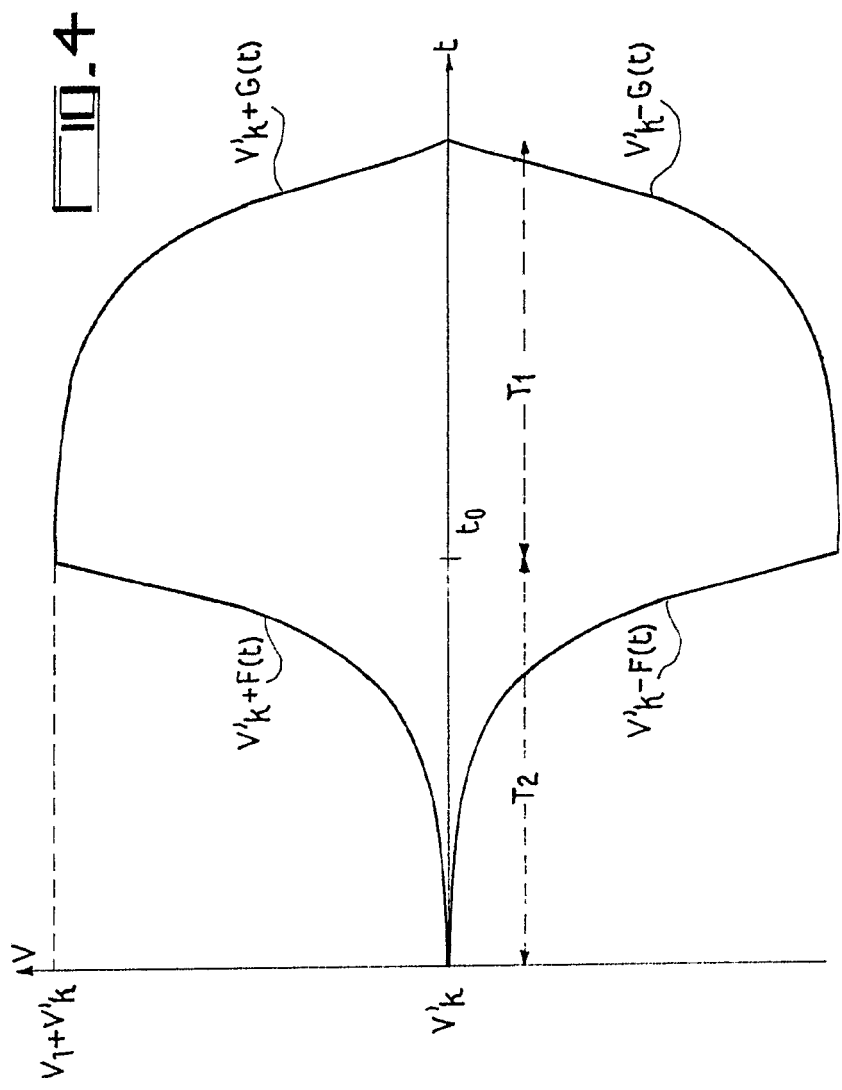
Alberto de Elzabury
Per Poder.

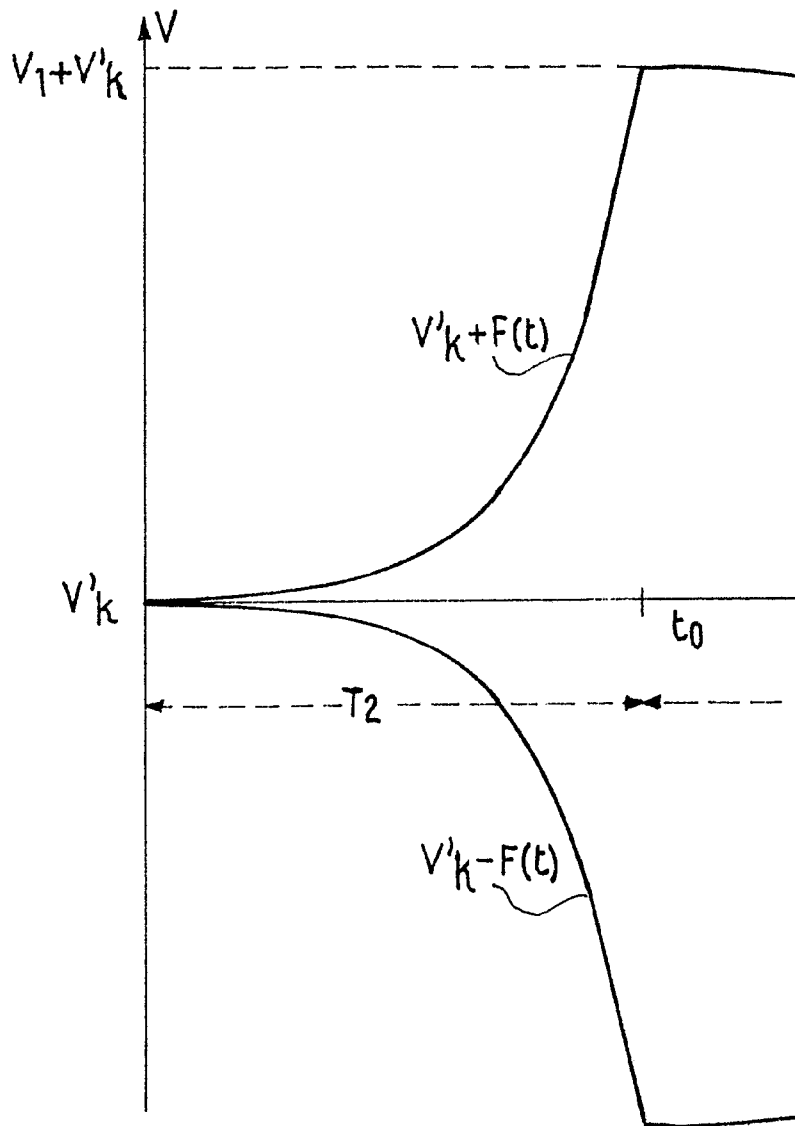


10.3

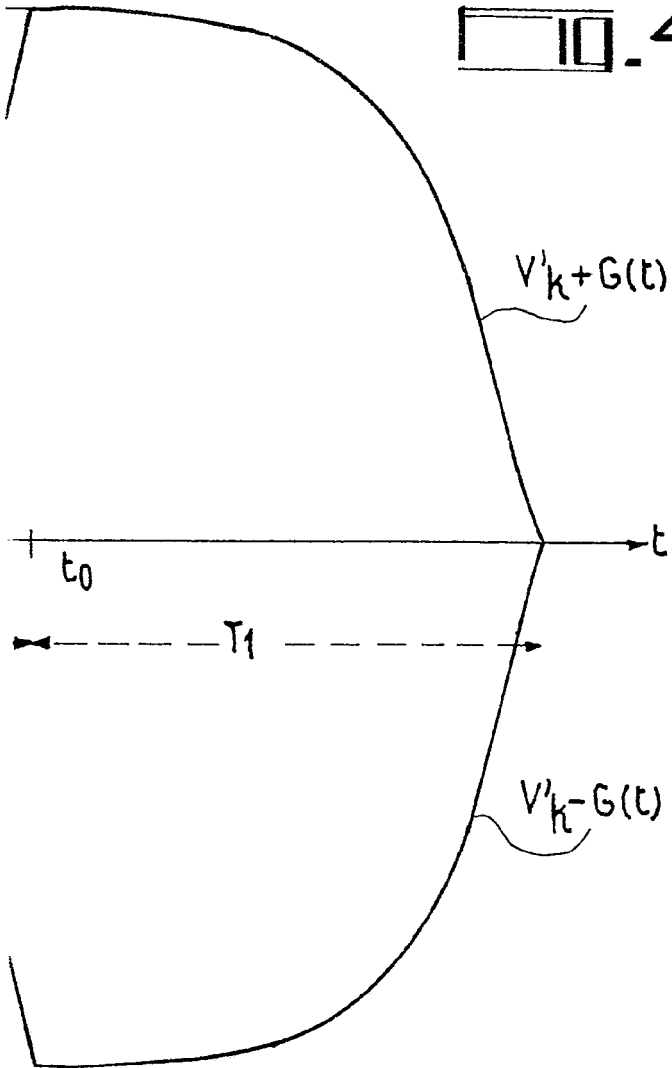


Alberto de Elzabury
 Por Poder,



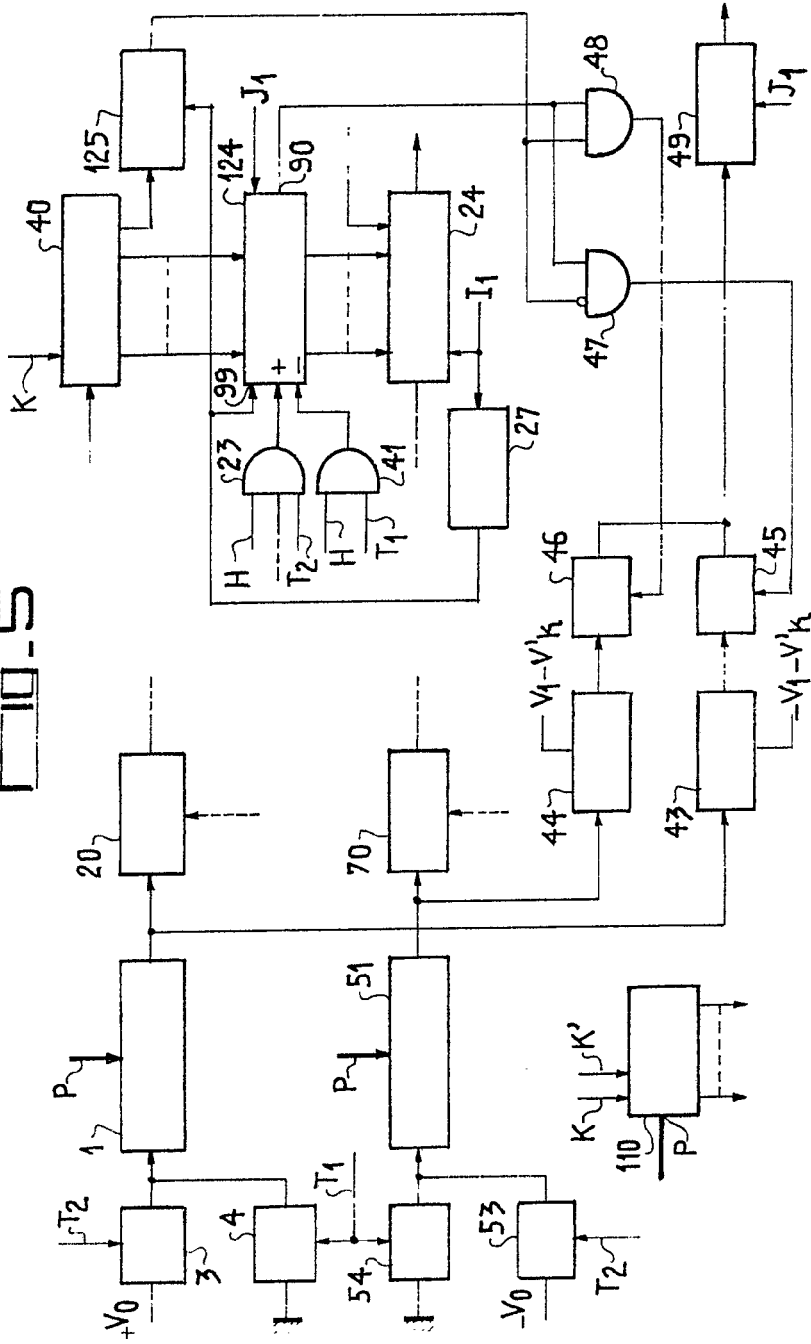


10.4

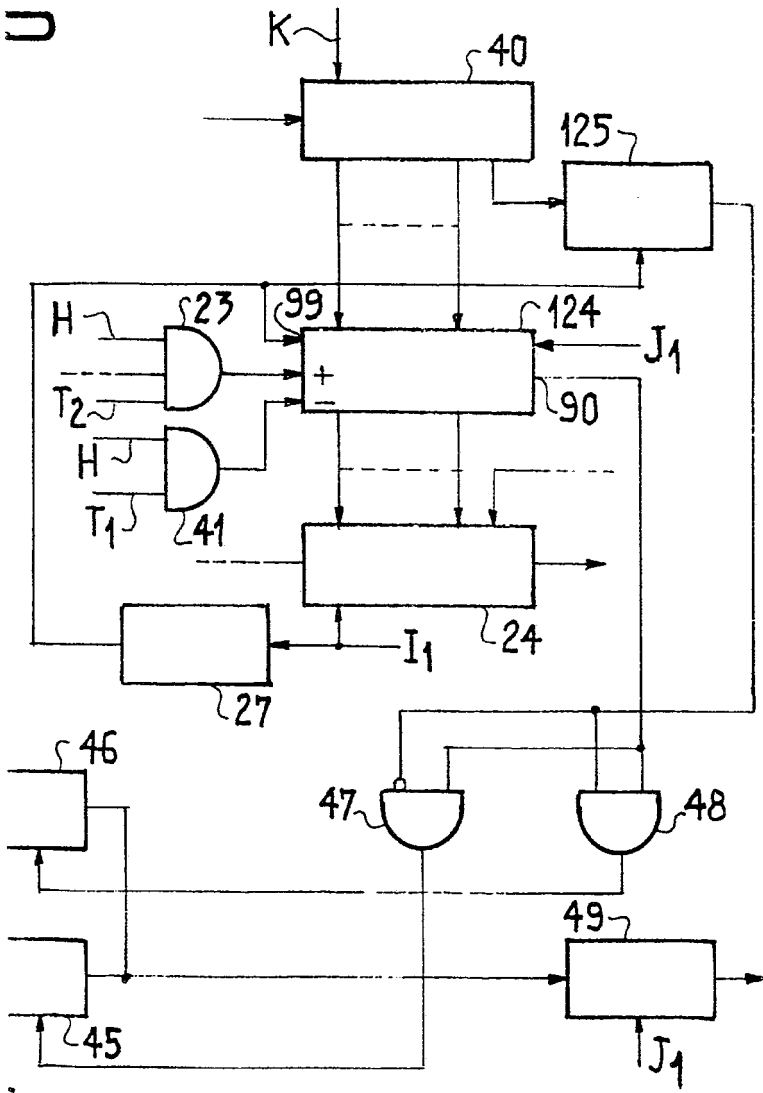


Alberto de Elizaburu
Por Poder,

10-5



U



Alberto de Elzaburu
Por Poder.