

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



10 ES	11 NUMERO 41591	10 A 1
	21	
	22 FECHA DE PRESENTACION	

PATENTE DE INVENCION

30 PRIORIDADES: 31 NUMERO 39281/75			32 FECHA 25.Sept.75			33 PAIS Gran Bretaña		
47 FECHA DE PUBLICIDAD			51 CLASIFICACION INTERNACIONAL H05K			52 PATENTE DE LA QUE ES DIVISIONARIA		
54 TITULO DE LA INVENCION "UN CIRCUITO DE DISPARO ELECTRICO" 10 NOV. 1977								
71 SOLICITANTE CONCEDIDA STANDARD ELECTRICA, S.A.								
DOMICILIO DEL SOLICITANTE Madrid, calle de Ramirez de Prado, nº 5.								
72 INVENTOR (ES) Alexander Douglas, Odell, John Michael Young, Kenneth Alexander Manson Arton.								
73 TITULAR (ES) STANDARD ELECTRICA, S.A.								
74 REPRESENTANTE D. Eugenio Barroso Espinosa de los Monteros.								

El presente invento se refiere a un circuito de disparo Schmitt y, particularmente, a un circuito de disparo Schmitt que comprende transistores MOS.

5 La técnica MOS puede presentar problemas en el diseño de un circuito apropiado requerido para conseguir satisfacer simultáneamente los puntos de disparo "on" y "off" y unas características de salida requeridas, dado que la acción regenerativa propia de los circuitos de disparo Schmitt MOS provoca una histéresis en la característica de transferencia
10 de tensión del circuito. Los puntos de disparo "on" y "off" en la característica de transferencia están determinados por las ganancias e impedancias relativas de los transistores MOS, y en la práctica, un diseño que tenga puntos de disparo de entrada satisfactorios, puede tener características de salida
15 no satisfactorias.

Un objetivo del presente invento es obtener, en un circuito de disparo Schmitt MOS, un control flexible de los niveles "on" y "off" y una histéresis con una condición de tensión de salida "baja", que esté muy próxima al potencial
20 de tierra.

Tal circuito es particularmente apropiado en dispositivos MOS de control que tengan tensiones bajas de umbral de puerta, concretamente cuando el circuito se utiliza en entradas lógicas intermedias a un lógico MOS, desde un TTL.

25 El presente invento describe un circuito de disparo Schmitt que comprende dos inversores a transistores MOS que responden a una señal de entrada, estando la salida de uno de los inversores acoplada regenerativamente a otro transistor MOS que proporciona una tensión de realimentación aplicada
30 a ambos inversores, y la salida del otro inversor constituye

la salida del circuito.

El invento tambien se refiere a un circuito de disparo Schmitt que comprende un terminal de alimentación, un terminal de referencia, un terminal de entrada de señal, un terminal de salida de señal, un primer transistor MOS, un segundo transistor MOS y un tercer transistor MOS que tiene sus terminales de alimentación (conectados entre dicho terminal de alimentación y el punto común entre el segundo y el primer transistor MOS) serie conectados entre dicho terminal de alimentación y el terminal de referencia, estando conectadas las puertas de los transistores MOS primero y tercero a dicho terminal de alimentación, un cuarto transistor MOS que tiene sus terminales de alimentación conectados entre dicho terminal de alimentación y el punto común entre los transistores MOS segundo y tercero, un quinto y un sexto transistores MOS que tienen sus terminales de alimentación serie conectados entre dicho terminal de alimentación y el punto común entre los transistores MOS segundo y tercero, estando conectadas la puerta del quinto transistor MOS a dicho terminal de alimentación, la puerta del exto transistor MOS al terminal de entrada de señal, y el terminal de salida de señal al punto común entre los transistores MOS quinto y sexto.

Describiremos seguidamente una configuración del invento refiriéndonos a los dibujos que se acompañan, en los cuales:

La fig. 1 es el diagrama del circuito de disparo Schmitt con transistor MOS.

Las figs. 2 y 3 son diagramas bloques y una representación de circuito integrado, respectivamente, de un cir-

cuito de punto de cruce MOS.

El circuito de disparo Schmitt mostrado en la fig. 1 comprende seis transistores MOS de N canales T1 a T6 interconectados, como se muestra entre el terminal de alimentación, tierra, el terminal de entrada IT y el terminal de salida OT.

T1 y T2 forman un amplificador de inversión con realimentación introducida en el electrodo fuente de T2 por la tensión desarrollada a través de T3. El valor de esta tensión depende de la corriente que pasa por el "seguidor de fuente" T4 de tal manera que esta corriente está determinada por el grado de conducción de T2. La realimentación es positiva, lo que resulta en una histéresis en la característica de transferencia de tensión del circuito. Los puntos de disparo "on" y "off", en la característica de transferencia están determinados por las ganancias e impedancias relativas de los cuatro transistores T1 a T4, y si la salida se toma entre T1 y T2, en el punto A, en una configuración convencional, podrían resultar unas características de salida no satisfactorias debido a que la salida está incluida en el bucle de realimentación a, T4, punto b, T2.

El problema se resuelve separando el punto de salida del bucle de realimentación, por la utilización de un amplificador inversor adicional que comprende T5 y T6. La tensión desarrollada a través de T3 se aplica ahora a esta etapa de amplificación adicional. Las ganancias e impedancias de T5 y T6 pueden ajustarse para cumplir los requerimientos de la tensión de salida, habiendo reducido grandemente la influencia en el funcionamiento de la realimentación positiva y, como consecuencia, en los niveles de disparo de entrada.

Para describir el funcionamiento del circuito, supongamos que T2 esté en "on". Si disminuye la tensión de entrada en la puerta de T2, T2 se desconecta, la tensión en a aumenta hacia la tensión en a aumenta hacia la tensión de alimentación, la tensión en la puerta de T4 sube hasta hacerle conducir, mientras que la tensión en b baja hacia tierra. La señal de entrada que también se aplica a la puerta de T6 hace que T6 pase a la condición "off" de tal manera que la tensión de salida sube hacia la tensión de alimentación.

Inversamente, con T2 en "off" y con una tensión de entrada subiendo, T2 pasa a "on", la tensión en a cae, la puerta de T4 disminuye para que T4 pase a "off" y la tensión en b aumenta. T6 pasa a "on" y la salida aumenta.

El circuito mostrado en la fig. 1 puede utilizarse para amortiguar la salida de los niveles lógicos del TTL de 0,8 a 2,4 volts al lógico MOS con la tensión de umbral de puerta V_t de $0,7 \text{ v} \pm 0,2 \text{ v}$, la tensión de alimentación de +5v, con los transistores que tienen las relaciones W/L de T1-0,1; T2-1,0; T3-2,0; T4-10,0; T5-0,2; T6-10,0.

La facilidad para una integración en gran escala de los dispositivos MOS en un único chip, con la inclusión de diferentes circuitos de disparo Schmitt como el descrito utilizando dispositivos de N canales, encuentra una aplicación práctica en los chips de puntos de cruce para conmutación telefónica integrados MOS, como sustitución de los contactos electro-mecánicos. El circuito incorpora dos matrices 4X4 de "contactos" junto con los elementos electrónicos de control asociados, con cada conjunto chip en un DIP de 24 terminales y que forma un módulo básico para la conmutación

de vías de conversación equilibradas, boteniéndose matrices más grandes por combinación de módulos.

La fig. 2 muestra un diagrama bloque del circuito, y la fig. 3 muestra una distribución en chip de los componen
 5 tes del mismo. No se muestran los contactos del chip ni las pistas entre componentes.

Existen dos conjuntos de 4×4 transistores MOS que actuan como conmutadores de puntos de cruce, estando controla
 das las puertas de estos transistores por la distribución de
 10 datos en un registro de conversión estático de 16 bits. Las puertas de los transistores correspondientes en los dos conjuntos están conectadas en paralelo. La entrada de datos en el registro de conversión y la conexión de las puertas de los puntos de cruce al registro de conversión están controladas
 15 por entradas de Activación y Reposición.

Existen circuitos de disparo Schmitt ST asociados con los controles de activación y reposición, el control de reloj, el generador de impulsos de reloj, y la entrada de
 datos.

20 Cuando la activación es BAJA, se generan los impulsos de reloj internos ϕ_1 y ϕ_2 pueden entrar los datos y leerse en el registro de conversión, los puntos de cruce se desactivan desde las etapas del registro de conversión y quedan en el estado en que estaban cuando la Activación
 25 era BAJA.

Quando la Activación es ALTA, los impulsos ϕ_1 no se generan (continuan generándose los impulsos ϕ_2 pero no afectan al funcionamiento). Como consecuencia, el registro de conversión permanece con la distribución de datos estática presente cuando la Activación era ALTA. El transistor
 30

de salida del registro de conversión está desconectado, esto es, la salida $\bar{\Phi}$ es alta (avance externo).

5 Las puertas del punto de cruce están conectadas a las etapas de registro de conversión; si una salida de una etapa A_n es alta el correspondiente par de conmutadores de punto de cruce están conectados.

Cuando la Reposición es BAJA, la reposición no tiene efecto sobre el funcionamiento del circuito.

10 Cuando la reposición es ALTA, la entrada de Activación aparece alta, esto es, no se generan los impulsos ϕ_L y la salida $\bar{\Phi}$ pasa a alta. Todas las etapas del registro de conversión se reponen a su condición baja A_n , alta B_n , y ya que los puntos de cruce están conectados al registro de conversión, todos los puntos de cruce están desconectados.

15 Cuando la Reposición vuelve a BAJA, la acción de reposición no se cancela hasta que la Activación subsecuente pasa a ALTA.

20 Los datos se invierten en la entrada y la salida, esto es, una secuencia de unos a la entrada llenará el registro de conversión con ceros y producirá una secuencia de unos a la salida.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

25 El presente invento corresponde a una solicitud de patente formulada en Gran Bretaña el día 25 de Septiembre de 1975, señalada con el Nº 39281/75 y se acoge, por lo tanto a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

5 1.- Un circuito de disparo eléctrico que comprende dos inversores a transistor MOS que responden a la señal de entrada estando la salida de uno de dichos inversores acoplada regenerativamente a otro transistor MOS y proporcionando una tensión de realimentación aplicada a ambos inversores, y la
10 salida del otro inversor constituye la salida del circuito.

 2.- Un circuito de disparo eléctrico según el punto 1, que comprende un terminal de alimentación, un terminal de referencia, un terminal de entrada de señal, un terminal de salida de señal, un primer transistor MOS un segundo transistor MOS y un tercer transistor MOS que tienen sus vías de
15 consumo conectadas en serie entre el terminal de alimentación y el terminal de referencia estando conectadas las puertas de los transistores MOS primero y tercero al terminal de alimentación, teniendo un cuarto transistor MOS su vía de consumo
20 conectada entre el terminal de alimentación y el punto común entre el segundo transistor MOS y el tercer transistor MOS, estando conectada la puerta de este cuarto transistor MOS al punto común entre el primer transistor MOS y el segundo, teniendo un quinto y un sexto transistores MOS sus
25 vías de consumo conectadas en serie entre el terminal de alimentación y el punto común entre el segundo y el tercer transistores MOS, estando conectada la puerta del quinto transistor MOS al terminal de alimentación, la puerta del sexto transistor MOS al terminal de entrada de señal, y estando
30 conectado dicho terminal de salida de señal al punto

común entre el quinto terminal MOS y el sexto.

3.- Un circuito de disparo eléctrico, según los puntos 1 ó 2 en dónde los transistores MOS son de N canales.

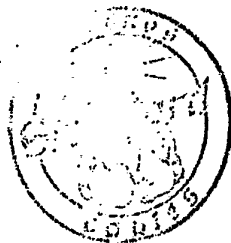
5 4.- Un circuito de disparo eléctrico según los puntos 1 a 3 incluido en un conjunto de conmutación por puntos de cruce MOS, que incluye uno ó más de dichos circuitos.

5.- Un circuito de disparo eléctrico.

10 Tal y como se ha descrito en la memoria que antecede representado en los dibujos que se acompañan y a los fines especificados.

Esta memoria consta de nueve hojas escritas por una sola cara.

Madrid, 20 de Mayo de 1977



Eugenio Barroso
EUGENIO BARROSO
Secretario General

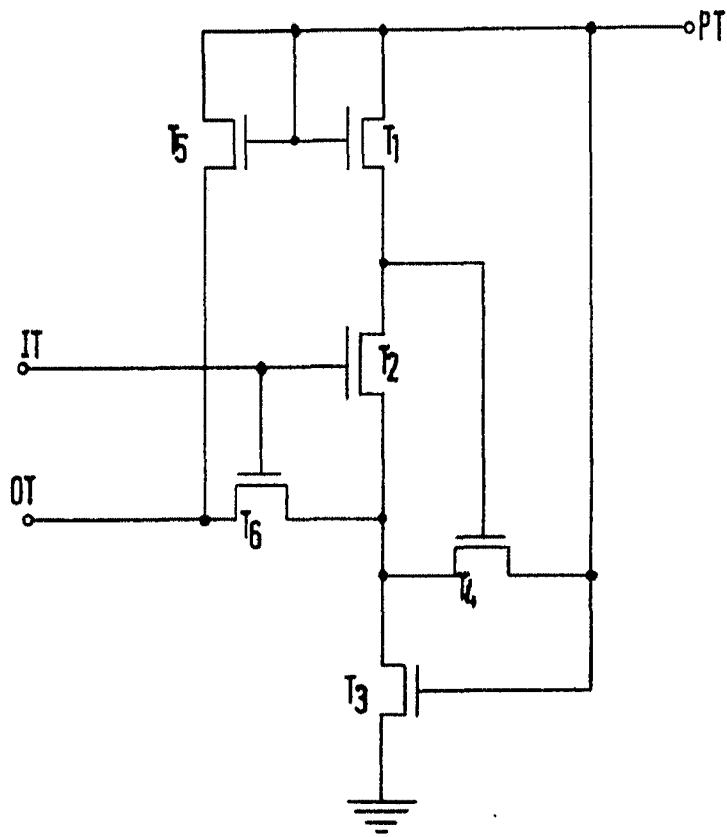


FIG. 1

24 SET. 1976



Eugenio Barroso
EUGENIO BARROSO
Secretario General

3/2

STANDARD ELECTRIC, S. A.

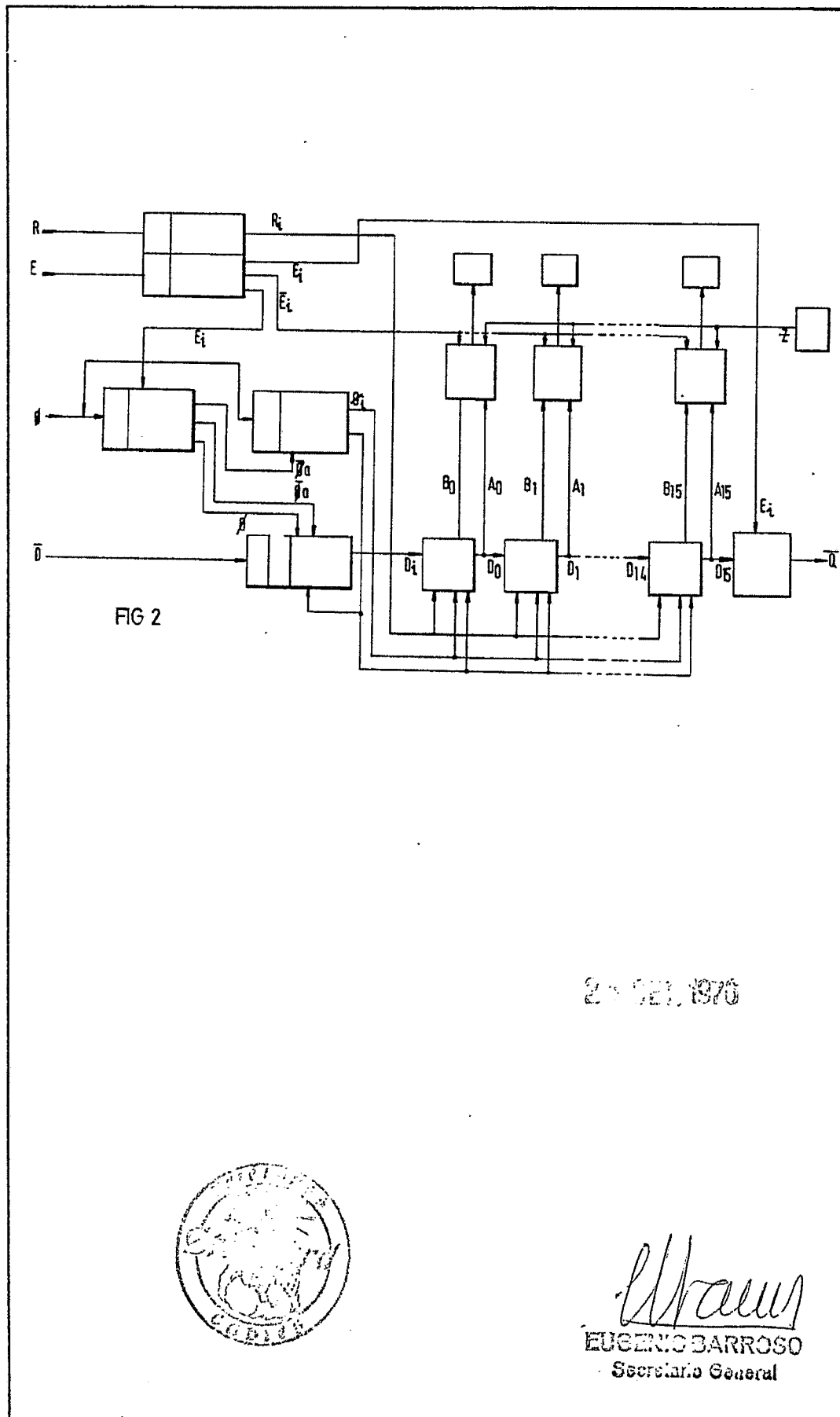


FIG 2

25 FEB 1970



E. Barroso
EUGENIO BARROSO
Secretario General

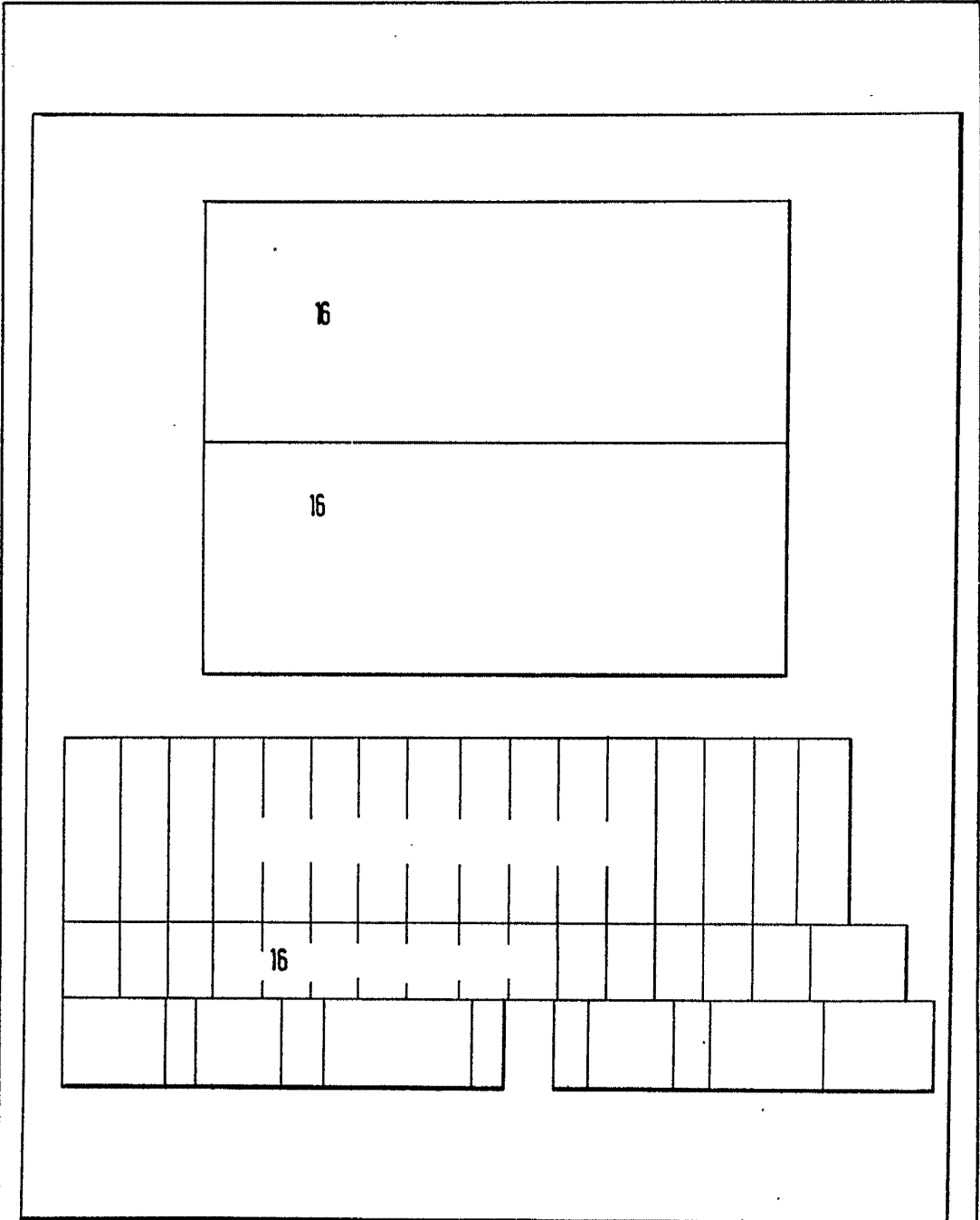


FIG.3



Eugenio Barrero
EUGENIO BARRERO
Secretario General