



ESPAÑA

10 ES	11 NUMERO	14 A1
	21	
22	FECHA DE PRESENTACION	
		3-9-76

PATENTE DE INVENCION

30 PRIORIDADES	32 FECHA	33 PAIS
31 NUMERO		
610.540	5 de septiembre de 1975	NORTEAMERICA

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H03K	

54 TITULO DE LA INVENCION
PERFECCIONAMIENTOS EN VARIADORES DIGITALES DE FASE.

71 SOLICITANTE (S)
WESTERN ELECTRIC COMPANY, INCORPORATED

DIRECCION DEL SOLICITANTE
195 Boradway, New York 10007 EE.UU. de A.

72 INVENTOR (ES)

73 TITULAR (ES)

74 REPRESENTANTE

La presente invención se refiere a circuitos digitales de desplazamiento de fase. Más particularmente, la presente invención se refiere a un variador digital de fase que incorpora los conceptos de interpolación y decimación, que pueden proporcionar un retardo o desplazamiento lineal de fase que es un múltiplo no entero del periodo de muestreo de la señal aplicada.

El desplazamiento lineal de fase o el retardo de una forma de onda de señal es frecuentemente necesario en los sistemas de elaboración de las señales digitales. En aplicaciones en las que el retardo deseado es un múltiplo entero del periodo de muestreo del sistema, los variadores digitales de fase de la técnica anterior comprendían en general unas disposiciones en cascada de unas redes unitarias de retardo. En aplicaciones tales como la interfase de un sistema digital de elaboración con un sistema analógico, frecuentemente es necesario proporcionar retardos que son múltiplos no enteros de la velocidad de muestreo digital. Por ejemplo, en la cancelación de los ecos, a menudo se utilizan sistemas digitales para generar ecos artificiales por medios de la simulación de un eco. Estos ecos artificiales se substraen entonces de la señal analógica original para realizar la cancelación del eco. Para proporcionar el resultado más satisfactorio, el eco digital simulado puede que tenga que ser retrasado por un múltiplo no entero del periodo de muestreo. Un segundo caso en el que se necesita un retardo no entero se presenta cuando debe elaborarse simultáneamente una serie de señales, como por ejemplo en un sistema de antena con elementos multidireccionales.

Recientemente, los conceptos de decimación e interpolación, tal como enseñan R. W. Schafer y L. R. Rabiner en *NA DA*

5 gital Signal Processing Approach to Interpolation", Proceedings
of the IEE, Vol. 6, No. 6, páginas 692-707, Junio 1.973, han
proporcionado técnicas de elaboración digital de señales aplica
bles para realizar un variador digital de fase capaz de un retar
do no entero. Los términos de interpolación y decimación descri
ben, respectivamente, el aumento y la disminución de la veloci-
dad de muestreo por factores enteros. En un variador digital de
fase que utiliza interpolación y decimación, la velocidad de
muestreo se aumenta con un factor D, añadiendo muestras de valor
10 cero D-1 entre muestras adyacentes de la señal original. La se-
ñal resultante se filtra entonces por medio de un filtro paso ba-
jo para retirar las componentes de frecuencia periódica que se
centran alrededor de múltiplos enteros de la frecuencia original
de muestreo. La señal interpolada se retarda entonces un número
15 entero de muestras, P, a la mayor velocidad de muestreo, y la
señal se devuelve entonces a la velocidad original de muestreo
por un circuito de decimación que efectivamente selecciona cada
muestra D^a de la señal interpolada retardada para proporcionar
un retardo no entero de $\frac{P}{D} T$ en donde T es el periodo de muestreo
20 de la señal original, D es el factor de decimación e interpola-
ción, y P es el retardo entero a la mayor velocidad de muestreo.
Aunque este sistema es generalmente satisfactorio, el uso de dos
diferentes velocidades de muestreo da lugar a una estructura bas-
tante compleja.

25 En consecuencia, un objeto de la presente invención
es el de realizar un variador digital de fase que actúa a la
misma velocidad de muestreo que el sistema en el que se emplea
y que es capaz de proporcionar un retardo no entero.

30 Según nuestra invención, el desplazamiento de fase o
el retardo de una señal de información muestreada no obtiene

un circuito que actúa a la velocidad de muestreo de la señal aplicada. Estructuralmente, nuestra invención es similar a la realización directa de un filtro digital de respuesta de impulsos finitos (RIF), que tiene una longitud predeterminada del filtro, que depende de los parámetros que describen el desplazamiento de fase deseado o el retardo en un variador de fase equivalente interpolador-decimador. Los coeficientes del filtro comprenden un subconjunto predeterminado de cantidades en el que cada coeficiente es también función de los parámetros de retardo del interpolador-decimador. Los coeficientes y un conjunto apropiado de muestras de la señal de entrada se multiplican entre sí y se acumulan para proporcionar cada muestra de la señal de salida desfasada. En una realización, un variador de fase variable se realiza almacenando una serie de subconjuntos de coeficientes y seleccionando el subconjunto que corresponde al retardo particular que hay que generar.

La figura 1 es un esquema de bloques que ilustra un variador de fase de interpolador-decimador que ayuda a comprender los principios de la presente invención; y

la figura 2 representa una realización de un variador digital de fase según la invención.

La figura 1 ilustra un variador de fase de interpolador-decimador que ayuda a comprender la presente invención. Con el fin de realizar un retardo de $\frac{P}{D}$ muestras, en donde P y D son enteros, se aplica una señal de entrada $x(n)$ que tiene una velocidad de muestreo f_r a la borna de entrada 10 y la velocidad de muestreo primero se aumenta por un factor entero D por parte del circuito interpolador 12 que inserta muestras de valor cero D-1 entre cada par de muestras en $x(n)$. La señal resultante $v(n)$, que tiene una velocidad de muestreo de Df_r .

filtra entonces por medio del filtro paso bajo 14. Debido a su característica de fase lineal y a su estabilidad, como filtro 14 se emplea generalmente un filtro de respuesta de impulso finito (RIF). En cualquier caso, el filtro 14 elimina los componentes de frecuencia periódica que se centran alrededor de múltiplos enteros de la frecuencia original de muestreo. La salida del filtro 14, indicada como $u(n)$ en la figura 1, es una versión interpolada de la señal de entrada $x(n)$. La señal $u(n)$ se retarda entonces por p muestras a la velocidad alta de muestreo por parte de la unidad de retardo 16, que puede ser cualquier circuito digital convencional de retardo. Cuando el retardo p producido por la unidad de retardo 16 es un entero, $0 \leq p \leq D-1$, la señal resultante es simplemente una versión retardada de $u(n)$ expresada comúnmente como $w(n) = u(n-p)$.

El decimador 18 devuelve la señal a la velocidad original de muestreo escogiendo efectivamente cada D° muestra de $w(n)$. El efecto neto es el de retardar la señal original $x(n)$ por un retardo no entero de $\frac{P}{D} T$, en donde $T = \frac{1}{f_r}$ es el período de muestreo a la velocidad inferior de muestreo, es decir, a la velocidad de muestreo del sistema. Como se comprobará, el filtro paso bajo 14 introduce generalmente un retardo adicional de entero fijo.

El funcionamiento del variador digital de fase de la figura 1 puede comprenderse examinando las relaciones de las señales. La salida del interpolador 12 puede expresarse como:

$$V(e^{ju}) = X(e^{juD}) \tag{1}$$

y la salida de la unidad de retardo 16 puede expresarse como:

$$W(e^{ju}) = H(e^{ju}) e^{-juP} V(e^{ju})$$

en donde $X(e^{ju})$, $V(e^{ju})$, $w(e^{ju})$ y $H(e^{ju})$ son las transformaciones de Fourier de $x(n)$, $v(n)$, $w(n)$ y la respuesta de filtro $h(n)$, respectivamente. La señal de salida que se acopla a la borna de salida 20 puede mostrarse en forma aproximada como

5

$$Y(e^{ju}) = \frac{1}{D} w(e^{ju/D}) \quad (3)$$

Utilizando las Ecuaciones (1) y (2), puede mostrarse que la Ecuación (3) se puede expresar como

10

$$Y(e^{ju}) = \frac{1}{D} H(e^{ju/D}) e^{-ju P/D} X(e^{ju}) \quad (4)$$

que se puede reconocer que representa la suma de dos desplazamientos de fase.

15

Para un verdadero retardo, el filtro 14 debe mostrar una fase exactamente lineal para un filtro 14 que tenga una duración de respuesta de la muestra de la unidad de N muestras, y simétrica, su retardo será de $\frac{N-1}{2}$ muestras a la velocidad alta de muestreo. Si se desea que este retardo sea un retardo entero a la velocidad inferior de muestreo o de velocidad del sistema, entonces puede escogerse N de forma que $\frac{N-1}{2}$ sea un múltiplo entero de D , es decir, $\frac{N-1}{2} = ID$, en donde I es un entero positivo. En estas condiciones, puede comprobarse que la longitud o duración de la respuesta de filtro del filtro RIF 14 es

20

$N = 2ID + 1$. Si, además, la ganancia del filtro 14 es D , puede demostrarse que la relación entre la señal de salida y la señal de entrada puede expresarse como:

25

$$\frac{Y(e^{ju})}{X(e^{ju})} = e^{-juI} e^{-ju P/D} \quad (5)$$

o, en términos de transformaciones z :

$$\frac{Y(z)}{X(z)} = z^{-I} z^{-P/D}$$

30

De este modo, puede reconocerse que la estructura de la figura 1 es fundamentalmente una red de filtro todo paso con un retardo fijo de entero de I muestras debido al retardo de elaboración del filtro paso bajo 14 y un retardo no entero variable o seleccionable de $\frac{P}{D}$ muestras. Lógicamente, si la longitud N del filtro no es igual a $2ID + 1$, el retardo debido al filtro 14 no será un entero. En cualquier caso, la salida y (n) del circuito en la figura 1 es una aproximación a $x(n-p/D-I)$.

Dado que la duración del filtro, función del filtro 14, es N muestras y D-1 de cada D muestras de v (n) tienen un valor cero, el filtro h (n) abarca aproximadamente $\frac{N}{D}$ muestras no cero de v (n). Más concretamente, en el caso en que $N = 2ID + 1$, h (n) abarca $2I + 1$ muestras no cero de v (n) para el cálculo de algunos puntos de salida y muestras 2I no cero de v (n) para el cálculo de otros puntos de salida.

La dificultad de tratar matemáticamente la variación del número de muestras puede eliminarse definiendo un nuevo e hipotético filtro h' (n), cuya longitud N' es $N' = (2I + 1) D$ en donde h' (n) describe una función del filtro definida extendiendo h (n) con un coeficiente de valor cero h (N), h (N + 1), h (N + 2) ... h (N'-1). Puede observarse que el filtro hipotético h' (n) tiene exactamente la misma respuesta de frecuencia y retardo que h (n) pero abarca exactamente Q muestras no cero $2I + 1$ de v (n).

Dado que el filtro hipotético abarca exactamente Q muestras no cero de v (n), puede mostrarse su señal de salida y (n) de forma que sea igual a

$$y(n) = \sum_{k=0}^{Q-1} h'(kD \oplus (-p) + D) x(n-k) \quad (6)$$

en donde el símbolo \oplus corresponde a la operación de módulo. Por ejemplo, si $P = 2$ y $D = 9$, -2 módulo 9 es igual a $+7$. Recibiendo un subconjunto de coeficientes:

5
$$g_p(k) = h'(kD + (-p) \oplus D) \quad (7)$$

en donde $k = 0, 1, \dots, Q-1$. La Ecuación (6) se convierte en

$$y(n) = \sum_{k=0}^{Q-1} g_p(k) x(n-k) \quad (7a)$$

10 que puede comprobarse que tiene la forma de una convolución de punto Q de $x(n)$ con $g_p(n)$, en donde $g_p(n)$ es un subconjunto apropiado predeterminado de los coeficientes de $h'(n)$. Así, para obtener un desplazamiento de fase de incremento cero, las muestras de entrada Q se multiplican con el conjunto de coeficientes ($g_0(0) = h'(0)$, $g_0(1) = h'(p) \dots$, $g_0(Q-1) = h'((Q-1)D)$). De igual manera, para obtener un retardo de $\frac{P}{D}$ periodos de muestreo, las muestras de entrada Q se multiplican por los coeficientes ($g_p(0) = h'((-p) \oplus D)$, $g_p(1) = h'(D + (-p) \oplus D) \dots g_p(Q-1)$).

20 La figura 2 representa una realización de nuestra invención que incorpora los principios anteriores. En la figura 2, la muestra de señal más reciente $x(n)$ se almacena en una memoria intermedia 49, y las muestras anteriores de entrada $Q-1$ se almacenan en un registro de desplazamiento 31 con el conjunto apropiado de coeficiente $g_p(n)$ almacenado en la memoria 32. Como se muestra en la figura 2, la memoria 32 puede contener cada uno de los posibles D subconjuntos de coeficientes, en cuyo caso el circuito variador de fase incluirá medios para seleccionar el subconjunto de coeficiente deseado. Esta configuración es capaz de producir un desplazamiento de fase seleccionable.

25

30

5 Como opción, podrá almacenarse en la memoria 32 cualquier número de subconjuntos de coeficientes entre 0 y D-1 para aplicaciones en las que se necesita un solo desplazamiento predeterminado de fase o bien un número menor de desplazamiento seleccionable de fase.

10 En cualquier caso, el registro de desplazamiento 31 y la salida de la memoria 32 se colocan a las bornas de entrada del circuito multiplicador 33 que puede ser cualquier multiplicador digital convencional capaz de manejar el formato digital utilizado en una realización particular. El control de memoria 15 34 incluye un selector de fase 38 y un índice de dirección 36. El selector de fase 38 se necesita únicamente en las realizaciones que incluyen un desplazamiento de fase seleccionable y selecciona el conjunto de coeficiente necesario para efectuar el desplazamiento de fase seleccionado. Por ejemplo, en la realización de la figura 2, cuando se selecciona un desplazamiento de fase de incremento cero, el selector de fase 38 dirige el índice de dirección 36 al bloque de lugares de almacenamiento que contienen el subconjunto de coeficiente $g_0(0), g_0(1), \dots, g_0(Q-1)$. El selector de fase 38 puede ser cualquiera de una serie de dispositivos selectores que varían desde un conmutador selector simple accionado manualmente hasta un circuito electrónico que responde a cualquier estímulo de entrada deseado. En cualquier caso, la configuración del selector de fase 38 depende 25 fundamentalmente de la configuración de la memoria 32 y de la forma en que debe seleccionarse el desplazamiento de fase deseado. Por ejemplo, si la memoria 32 es una lectura de memoria solamente (ROM) y el desplazamiento de fase deseado debe seleccionarse por un conmutador electrónico o accionado manualmente, 30 el selector de fase 38 asume convenientemente la forma de un

circuito lógico simple que responde al ajuste del conmutador y dirige el índice de dirección 36 a la parte de la memoria de lectura solamente que contiene los coeficientes del desplazamiento de fase seleccionado. Es decir, que el selector de fase 38 puede ser un simple circuito decodificador.

En otra realización, por ejemplo, cuando los subconjuntos de coeficientes se contiene cada uno en registros separados de desplazamiento de recirculación (es decir, la memoria 32 comprende una serie de tales registros) el selector de fase 38 podría tomar la forma típica de un conmutador selector manual o electrónico simple que conecta el multiplicador 33 a la borna de salida del registro de desplazamiento de coeficiente apropiado. En cualquier caso, se comprenderá que tanto la memoria 32 como el selector de fase 38 pueden configurarse de formas muy distintas.

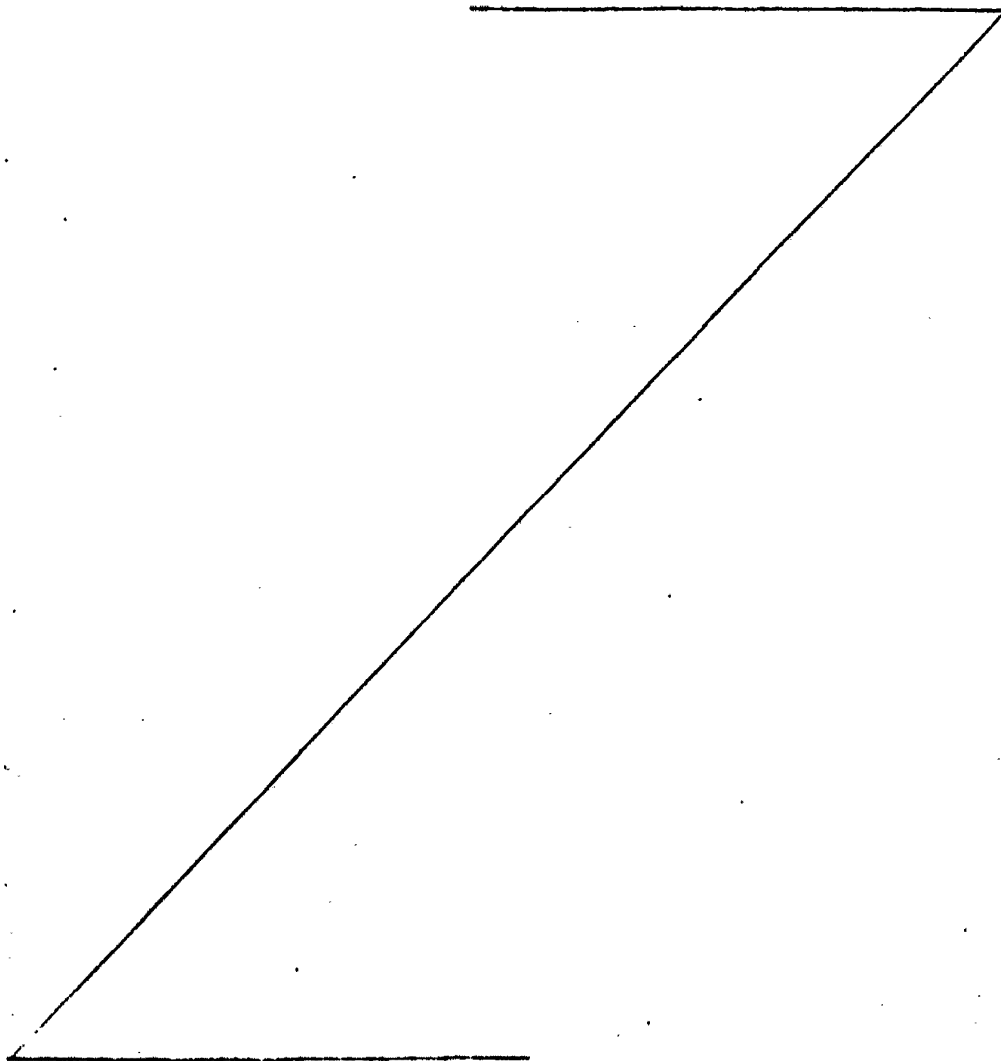
Una vez establecido el desplazamiento de fase deseado por parte del selector de fase 38, el índice de dirección 36 selecciona el coeficiente dentro del subconjunto de coeficiente que corresponde a la muestra concreta de señal de entrada transferida del registro de desplazamiento 31 al multiplicador 33. El índice de dirección 36 de la figura 2 es controlado por el reloj de señal de salida 42 de la unidad de control de secuencia 41. Durante la secuencia de cálculo normal, cada impulso de reloj hace que el índice de dirección avance una unidad, proporcionando de ese modo el coeficiente $g_p(k)$ al multiplicador 33 mientras que el reloj 42 desplaza simultáneamente la señal de entrada $x(n-k)$ del registro de desplazamiento 31 a la segunda borna de entrada del multiplicador 33. De este modo, puede reconocerse que, en la práctica de la presente invención, el reloj 42 produce generalmente Q impulsos de salida durante el pe-

ríodo de muestreo de la señal aplicada x_n , por lo que los cálculos de una muestra particular de salida se completarán cuando la siguiente muestra de la señal de entrada llega a la borna de entrada 52. El detector de recuento Q 43 recibe impulsos sincronizados del reloj 42 para controlar el funcionamiento del selector 37 y el índice de dirección 36 y para reponer el acumulador 47 después del cálculo del coeficiente para cada señal de salida y (n). El detector de recuento Q 43 puede ser cualquier circuito contador convencional y el circuito lógico correspondiente que actúan de la forma que se describe más adelante.

Será fácil comprender el funcionamiento del desplazador de fase de la figura 2 si se considera la secuencia de funcionamiento de un solo punto de salida desfasado y (n). Al principio de la secuencia de cálculo, el registro de almacenamiento 49 contiene la muestra de señal $x(n)$ y el registro de desplazamiento 31 contiene las muestras de señales anteriores $x(n-1)$, $x(n-2)$, $x(n-(Q-1))$. Al darse el último impulso de reloj de la secuencia de cálculo anterior, el detector de recuento Q 43 llega al recuento Q, reponiendo el circuito para poner en marcha la nueva secuencia de cálculo. Esta función de reposición consiste en: (1) dejar libre el acumulador 47 transfiriendo la salida del acumulador 47 a la borna de salida 51 del desplazador de fase; (2) abrir el recorrido de recirculación 35 del desplazador de fase 31 y conectar la entrada del registro de desplazamiento a la salida del registro de almacenamiento 49 por la activación del selector 37; (3) ajustar el índice de dirección 36 en el lugar de almacenamiento de $g_p(Q-1)$ en la memoria 32; y (4) reponer el detector de recuento Q 43 en un recuento inicial de cero. Con el circuito así inicializado, el reloj 42, activado por una señal de preparación de información del sistema en la

borna 53, lo que significa la llegada de la señal $x(n)$, hace avanzar el registrador de desplazamiento 31, desplazando el punto de información $x(n-Q)$ al multiplicador 33 y la muestra de señal $x(n)$ al lugar del registro de desplazamiento que ocupa previamente la muestra de señal $x(n-1)$. Simultáneamente, el coeficiente $g_p(Q-1)$ se transfiere a la segunda borna de entrada del multiplicador 33 y el índice de dirección 36 se avanza al lugar de $g_p(Q-2)$. Cuando se transfieren las muestras de señal $x(n)$ y $x(n-(Q-1))$, el selector 37 es activado por el detector de recuento Q 43, cerrando el camino de recirculación 35 para colocar el desplazamiento de fase en un modo de funcionamiento de recirculación. El selector 37 puede ser cualquier circuito convencional selector-multiplexor de información capaz de manipular el formato digital empleado. El registro de desplazamiento 31 permanece en modo de recirculación durante la porción restante de la secuencia de cálculo. A lo largo de la parte restante de la secuencia de cálculo, que consiste en los siguientes recuentos $Q-1$ del contador 42, las muestras de señal $x(n-k)$, $k = (Q-2), (Q-3), \dots, 0$ se desplazan secuencialmente al multiplicador 33 y se hacen recircular con el registro de desplazamiento 31. Al mismo tiempo, con la transferencia de una muestra de señal $x(n-k)$ el coeficiente $g_p(k)$ se aplica a la segunda borna de entrada del multiplicador 33. El acumulador 47 es un circuito acumulador convencional que incluye generalmente un circuito adicionador y un registro de almacenamiento. Como es conocido en la técnica, cada señal de entrada del acumulador se suma a la cantidad contenida en el registro acumulador. De este modo la cantidad contenida en el registro acumulador es, matemáticamente hablando, una suma de las señales de entrada. En consecuencia, el acumulador 47 de la figura 2 mantiene una suma de cada uno de los pro-

ductos $x(n-k) g_p(k)$. Cuando el sistema llega a la multiplicación Q° acoplado el producto $x(n) g_p(0)$ al acumulador 47, ha terminado el cálculo de la muestra de salida $y(n)$. En este momento, el registro de desplazamiento 31 contiene la secuencia ordenada de las muestras de señal $x(n), x(n-1), \dots, x(n-(Q-1))$, y el circuito se inicializa como se ha descrito anteriormente, preparando de este modo el circuito para comenzar el cálculo de la muestra de salida $y(n+1)$ cuando llega la siguiente muestra de señal a la borna 52 de desplazamiento de fase, y la señal de preparación de información del sistema se aplica a la borna 53.



REIVINDICACIONES

1ª.- Perfeccionamientos en variadores digitales de fase, para retardar una señal muestreada aplicada en pT/D segundos, en donde T es el intervalo de muestreo de la señal aplicada y p y D son enteros predeterminados, empleando el variador un filtro de respuesta de impulsos finitos que responde a la señal aplicada, caracterizados porque el orden del filtro de respuesta de impulsos finitos es Q , en donde $Q = 2I+1$ y I es un entero preseleccionado, y los coeficientes $g_p(k)$ $k = 0, 1, 2, \dots, Q-1$ del filtro son iguales a $h(kD+(-p) \times D)$, donde cada $h(1) = h(2I-1)$ para $i = 0, 1, 2, \dots, ID$ y $h(IG+1) = h(ID+2) = \dots h(QD-1) = 0$ y $+$ denota una operación modular.

2ª.- Perfeccionamientos según la reivindicación 1, caracterizados porque el variador comprende medios para almacenar la señal muestreada aplicada $x(n)$ y $(Q-1)$ más allá de las muestras $x(n-1), x(n-2), \dots, x(n-(Q-1))$ de la señal aplicada $x(n)$; medios de memoria de coeficientes para almacenar al menos un subconjunto de los coeficientes, seleccionándose los coeficientes de un conjunto de coeficientes $h'(n)$ del filtro para un filtro paso bajo de N' orden, en donde $N' = QD$; medios para multiplicar la muestra de señal $x(n-k)$ por el coeficiente $g_p(k)$ para formar el producto $x(n-k) g_p(k)$; y medios para acumular los productos $x(n-k) g_p(k)$ en la gama de $k = 0$ a $k = Q-1$.

3ª.- Perfeccionamientos según la reivindicación 2, caracterizados porque en la memoria se almacenan más de un conjunto de coeficientes $g_p(k)$, y el variador de fase comprende además medios para seleccionar un conjunto particular de los coeficientes para seleccionar de ese modo el retardo.

4ª.- Perfeccionamientos según las reivindicaciones 2 ó 3, caracterizados porque cuando p se encuentra entre 0 y $D-1$,

la memoria de coeficientes almacena D-1 conjuntos de coeficientes.

5 5ª.- Perfeccionamientos según cualquiera de las reivindicaciones 2 a 4, caracterizados porque los medios para almacenar las muestras aplicadas consisten en un registro de desplazamiento; medios para direccionar la memoria de coeficientes y transferir así uno determinado de los coeficientes de la memoria a los medios de multiplicación; medios de control de secuencia para hacer avanzar periódicamente el registro de desplazamiento para proporcionar la muestra de entrada $x(n-k)$ a los medios de multiplicación, controlando simultáneamente los medios de control de secuencia los medios de direccionamiento para transferir el coeficiente $g_p(k)$ a la segunda borna de entrada de los medios de multiplicación, incluyendo además los medios de control de secuencia medios para transferir la señal $x(n)$ al registro de desplazamiento cuando la muestra de señal $x(n-(Q-1))$ se transfiere a los medios de multiplicación y medios para conmutar el registro de desplazamiento a un modo de funcionamiento de recirculación durante la transferencia de todas las muestras de señal, excepto la transferencia de la muestra de señal $x(n-(Q-1))$; y medios acumuladores que responden a la señal de producto de los medios de multiplicación para acumular la señal de salida del producto en la gama de $k=0$ a $k=Q-1$.

25 6ª.- Perfeccionamientos según la reivindicación 5, caracterizados porque los medios de control de secuencia incluyen un circuito de reloj para proporcionar Q señales de impulsos periódicos durante el período de muestreo de la señal de entrada, y los medios de control incluyen además medios para detectar la terminación de las Q señales de impulsos periódicos para dejar libre el acumulador, transfiriendo la señal acumulada a la bor-

na de salida del variador de fase.

7º.- Perfeccionamientos en variadores digitales de fase, tal y como queda sustancialmente descrito en la presente memoria e ilustrado en los adjuntos dibujos.

5

Esta Memoria consta de 15 hojas, escritas a máquina por una sola cara.

23 DIC. 1976

Madrid

WESTERN ELECTRIC COMPANY, INCORPORATED

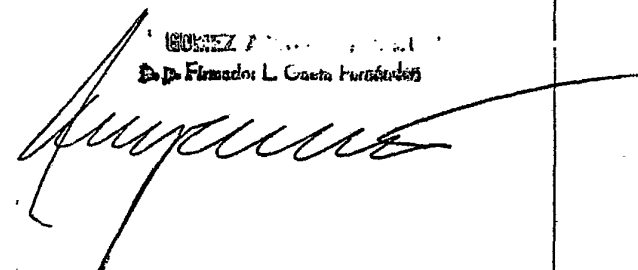
RODRIGUEZ P...
Exp. Firmado: L. Costa P...


FIG. 1

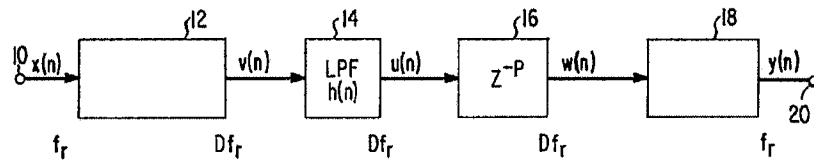
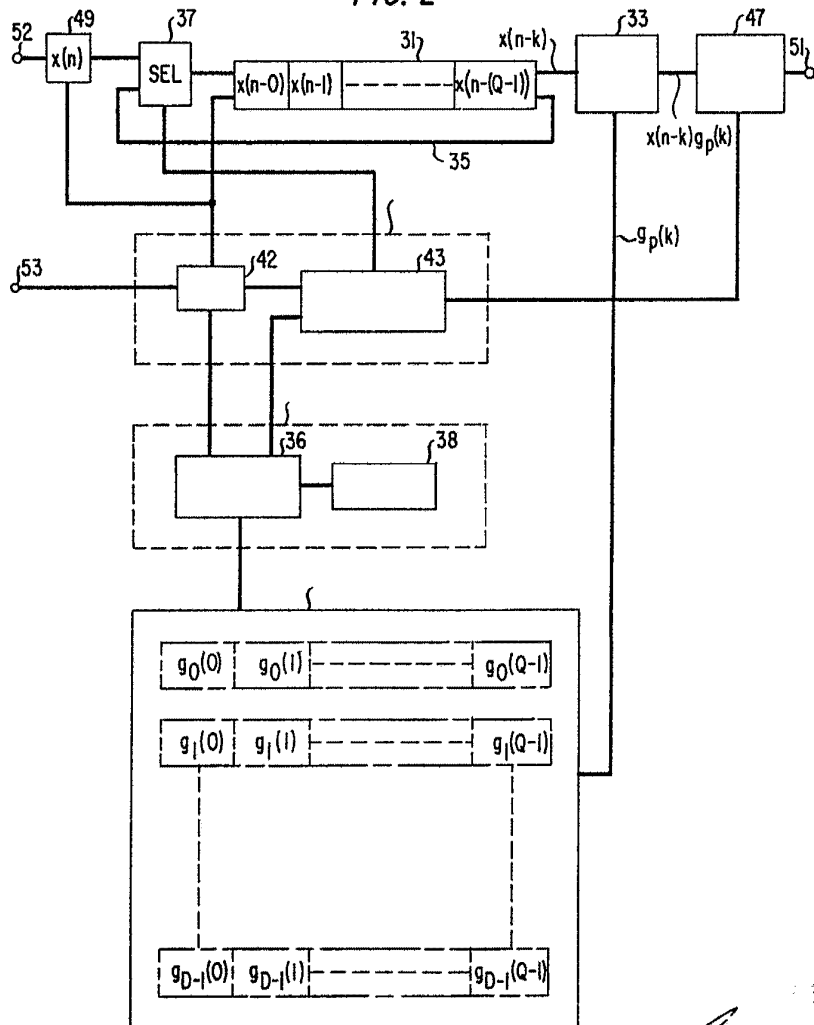


FIG. 2



[Handwritten signature]