

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



(19) ES	(1) NÚMERO 451051	(10) A1
	(22) FECHA DE PRESENTACION	

PATENTE DE INVENCION

(30) PRIORIDADES:		
(31) NÚMERO	(32) FECHA	(33) PAIS
35345/75	27. Agosto. 1975	GRAN BRETAÑA
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H03K	
(54) TITULO DE LA INVENCION		
"UN MULTIPLICADOR DIGITAL"		
(71) SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, Nº 5		
(72) INVENTOR (ES)		
Michael John Gingell		
(73) TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
(74) REPRESENTANTE		
D. Manuel Gómez Santamaría		

El presente invento se refiere a un multiplicador digital, del tipo "sumar y cambiar", que puede utilizarse en los filtros digitales para sistemas de telecomunicaciones.

En tales multiplicadores la multiplicación se consigue realizando una serie de operaciones de suma utilizando un sumador, con un acumulador en donde se almacena la salida del sumador y se cambia una posición de bit por cada operación de suma. Un sumador incluye una serie de células, una por cada bit en una palabra digital, teniendo cada célula entradas para suma y resta, y salidas para la suma y la portadora. Una, así denominada "célula sumadora completa" tiene, además, una tercera entrada a la que se puede aplicar la portadora de la célula de siguiente menor significado.

En una forma ya conocida de multiplicador, un coeficiente paralelo B ha de ser multiplicado por una palabra de datos en serie de entrada C para formar el producto $A=BxC$ en el acumulador, el multiplicando B se aplica en paralelo a un número de puertas AND en lo que dura la palabra C.

Cada bit de la palabra C, que comienza con el bit menos significativo, se aplica a todas las puertas AND. Si un bit de la palabra C es un "1", el multiplicando B se suma al acumulador (si es un "0" no se suma) y el contenido del acumulador se desplaza a la derecha antes de que se aplique el siguiente bit de la palabra C a las puertas AND. Esto continúa hasta que todos los bits de la palabra C se han aplicado a las puertas, en cuyo momento se completa la multiplicación. La respuesta A está ahora en el acumulador, y puede extraerse por diferentes métodos conocidos.

Los números negativos pueden procesarse mediante varias modificaciones sencillas. Por ejemplo, si se utilizan datos de complemento a 2, el bit más significativo de los datos tiene

un peso negativo y, para este bit solamente, el multiplicando B se resta, en lugar de sumar, del acumulador.

En los filtros digitales, se filtra una señal muestreada y codificada digitalmente, combinando varias copias retardadas de la señal mediante coeficientes de pesos apropiados. En general en un filtro digital es necesario formar un producto acumulado - tal como:

$$P = (D_1 \times E_1) + (D_2 \times E_2) + (D_3 \times E_3) \dots\dots\dots (D_n \times E_n)$$

donde D_1, D_2, \dots , son palabras de datos en serie de la señal del filtro y E_1, E_2, \dots , son los coeficientes de las tomas del filtro. En el tipo sencillo de multiplicador descrito anteriormente, este tipo de operación puede conseguirse solamente realizando primero la multiplicación $D_1 \times E_1$, almacenando el resultado, cambiando el coeficiente E, aplicado en paralelo a las puertas AND, realizando la siguiente multiplicación $D_2 \times E_2$, sumando el resultado al producto $D_1 \times E_1$ almacenado anteriormente, almacenando la suma, y repitiendo este proceso tantas veces como se necesite. Es evidente que sería conveniente poder realizar las n multiplicaciones simultaneamente y obtener el producto P al final de un periodo de palabras de datos en serie, más bien que tener que esperar n periodos de palabra.

El presente invento se refiere a un multiplicador digital que comprende un sumador, un acumulador en el que se almacena la salida del sumador y se cambia un bit por cada operación de suma y elementos de entrada para aplicar simultaneamente un conjunto de palabras de datos en serie a las células sumadoras, estando dispuestos los elementos de entrada de tal manera que cada palabra en serie así aplicada, puede aplicarse a una o más células sumadoras simultaneamente, pero no se aplican dos palabras en serie a la misma célula sumadora.

A fin de poder entender mejor el invento, se describirán

varias configuraciones del mismo, en unión de los dibujos que se acompañan, en los cuales:

5 La Fig. 1 es un diagrama esquemático bloque que ilustra un multiplicador digital sencillo según el invento y utilizando un sumador completo único para realizar las operaciones de suma, un acumulador único en el que se acumulan y desplazan hacia la derecha las salidas suma del sumador completo, y una forma básica de matriz de entrada cableada;

10 la Fig. 2 es un diagrama bloque que ilustra una modificación del multiplicador de la Fig. 1 en el que la matriz de entrada básica está modificada para mejorar la flexibilidad;

la Fig. 3 es un diagrama bloque que ilustra una cuarta sección del filtro digital de orden recursivo, que utiliza un multiplicador digital que tiene un acumulador separado y un registro

15 de transferencia con provisión para la detección del revasamiento de capacidad ("overflow");

la Fig. 4 es un diagrama bloque que ilustra otra modificación del multiplicador básico de la fig. 1 utilizando un segundo sumador completo con una matriz de entrada modificada para que

20 el número de entradas al multiplicador se aumente aún más; y la Fig. 5 es un diagrama bloque que ilustra un multiplicador digital completo para procesar datos digitales utilizando el complemento a 2 y realizar la adición con suma separada y acumuladores y suma separada y registros de transferencia.

25 En el multiplicador sencillo mostrado en la Fig. 1 un sumador ADD de 6 etapas está constituido con células "sumadoras completas" el resultado de las cuales se aplica a la célula de la siguiente significación más elevada.

Un acumulador de 7 etapas ACC recibe, en las etapas

30 A0 a A5, las salidas suma \sum_0 — \sum_5 de las células suma-

doras. La etapa más significativa A₆ del acumulador recibe la salida portadora C₆ de la célula sumadora más significativa. El contenido de las etapas acumuladoras A₆...A₁ se vuelve a aplicar, a la cadencia de bits de datos, como entradas de las células sumadoras de la siguiente menor significación, mientras que la salida multiplicadora se toma en serie de la etapa A₀ del acumulador. Cada célula sumadora tiene, además de las entradas portadora y de realimentación (suma), una entrada de datos (resta) que se aplica, a través de un matriz de entrada, simultáneamente con las palabras de datos en serie D₁ y D₂. Supongamos que se desea realizarse el cálculo:

$$P = 5/8.D_1 + 1/4.D_2, \text{ donde } 5/8 \text{ y } 1/4 \text{ son coeficientes fijos.}$$

La primera parte del cálculo, esto es, multiplicar D₁ por 5/8, puede dividirse en dos operaciones separadas, así:

$$5/8.D_1 = 1/2.D_1 + 1/8.D_1$$

Multiplicar D₁ por 1/2 se realiza simplemente desplazando a la derecha D₁ una posición de bit, mientras que multiplicar D₁ por 1/8 se realiza desplazando a la derecha D₁ tres posiciones de bit. Si a la entrada I₅ a la célula más significativa del sumador se le da un valor específico de 1, esto es, con un valor de 2⁰, entonces para multiplicar D₁ por 1/2, debe aplicarse a la entrada I₄ que tiene un peso de 1/8 ó 2⁻³. Cuando se aplica D₁ simultáneamente a estas entradas I₄ e I₂, el resultado en el acumulador será 1/2.D₁ + 1/8.D₁ = 5/8.D₁.

De la misma manera, D₂ se aplica simultáneamente a la entrada I₃ y el acumulador contendrá entonces el resultado de P del cálculo completo. Nótese que cada palabra se aplica a una o más entradas del sumador, pero no se aplican dos palabras a la misma entrada.

Debe tenerse en cuenta que el dispositivo sencillo que se

muestra en la Fig. 1 tiene severas limitaciones en la práctica. Puede conseguirse mayor flexibilidad utilizando una codificación ternaria de los coeficientes. Supongamos que se quiere calcular:

$$5 \quad P = 7/8.D_1 + 9/16.D_2 - 1/4.D_3.$$

Esto se puede conseguir expresando el coeficiente en un código ternario

$$7/8 = 100\bar{1}00 = 1 - 1/8$$

$$9/16 = 010010 = 1/2 + 1/16$$

$$10 \quad -1/4 = 00\bar{1}000 = -1/4$$

La utilización de barra en esta tabla, esto es, $\bar{1}$, indica que el bit relevante tiene un peso negativo. Puede hacerse entonces este cálculo utilizando la configuración mostrada en la Fig. 2. El sumador y el acumulador son los mismos que anteriormente, pero la matriz de entrada es más compleja, aplicándose cada palabra de datos, bien directa o/y invertida (complementada), a las entradas apropiadas del sumador.

La palabra D_1 se aplica directamente a la entrada I_5 y, en forma complementada, a la entrada I_2 , por medio del inversor INV. En la práctica, esto significa que, aunque los coeficientes se expresen en un código ternario, los códigos negativos se consiguen invirtiendo el signo de los datos. Esto es, $7/8.D_1 = (1-1/8)D_1 = 1xD_1 + 1/8x(-D_1)$. $D_2 + D_3$ se aplican similarmente a la matriz de entrada con la inversión apropiada. Una vez más, es importante tener en cuenta que cualquier entrada del sumador no recibe más que una palabra, bien directa o invertida.

Puede conseguirse más flexibilidad utilizando sumadores serie para los casos en que los coeficientes (que pueden considerarse como palabras de datos) tienen bits que se solapan,

aún despues de reexplersarlos en forma ternaria. En otras pala
bras, se requiere la aplicación de dos palabras de datos de -
entrada a la misma célula sumadora. Consideremos el siguiente
ejemplo:

- 5 $P = (D_1 \cdot E_1) + (D_2 \cdot E_2) + (D_3 \cdot E_3) + (D_4 \cdot E_4) + (D_5 \cdot E_5)$
donde los coeficientes E_1-E_5 tienen los valores dados despues
y se re-expresan en forma ternaria, como muestra la tabla

	VALOR	FORMA TERNARIA
	E_1 136/256	0 0 0 1 0 0 0 1 0 0 0
10	E_2	0 1 1 0 $\bar{1}$ 0 $\bar{1}$ 0 0 $\bar{1}$ 0
	E_3	$\bar{1}$ 0 1 0 0 $\bar{1}$ 0 0 1 0 0
	E_4	0 1 0 0 $\bar{1}$ 0 0 0 0 $\bar{1}$ 0
	E_5	0 0 0 $\bar{1}$ 0 1 0 $\bar{1}$ 0 0 1

- 15 Peso equivalente de entrada $4 \ 2 \ 1 \ \frac{1}{2} \ \frac{1}{4} \ \frac{1}{8} \ \frac{1}{16} \ \frac{1}{32} \ \frac{1}{64} \ \frac{1}{128} \ \frac{1}{256}$

Puede verse que casi en cada columna existen dos bits
ternarios que se solapan, pero nunca existen más de dos. Es-
te cálculo puede realizarse mediante una pre-suma de dos pala
bras de datos en donde daca uno de ellos se multiplica por el
mismo bit con igual peso. En este caso se formará el resulta-
do realizando el cálculo así:

$$P = 2^2(-D_3) + 2^1(D_2 + D_4) + 2^0(D_2 + D_3) + 2^{-1}(-D_5 + D_1) + \\ 2^{-2}(-D_4 - D_2) + 2^{-3}(D_5 - D_3) + 2^{-4}(-D_2) + 2^{-5}(-D_5 + D_1) + \\ 2^{-6}(D_3) + 2^{-7}(-D_2 - D_4) + 2^{-8}(D_5).$$

- 25 Una configuración para realizar el cálculo de esta ma-
nera se muestra en la fig. 3. Esta configuración está diseñá-
da como una sección de filtro digital recursivo de cuarto or-
den en donde D_1 es la única entrada exterior y D_2-D_5 se deri-
van de la salida del multiplicador. D_2 es la propia salida del
multiplicador y D_3-D_5 son versiones sucesivamente retrasadas
30

de D_2 , retrasadas en cada caso en un periodo de palabra. Para realizar el cálculo, la entrada I_{10} , que tiene el peso de 2^2 , recibe la palabra D_3 a través del inversor, la entrada I_9 recibe la suma serie de palabras D_2 y D_4 producidas por la célula sumadora serie 30, la entrada I_8 recibe la suma serie de las palabras D_2 y D_3 producida por la célula sumadora serie 31 y así sucesivamente. Para impedir el revasamiento de capacidad ("overflow") en las células sumadoras serie, los datos deben estar pre-limitados a $\pm 1/2$ de la escala completa, de tal manera que a la adición de cualesquiera dos palabras la suma esté todavía dentro del margen completo.

La sección de filtro mostrada en la fig. 3 está diseñada para trabajar con datos binarios preestablecidos, esto es, para una palabra de N-bits el valor es:

$$D = \sum_{r=1}^N 2^{-N+1} (2B_r - 1)$$

donde el bit de orden r , B_r , es cero ó 1. Así, el valor de este bit es -2^{-N-1} ó $+2^{-M+1}$, respectivamente. El signo inverso (esto es, la multiplicación por -1) se consigue cumplimentado (invirtiendo) los bits de datos.

Es un filtro digital práctico la salida, bajo ciertas circunstancias, puede exceder el margen de datos permisible y, para este caso, debe existir una protección contra el revasamiento de capacidad ("overflow"). Esto puede considerarse de la siguiente manera. Cuando comienza la multiplicación, los bits menos significativos de la respuesta comienzan a llegar desde la salida sumadora menos significativa. Cuando se completa el periodo de la multiplicación, los bits más significativos restantes de la respuesta están en el acumulador (AO-A10) y deben ser transferidos a un registro de transferencia ($T_1 - T_{11}$) de tal manera que, el acumulador puede liberarse para comenzar

una nueva multiplicación. Mientras el multiplicador está tr
bajando en esta nueva multiplicación, los bits, en el regis-
tro de transferencia, se cambian para completar la respuesta
anterior. Sin embargo en general cuando se trabaja con pun-
5 tos aritméticos fijos, es necesario limitar la respuesta máxi-
ma al margen disponible que se pueda expresar por el formato
de datos. En filtros digitales, particularmente en los tipos
recursivos, la respuesta puede exceder al margen de datos dis-
10 ponible, de tal manera que, si resultan algunos bits más sig-
nificativos de los acumulados, se ignoran y puede tener lugar
una característica indeseable de revasamiento de capacidad -
("overflow") que lleve a la inestabilidad. Sin embargo, alma-
cenando los bits a ser despreciados y comprobando la respues-
ta para ver si se ha excedido el margen permisible, el multi-
15 plicador puede saturarse, dando un resultado positivo o nega-
tivo. Esto se hace en la configuración de la fig. 3 comproban-
do los estados de los bits T_8 a T_{11} para detectar si ocurrirá
el revasamiento de capacidad ("overflow"), al desaparecer R_9
a T_{11} y utilizando el resultado para controlar la salida del
20 multiplicador en un circuito de conexión de revasamiento de -
capacidad ("overflow"). Si el revasamiento de capacidad no tie-
ne lugar se permite la salida normal, pero se ha ocurrido el
revasamiento se sustituye la señal de datos positiva o negati-
va máxima por la respuesta completa, según el signo.

25 Otra manera de conseguir esta flexibilidad, manteniendo
la regleta general establecida anteriormente, es proporcio-
nar entradas múltiples por etapa del multiplicador, utilizando
un segundo rango de células sumadoras paralelas. Cuando exis-
tan bits de solape en los coeficientes expresados en ternario,
30 los datos pueden aplicarse a entradas individuales, sin necesi-

dad de pre-suma en serie y, como consecuencia, pre-limitando la magnitud de la entrada de datos. Tal configuración se muestra en la fig. 4.

El diseño del multiplicador básico es similar al de las figs. precedentes, pero con el rango adicional de las células sumadoras ADD 2 precediendo el rango final ADD 1. Nótese que el rango ADD 1 tiene que tener una o más células que el rango ADD 2. Las entradas a los multiplicadores constituyen la matriz de entrada de células de rango ADD 2.

Consideremos el siguiente cálculo: $P = 7/8.D_1 - 3/8.D_2 + 3/4.D_3$

Construyendo una matriz de interconexión de uso general X-Y, como se muestra en la fig. 4 y haciendo conexiones solamente en los cruces apropiados, resulta una configuración muy flexible. Cada línea de datos de entrada controla una línea de entrada directamente y una segunda línea de entrada a través de un inversor de signo (inversor) de tal manera que pueden ser conectados bien datos ó datos-menos para dar coeficientes expresados en ternario. Este esquema trabajará con cualquier forma de datos codificados en binario, tales como datos binarios ordenados, binarios complementados a 2, binarios offset, negativos (radio-2), etc., con tal de que la inversión y suma de signo sea la apropiada al tipo de codificación. Puede conseguirse simultáneamente la conversión entre códigos, aplicando la conversión apropiada a las entradas no utilizadas e invirtiendo la polaridad de los bits de datos cuando sea necesario.

En la configuración que se ilustra, se indican a tierra las entradas de los sumadores que transportan el bit menos significativos. Pueden utilizarse

- (a) como entradas de datos
- (b) para aplicar una señal en anillo
- (c) para proporcionar una liberación automática del acumulador

5 Este último apartado puede simplificar considerablemente el equipamiento y temporización de los multiplicadores, ya que elimina la necesidad de elementos de liberación individuales en cada célula del acumulador.

10 Describiremos el método utilizando un diseño modificado de la fig. 4 con sumadores de portadora eliminada en lugar de los tipos de portadora en cabeza o de rizado. El método puede utilizarse igualmente con rizado a través de la adición de portadora, pero no es útil considerar un tipo de adición de portadora eliminada que disminuya los problemas del retardo de propagación lógico.

15 La fig. 5 muestra un multiplicador completo que utiliza el complemento aritmético a 2 y la adición por portadora eliminada. Este diseño permite dos entradas por bit pero puede aumentarse mediante rangos adicionales de sumadores ordinarios o de portadora eliminada. Los datos de entrada se encaminan a las entradas del sumador a través de la matriz de conexión de coeficiente descrita anteriormente. La multiplicación de los datos por -1 se consigue invirtiendo (complementando) los bits de datos. Esto no es estrictamente exacto con los datos de complemento a 2, ya que introduce un error de un bit menos significativo. Esto ocasionará un constante pequeño error en el resultado. En los casos en que sea importante, los inversores pueden sustituirse por subtracciones de verdad desde los circuitos de cero o puede aplicarse una señal de compensación a una entrada no utilizada. Cada célula sumadora de portadora

20

25

30

eliminada es una sumadora completa normal con tres entradas cada una con una unidad de validez y pseudo suma y las salidas portadoras con una y dos unidades de validez, respectivamente. El primer rango toma dos entradas de datos más el acumulador de suma de realimentación y aplica el segundo rango. El segundo rango toma la suma de el primer rango más la portadora desplazada a la izquierda. (desplaza a la izquierda ya que la portadora vale 2 unidades) más el acumulador de portadora de realimentación. Las salidas se cargan en los acumuladores de suma y portadora A0-A6 y B0-B7, respectivamente. En la realimentación la suma se cambia un lugar a la derecha como en los ejemplos anteriores pero el cambio de portadora a la derecha se neutraliza por el hecho de que, siendo dos veces la suma, necesita el desplazamiento de un lugar a la izquierda.

Al completar la multiplicación la respuesta es la suma de los contenidos de los acumuladores suma y portadora más los bits menos significativos que tiene la salida de suma-de-bit-menos-significativos a través del selector y en el retardo de salida. El contenido de los acumuladores suma y portadora se carga en los registros de suma y portadora y comienza el cambio, sumando los dos en el sumador serie 50 y encaminando el resultado a través de la salida de retardo 51. Al mismo tiempo, puede empezar una nueva multiplicación. Sin embargo, ya que en este punto la suma contenida en los dos registros de transferencia es la misma que la suma contenida en los dos acumuladores, es posible, realimentando menos la suma de los dos registros de transferencia en los acumuladores, extraer el resultado antiguo del cálculo sin la necesidad física de liberar las células del acumulador A0 a A6 y B0 a B7. Pueden incluirse refinamientos adicionales como la detección del revasamiento de

capacidad ("overflow") y la corrección y encaminamiento de la respuesta a un número dado de bits.

5 Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

10 El presente invento pertenece a una solicitud de patente formulada en Gran Bretaña el día 27 de Agosto de 1975 señalada con el número 35345/75 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

15 1.- Un multiplicador digital que comprende un sumador, un acumulador en el que se almacena la salida del sumador, cambiada un bit por cada operación de suma, y elementos de entrada para aplicar simultáneamente varias palabras de datos en serie a las células sumadoras, estando dispuestos
20 los elementos de entrada de tal manera que cada palabras serie así aplicada puede aplicarse a una o más líneas de entrada de la célula sumadora simultáneamente, pero no se aplican dos palabras serie a la misma línea de entrada de la célula sumadora.

25 2.- Un multiplicador, según el punto 1, en donde los elementos de entrada comprenden una matriz de entrada que tiene conductores en columna y fila, un conductor de columna para cada entrada al sumador y un conductor de fila por cada palabra de datos serie de entrada, estando dispuestas las
30 interconexiones de cada conductor de fila con los conductores

de columna en una distribución que corresponde a una palabra digital predeterminada, siendo diferentes las distribuciones de interconexión para cada conductor de fila de las de cada uno de los conductores de fila con sólo un conductor de fila teniendo una interconexión con cualquier conductor de columna.

5

3.- Un multiplicador, según el punto 2, que incluye otro conductor o conductores de fila, tal otro conductor solamente para una palabra de datos en serie de entrada, y elementos para complementar los dígitos de una palabra de datos digitales serie de entrada, aplicada al otro conductor de fila, siendo diferentes los diagramas de interconexión para este otro u otros conductores de fila con los conductores de columna, de los de cada uno de los otros conductores de fila con sólo uno de los conductores de fila originales o de los otros conductores de fila teniendo una interconexión con cualquier conductor de columna.

10

15

4.- Un multiplicador, según los puntos 2 ó 3 incluyendo otro sumador cuya salida se aplica al primer sumador mencionado, aplicando la matriz de entrada las palabras de datos de serie al otro sumador, e incluyendo la matriz de entrada dos conductores de columna para cada célula del primer sumador, por donde dos palabras de datos serie de entrada presentes pueden sumarse en serie con las salidas suma del otro sumador aplicadas como entradas paralelo al primer sumador mencionado, teniendo la matriz de entrada solo un conductor de fila con una interconexión con cualquier conductor de columna.

20

25

5.- Un multiplicador, según el punto 4 en donde la salida portadora de cada etapa del otro sumador se aplica como


30

una entrada a la etapa siguiente de mayor significación del primer sumador mencionado. La salida suma de cada etapa del primer sumador mencionado se realimenta a la entrada de portadora de la etapa de menor significación del otro sumador a través de un acumulador suma, incluyendo también el multiplicador registros de transferencia de suma y portadora separadas a los que se aplican las salidas suma y de portadora del primer sumador mencionado, y una célula sumadora serie en la que se suman el contenido de los registros de transferencia suma y de portadora según se transfieren en serie a la salida del multiplicador.

5
10
15
6.- Un multiplicador, según el punto 5, en donde la salida del sumador serie se complementa y realimenta, como una entrada, a la etapa menos significativa del primer sumador mencionado.

20
25
7.- Un multiplicador, según cualquiera de los puntos del 2 al 6, que incluye elementos para examinar un número de bits más significativos de la salida del multiplicador para determinar si el valor de la salida completo excederá un margen de valores predeterminados, y elementos para sustituir para la salida calculada, una señal de datos positiva o negativa máxima según el signo de la salida calculada cuando el valor de la última exceda el margen de valores predeterminados.

8.- Un multiplicador digital.



Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

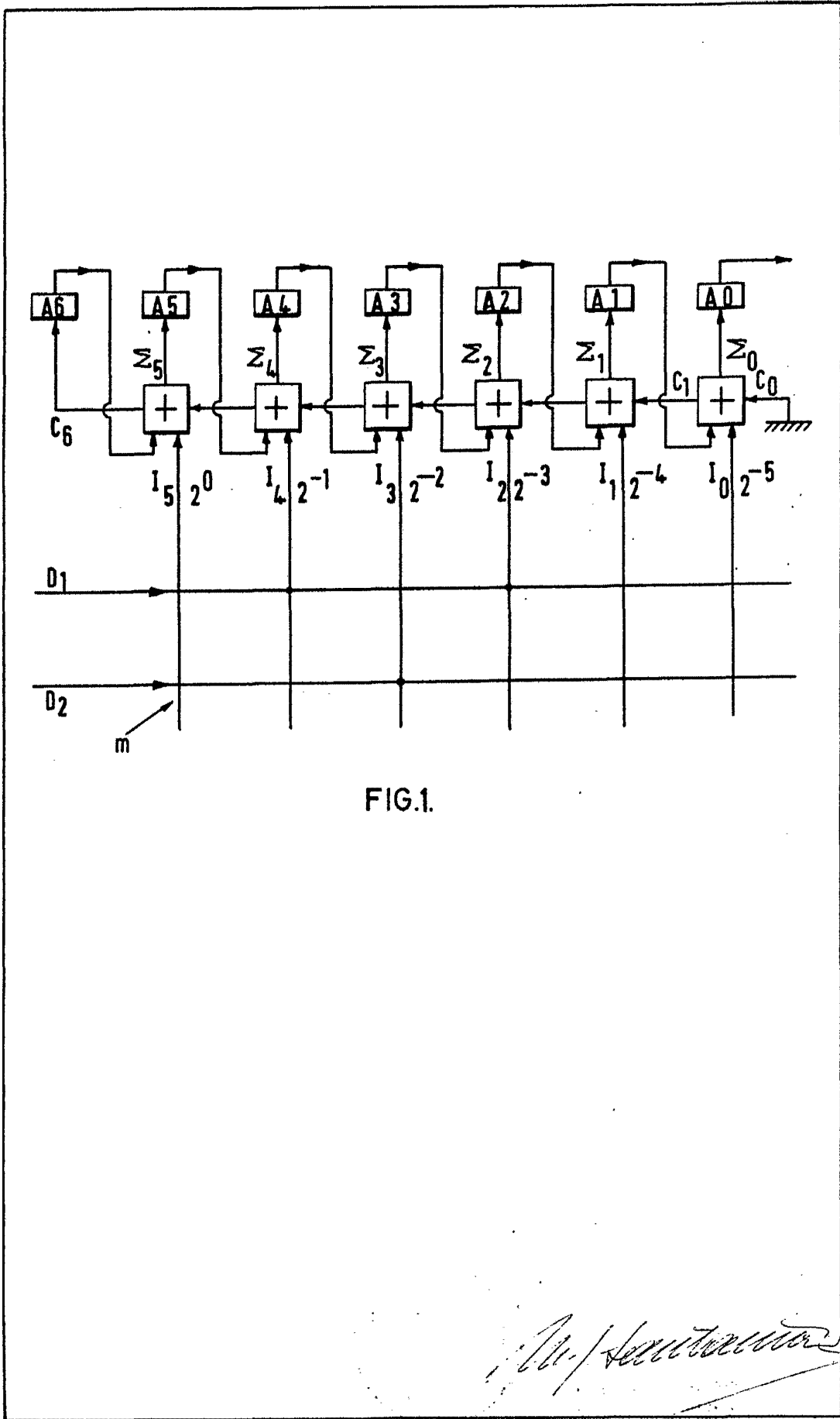
5 Esta Memoria consta de dieciseis hojas escritas por una sola cara.

Madrid, 27 ABO. 1976

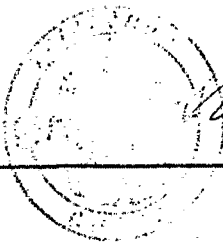
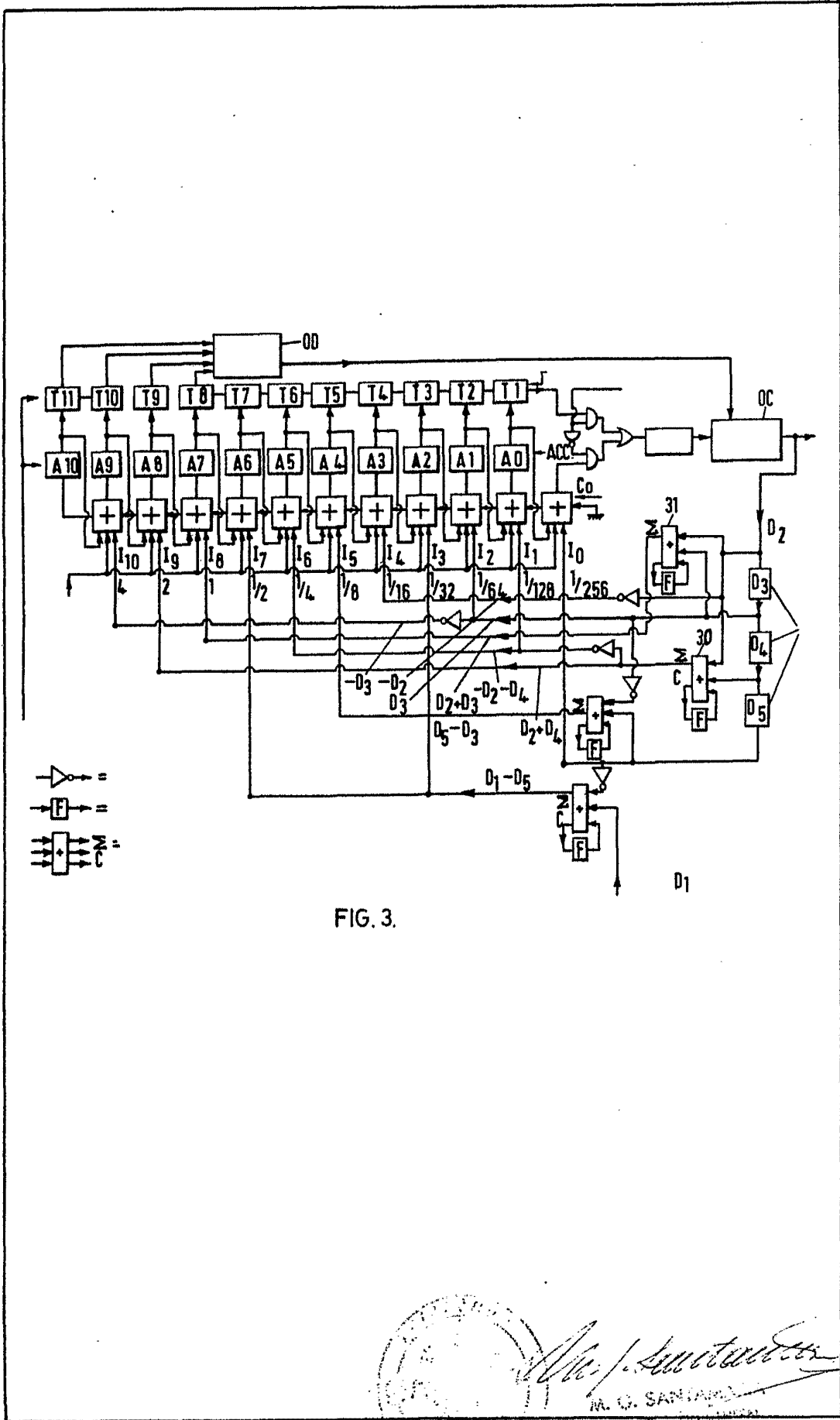


M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

[Handwritten mark]



M. S. Srinivasan



[Handwritten Signature]
 W. G. SANDERS
 VICE-SECRETARY

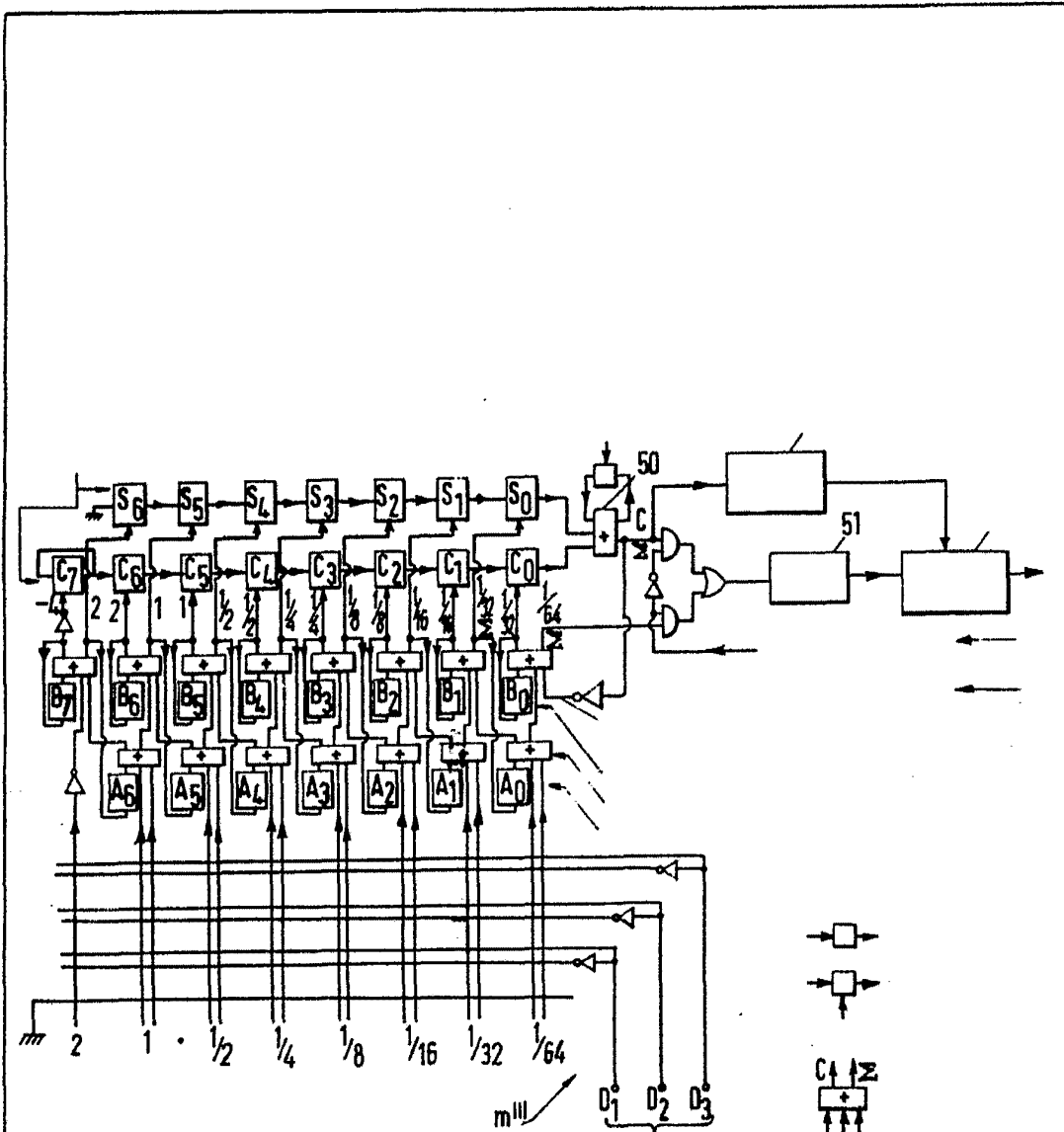
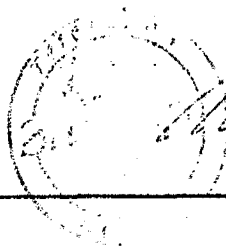


FIG.5.



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL