

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



3. COPIA

ES 11 10 A1  
NUMERO 450960  
FECHA DE PRESENTACION 25 AGO. 1976

**PATENTE DE INVENCION**

50 PRIORIDADES: 51 NUMERO	52 FECHA	53 PAIS
Ser. No. 607.331	25 de Agosto de 1.975	EE.UU. de A.

47 FECHA DE PUBLICIDAD	61 CLASIFICACION INTERNACIONAL H03K	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

64 TITULO DE LA INVENCION

PERFECCIONAMIENTOS EN CIRCUITOS DE RECUPERACION DE TEMPORIZACION PARA DATOS DIGITALES.

71 SOLICITANTE (S)

WESTERN ELECTRIC COMPANY INCORPORATED.

DOMICILIO DEL SOLICITANTE

195 Broadway, New York 10007, Estados Unidos de América.

72 INVENTOR (ES)

JULES ANGELO BELLISIO.

73 TITULAR (ES)

74 REPRESENTANTE

GOMEZ-ACEBO;

BAD ORIGINAL

El invento se refiere a un circuito de recuperación de temporización que comprende medios para recibir un componente de temporización, medios para generar una señal que varía en respuesta a una señal de control y un elemento que responde a una diferencia entre la fase de la señal de frecuencia variable y la fase de la componente de temporización, para producir un componente de control.

Comúnmente se utilizan circuitos bloqueados en fase en dispositivos para recuperar información de temporización en sistemas de transmisión digital. Un circuito bloqueado en fase comprende un detector para medir la diferencia entre la fase de una señal entrante y la fase de una señal saliente de un oscilador controlado.

Los objetivos importantes de los diseños para cualquier dispositivo de recuperación de temporización bloqueado en fase comprenden generalmente la realización de anchura de banda estrecha de las perturbaciones oscilatorias respuesta transitoria de perturbaciones oscilatorias bien controlada y desplazamiento de fase estable, junto con una rápida adquisición de amplio alcance de la fase y frecuencia de entrada. Los circuitos de recuperación para sistemas de datos digitales aleatorios deben diseñarse para recuperar la temporización de un componente de temporización que varía estadísticamente en fase y en amplitud.

Los dispositivos de circuito bloqueado en fase descritos por la tecnología anterior buscan un término medio ó compromiso entre los objetivos de diseño importantes mencionados. En particular, una rápida adquisición de amplio alcance se utiliza frecuentemente para mejora en los otros objetivos. Asimismo, la mejora de filtrar las perturbaciones oscilatorias se consigue mediante otro recurso que reducen el alcance y velocidad de la adquisición.

El problema anterior se resuelve según el invento en un -  
circuito de recuperación de temporización caracterizado porque hay  
medios destinados a responder a deslizamientos de los ciclos entre  
la señal de frecuencia variable y la componente de temporización,  
5 para producir una serie de impulsos que tienen una polaridad rela-  
cionada con el sentido de los deslizamientos de los ciclos y que -  
tienen un ritmo de repetición relacionado directamente con el rit-  
mo de los deslizamientos de los ciclos, excepto cuando la amplitud  
de la componente de temporización cae por debajo de un valor prede-  
10 terminado, después de lo cual no se producen impulsos, y los medios  
están destinados a combinar la componente de control con la serie  
de impulsos en la señal de control que ajusta la frecuencia de la  
señal desde los medios generadores en sincronización con el compo-  
nente de temporización.

15 En los dibujos:

La figura 1 es un diagrama de conjuntos funcionales de un  
circuito de recuperación de temporización que comprende un circui-  
to bloqueado en fase y un circuito bloqueado en frecuencia.

20 Las figuras 2A a 2G y 3A a 3G representan curvas que ilus-  
tran una variedad de formas de onda que se producen durante la ela-  
boración de las señales en el circuito de recuperación de tempori-  
zación de la figura 1.

Las figuras 4A a 4C representan una serie de formas de on-  
da que tienen lugar cuando se consigue la condición de bloqueo; y

25 La figura 5 es un diagrama de conjuntos funcionales de otra  
modalidad de circuito de recuperación de temporización.

Básicamente, el invento está dirigido hacia la recuperación  
de información de temporización partiendo de datos digitales de ban-  
da de base, hacia conseguir un dispositivo perfeccionado y relativa-  
30 mente barato para la recuperación de temporización para datos digi-

tales de banda de base; y hacia bloquear en fase un oscilador a una señal de entrada estadísticamente variable.

Expuesto brevemente, estos objetos se consiguen mediante un circuito de recuperación de temporización dispuesto para recibir una señal de componente de temporización y para generar una señal que tiene una frecuencia que varía en respuesta a una señal de control. En respuesta a una diferencia entre la fase de la señal de frecuencia variable y la fase de la señal del componente de temporización, el circuito produce una componente de control. En respuesta a deslizamientos de los ciclos entre la señal de frecuencia variable y la señal de la componente de temporización, el circuito produce una serie de impulsos que tienen una polaridad relacionada con el sentido de los deslizamientos de los ciclos y que tiene un régimen de impulsos directamente relacionados con el régimen de los deslizamientos de los ciclos, excepto cuando la amplitud de la señal del componente de temporización cae por debajo de un valor predeterminado, después de lo cual no se producen impulsos. El componente de control y la serie de impulsos se combinan en una señal de control que ajusta la frecuencia de la señal generada para sincronizar con la señal de la componente de temporización.

Refiriéndonos a la figura 1, un circuito de recuperación de temporización recibe, en una entrada 12, una corriente de señales de datos digitales de banda de base y produce en una salida 13, una señal de temporización periódica sincronizada con la corriente de datos digitales de banda de base recibida.

Las señales de datos de banda de base contiene cierta información que caracteriza el ritmo de los bitios y la fase de la corriente de datos. Las características del régimen de bitios y la fase, junto con sus variaciones estadísticas, se describen en

un artículo de W. R. Bennett en The Bell System Technical Journal volúmen 37, número 6, Noviembre de 1.958 (páginas 1501-1542).

En aquellos sistemas en los que el régimen de los bitios es igual al régimen de los símbolos, la información de temporización derivada de la corriente de datos se relaciona con el régimen de los bitios. En aquellos sistemas en los cuales el régimen de los bitios es diferente al régimen de los símbolos, la información de temporización está relacionada con el régimen de los símbolos. En adelante se utilizará la terminología "régimen de bitios" en toda la memoria descriptiva, debiéndose entender que las descripciones comprenden igualmente el régimen de símbolos en aquellos casos en que el régimen de bitios sea diferente al régimen de símbolos.

Un extractor de temporización 15, que puede ser similar a los circuitos que activan el circuito sintonizado de la figura 7 del artículo de Bennett mencionado anteriormente, extrae información de temporización de la corriente de datos de entrada. La corriente de impulsos de temporización extraída contiene información de frecuencia y de fase de la corriente de datos de entrada. Una señal de componente de temporización principal de la corriente de impulsos de temporización extraída tendrá la forma  $A(t) \sin \dots \{ \omega t + \phi(t) \}$  en los canales de toma 17.  $A(t)$  es una amplitud variable en el tiempo, y  $\phi(t)$  es una fase variable en el tiempo de la señal de la componente de temporización. La velocidad angular  $\omega$  es  $2\pi f_d$ , donde  $f_d$  es el régimen de los bitios de la corriente de datos digital recibida. El circuito de recuperación de temporización 10 se sincroniza con la forma mencionada de la señal de la componente de temporización así como con otras formas de señales de temporización.

El circuito de recuperación de temporización 10 comprende un dispositivo detector de diferencia de frecuencia 18 para produ

5 cir señales de error y reducir cualquier diferencia entre el régimen de los bitios de la corriente de datos digitales recibida y la frecuencia de un oscilador controlado, excepto cuando la amplitud de la señal de la componente de temporización cae por debajo de un valor predeterminado. En el dispositivo detector de frecuencia 18 hay una primera y una segunda ramificaciones. Cada ramificación comprende un multiplicador de un par de multiplicadores  $2^0$  y  $2^1$  que se disponen para multiplicar la corriente de impulsos de temporización extraídos por los canales de toma 17 con señales periódicas producidas por un oscilador controlado 22. Los multiplicadores 20 y 21 se eligen para que funcionen de una forma efectiva al régimen de los bitios esperando de la corriente de impulsos de temporización extraída.

15 El oscilador controlado 22 es una fuente de frecuencia ajustable que cambia la frecuencia de sus señales de salida en el canal de toma 23 en respuesta a las señales de control alimentadas por medio de un canal de toma 24 a su entrada. Debido a las características del circuito de recuperación de temporización, no hay necesidad de que el oscilador controlado 22 sea un dispositivo costoso de gran precisión. Por el contrario, la frecuencia de reposo, que tiene lugar cuando la señal de control en la toma 24 es nula, puede ser cualquiera de una gama relativamente amplia de frecuencias cercanas al régimen de los bitios de datos esperado.

20 Un defasador 25 recibe las señales de salida del oscilador controlado 22 y produce en los canales de toma 26 y 27 señales de salida que tienen la misma frecuencia que el oscilador controlado, pero que tienen fases que difieren unas de otras. No es esencial una diferencia de fase particular, aunque se puede obtener fácilmente en la práctica una diferencia de fase próxima a  $90^\circ$ .

Multiplicando las dos componentes de fase diferentes de las señales periódicas procedentes del oscilador controlado 22, con los impulsos de temporización extraídos en los canales de toma 17, se producen ondas periódicas que comprenden señales de componente de frecuencia de suma y de diferencia en los canales de toma 30 y 31 en las dos ramificaciones. La diferencia de los componentes de frecuencia, determinada por los multiplicadores 20 y 21 representa el deslizamiento relativo entre el régimen de los bitios de la corriente de datos y la frecuencia de las señales producidas por el oscilador controlado. Esta frecuencia de pulsación, ó deslizamiento, tiene un régimen ó ritmo de un ciclo por cada ciclo de deslizamiento entre el régimen de los bitios y la frecuencia del oscilador controlado. En adelante, el sentido de los deslizamientos de los ciclos se refiere a una determinación de si el régimen de los bitios de la corriente de datos supera la frecuencia del oscilador controlado, ó viceversa.

Las componentes de la frecuencia de suma se filtran por medio de filtros en serie de paso bajo 34 y 35, que atenúan las señales a frecuencias mayores que la diferencia que cabe esperar, ó frecuencia de deslizamiento. Por lo tanto, las componentes de la frecuencia de deslizamiento pasan a través de los filtros 34 y 35 y se alimentan por medio de los canales de toma 36 y 37, respectivamente, a los comparadores en serie 40 y 41. Por conveniencia en la exposición ulterior, la forma de la onda en el canal de toma 36 se considera en fase y la forma de la onda en el canal de toma 37 se considera defasada.

Las figuras 2, 3 y 4, comprenden una serie de formas de onda en el transcurso del tiempo T, distinguidas por las referencias de letras mayúsculas A a G. Cada onda así designada se refiere a un nodo del circuito de la figura 1 que tiene la misma indi-

cación de letra mayúscula.

Las componentes de la frecuencia de deslizamiento en los nodos A y C en los canales de toma 36 y 37, son formas de onda relacionadas que tienen cruzamientos cero que alternan entre sí pero que no son necesariamente sinusoidales. Según indican las formas de las ondas 44 y 45 en las figuras 2A y 2C, la onda delantera 44 tiene un cruzamiento cero de dirección negativa que se produce antes de un cruzamiento cero de dirección negativa en la onda de retardo 45. Después, la onda 44 tiene un cruzamiento cero de dirección positiva seguido por un cruzamiento cero similar de dirección positiva de la onda 45. Como la fase de la onda 44 encabeza la fase de la onda 45 en 95° en la figura 2, las crestas de la onda 44 coinciden con los cruzamientos cero de la onda 45 y viceversa. Dicha coincidencia de cruzamiento de cresta a cero no es necesaria para el invento y no ocurre cuando la relación de fase entre las ondas 44 y 45 es distinta a los 90° representados en la figura 2.

Aunque se ilustran con amplitudes similares en la figura 2, las amplitudes de las dos componentes de la frecuencia de deslizamiento en los nodos A y C pueden diferir entre sí.

Cada uno de los comparadores 40 y 41 en la figura 1 actúa sobre su señal de entrada de la frecuencia de deslizamiento y cuantifica dichas señales. Cada comparador produce, al ritmo de deslizamiento, un nivel de salida cuando la señal de entrada excede de un valor umbral preestablecido y otro nivel de salida cuando la señal de entrada es menor que el valor umbral. Según se ilustra en la figura 1, los umbrales se establecen a  $V_T$  y  $V_T'$  voltios, que pueden tener un valor de cero voltios. Si la amplitud de la señal de la componente de temporización es suficientemente baja, cuando se elabora a través de los multiplicadores 20 y 21 y los filtros 34 y 35, de modo que las señales resultantes sean menores que los

umbrales  $V_T$  y  $V_T'$ , respectivamente, no habrá desplazamiento de nivel de salida desde los comparadores 40 y 41.

En las figuras 2B y 2D, las ondas 46 y 47, respectivamente representan las señales de salida de dos niveles de los comparadores 40 y 41 en respuesta a las ondas 44 y 45 de las figuras 2A y 2C. Aunque las señales en los canales de toma 36 y 37 varían en amplitud, con estadísticas de datos de entrada y con el régimen ó ritmo de deslizamiento, los niveles de la señal de salida de los comparadores tienen valores fijos en los nodos B y D.

En la figura 1, un capacitor 49, que está en serie con la salida del comparador 41 en la ramificación inferior, bloquea cualquier corriente continua que de lugar a la onda 47 de la figura 2D y, por lo tanto, asegura que los niveles alto y bajo tengan polaridades positiva y negativa con respecto a tierra, según se ilustra en la figura 2D. Aunque el capacitor 49 se ilustra en la modalidad que sirve de ejemplo, es discrecional en lugar de esencial para el funcionamiento del invento.

Un diferenciador no ideal 52, que se conecta en serie con la salida del comparador 40 en la ramificación superior de la figura 1, produce un impulso de salida, según indica la onda 53 en la figura 2E, por cada transición en la onda de salida del comparador 40, según indica la onda 46 en la figura 2B. El ritmo de impulsos de salida se relaciona directamente con el ritmo ó régimen de deslizamiento de los ciclos entre el componente de la señal de temporización en los canales de toma 17 y la frecuencia de la señal del oscilador controlado y desplazada en el canal de toma 26, excepto cuando la amplitud de la componente de temporización cae por debajo de un valor necesario para producir una señal de perturbación oscilatoria suficiente para cambiar el nivel de salida del comparador 40. Entonces no se producen impulsos porque no hay desplazamiento

to de nivel producidos por el comparador 40. La polaridad de cada impulso de salida en la onda 53 de la figura 2E concuerda con el signo de la pendiente de la transición correspondiente en la onda 46 de la figura 2B.

5           En la figura 1, la salida del diferenciador 52, por el canal de toma 55, y la salida del comparador 41, por el capacitor - 49 y un canal de toma 56, se conectan a dos entradas diferentes de un multiplicador 60. Por lo tanto, las ondas 47 y 53 de las figuras 2D y 2E, respectivamente que representan las señales de frecuencia de deslizamiento defasada y los impulsos diferenciales al régimen de deslizamiento, se multiplican entre sí. El multiplicador 60 genera en el nodo F una serie de impulsos de polaridad consistente, según indica la onda 61 en la figura 2F. Los impulsos en la onda 61 tienen lugar a un ritmo relacionado directamente con el régimen de deslizamiento de los ciclos entre la señal de la componente de temporización en los canales de toma 17 y la frecuencia de la señal del oscilador controlado en el canal de toma 26, excepto cuando la amplitud de la componente de temporización cae por debajo del valor predeterminado.

10

15

20           La polaridad de las señales de control de salida depende del sentido de los deslizamientos de los ciclos, v.g., la frecuencia del oscilador controlado con relación al ritmo de los bitios de la corriente de datos recibida. Si el ritmo de los bitios de la corriente de datos recibida está por debajo de la frecuencia del oscilador controlado, se supone que las ondas en los puntos A y B en la figura 1 preceden a las ondas en los puntos E y D en la figura 1, según se ilustra en las figuras 2A, 2B, 2C y 2D. Los impulsos de control resultantes de la figura 2F tienen una polaridad negativa.

25

30           Además de la polaridad consistente de las señales de con-

5 trol de salida de la onda 61, los impulsos tienen una amplitud uniforme porque la onda 47 y la onda 53 tienen amplitudes de impulsos estables. Asimismo, el número de impulsos de control por segundo en la onda 61 se determina directamente a partir del régimen de deslizamiento entre el régimen de bitios de la corriente de datos alimentada al terminal 12 en la figura 1 y la frecuencia de la salida del oscilador controlado 22, excepto cuando la amplitud de la componente de temporización cae por debajo del valor predeterminado. Entonces, el régimen de repetición pasa a cero.

10 Además, del detector de frecuencia descrito 18, el circuito bloqueado en frecuencia comprende una tercera ramificación. En la tercera ramificación la salida del multiplicador 60 en el nodo F se alimenta a través de un circuito en serie que comprende un filtro 62, un circuito adicionador 64, un filtro de bucle 65, y el canal de toma 24 al oscilador controlado 22. La polaridad de los impulsos de control en el nodo F es de tal naturaleza que cuando los impulsos se elaboran a través del filtro, el circuito adicionador y el filtro de bucle, la señal resultante hace que se reduzca el régimen de deslizamiento ó las diferencias entre el ritmo de los bitios de la corriente de datos y la frecuencia del oscilador. Como el régimen de repetición de la corriente de impulsos en el nodo F se relaciona directamente con el régimen de deslizamiento de los ciclos durante la adquisición, la amplitud de la onda filtrada de los impulsos de control produce una mayor corrección del régimen de deslizamiento superior y una menor corrección del régimen de deslizamiento inferior.

25 Las figuras 3A a 3F representan una serie diferentes de ondas tomadas de los mismos nodos del circuito que la serie de ondas de las figuras 2A a 2F. No obstante, las fases de las ondas 74 y 76 retardan las fases de las ondas 75 y 77, indicando que la fre

cuencia del oscilador controlado es menor que el ritmo de los bitios de la corriente de datos recibida. Por lo tanto, el sentido del deslizamiento de la frecuencia es opuesto al sentido del ejemplo ilustrado en la figura 2. Las polaridades de las ondas resultantes 77 y 83 en las figuras 3D y 3E son de tal naturaleza que cuando se alimentan a las dos entradas del multiplicador 60, generan en el nodo F una onda 91 que tiene impulsos de control de una polaridad positiva. La onda 91, como la onda 61, es una corriente de impulsos que comprende impulsos que tienen una amplitud uniforme y un régimen de repetición determinado directamente por el régimen de deslizamiento, excepto cuando la amplitud del componente de temporización es menor que el valor predeterminado. Entonces el régimen de repetición es cero. Como el sentido del deslizamiento es opuesto al deslizamiento de la figura 2, la corriente de impulsos comprende solamente impulsos de polaridad positiva en lugar de impulsos de polaridad negativa, como indica la forma de la onda 61 de la figura 2F.

La corriente de impulsos de la onda 91 en la figura 3F, cuando se elabora a través del filtro 63, el circuito adicionador 64, el filtro de bucle 65, y se alimenta al oscilador controlado 22, da por resultado una señal que producirá una reducción en la diferencia entre el ritmo de los bitios y la frecuencia del oscilador controlado 22.

Por lo tanto los impulsos de control en el nodo F, tanto si son de polaridad positiva como negativa, cuando se elaboran a través de los filtros 62 y 65, y se alimentan al oscilador controlado 22, hacen que se reduzca la frecuencia de la diferencia.

El bloqueo de fase se puede asegurar eligiendo una longitud de impulso en las ondas 61 y 91 de modo que la etapa de frecuencia realizada por el oscilador 22 en respuesta a los impulsos sean

menores que la gama de conexión del bucle bloqueado en fase que se describirá más adelante.

Refiriéndonos una vez más a la figura 1, el bucle bloqueado en fase es un circuito en serie que comprende un multiplicador, ó detector de fase 92. La salida del multiplicador 92 se conecta por medio de un canal de toma 93, un filtro de paso bajo 95, y un canal de toma 96, a una segunda entrada del circuito adicionador 64. Se conecta además a través del filtro de bucle 65, el oscilador controlado 22, el defasador 25, y un canal de toma 97 a una segunda entrada del multiplicador 92. En el circuito adicionador 64 un componente de control, producido por el multiplicador 92 y el filtro 95, y que comprende señales de error de fase, se combina con la serie de impulsos procedentes del multiplicador 60.

Refiriéndonos ahora a la figura 4, se ilustra una serie de ondas que tienen lugar en los nodos del circuito A a G de la figura 1. Las ondas de la figura 4 ilustran las señales producidas en los diversos nodos cuando ha cesado del deslizamiento y se consigue el bloqueo de fase en un ejemplo en el cual la fase de las señales en los canales de toma 27 y 97 son iguales y  $V_T$  y  $V_T'$  tienen valores negativos pequeños.

El bloqueo de fase se consigue a través del bucle bloqueado en fase cuando el deslizamiento entre el régimen de los bitios de la corriente de datos y la frecuencia del oscilador controlado cae dentro de la gama de conexión del bucle bloqueado en fase. A medida que la fase del oscilador 22 se pone en línea con la fase de la corriente de datos, cesa el deslizamiento permitiendo que la componente de control procedente del filtro de paso bajo 95 sea un voltaje de error de fase lentamente variable en el nodo G. La magnitud del voltaje de error de fase en el nodo G se reduce hasta que alcanza una pequeña señal de ruido próxima a cero cuando

5 las fases están totalmente alineadas, según se indica en la figura 4G. Cuando las fases están totalmente alineadas, la fase de las señales en el canal de toma 97 y la fase de las señales del componente de temporización en los canales de toma 17 están próximas a la cuadratura, como en circuitos bloqueados en fase tradicionales.

10 Dentro de la gama de conexión del bucle bloqueado en fase, la polaridad del voltaje de error de fase en el nodo G, cuando se elabora a través del circuito adicionador 64 y el filtro de bucle 65, y se alimenta al oscilador controlado 22, es de tal naturaleza que la señal de error de fase hace que la diferencia en fase entre la corriente de bitio recibida y la salida del oscilador controlado se establezca con una relación predeterminada.

15 Después de alcanzarse el bloqueo de fase, la salida del multiplicador 60 es nula en tanto que la señal de frecuencia de diferencia 100 de la figura 4A no cruce el umbral  $V_T$ . Según se ilustra en la figura 4A, se puede producir una amplia gama de variación de entrada si que cruce la señal 100 el umbral  $V_T$ . Como resultado de la salida nula, el circuito controlado en frecuencia deja de afectar el comportamiento del circuito de recuperación de temporización después de haberse conseguido el bloqueo de fase.

20 El filtro 62, se caracteriza por una baja ganancia a bajas frecuencias y una alta ganancia a altas frecuencias, para asegurar la adquisición de las frecuencias de cualquier conjunto de condiciones iniciales. Los impulsos generados durante la adquisición pasan a través del filtro 62 sin atenuar. Después que se ha conseguido el bloqueo, la salida del multiplicador 60 deberá ser nula, pero puede estar ligeramente desplazada de cero. Dicho desplazamiento residual fuera de cero del multiplicador 60 se atenúa por medio del filtro 62.

30 El filtro de bucle 65 se caracteriza por varios rasgos. -

Las características de la frecuencia se determinan considerándolas junto con la propiedad de integración de fase del oscilador controlado 22 y las características de ganancia de otros componentes en el bucle bloqueado en fase. Se consigue una ganancia del bucle de baja frecuencia muy grande para conseguir un pequeño error de fase una vez que se consigue el bloqueo de fase. El diseño del bucle - bloqueado en fase no queda restringido por consideraciones de alcance de conexión y velocidad ni por una ganancia de corriente continua muy elevada. Estas restricciones, que se producen en la tecnología anterior, no restringen el diseño del circuito ilustrativo porque el bucle bloqueado en frecuencia asegura un amplio alcance de conexión y vence la saturación de ganancia en el oscilador. De otro modo, el filtro de bucle 65 se diseña según procedimientos de diseño utilizados para diseñar los bucles tradicionales bloqueados en fase. Una anchura de banda de perturbación oscilatoria estrecha respuesta transitoria de perturbación oscilatoria bien controlada, y desplazamiento de fase estable, suelen ser los objetivos.

El bucle bloqueado en frecuencia asegura una gama de conexión amplia y rápida cualquiera que sea la anchura de banda del bucle bloqueado en fase porque el bucle bloqueado en frecuencia genera la corriente de impulsos de control en respuesta a deslizamientos de los ciclos, siempre que las fases no estén bloqueadas, incluyendo el periodourar e la saturación del circuito de control del oscilador. En respuesta a la señal derivada de la corriente de impulsos de control, la frecuencia del oscilador es barrida al ritmo de los bitios de la corriente de datos digitales de entrada.

Por lo tanto, el bucle bloqueado en fase tiene una característica transitoria deseable para la función de transferencia de error de fase de la entrada 12 a la salida 13. Por ejemplo, la amplificación de perturbación oscilatoria de fase en la banda de pa-

so del bucle bloqueado en fase se puede reducir al mínimo eligien-  
do la función de transferencia de bucle abierto del bucle bloquea-  
do en fase para que tenga aproximadamente 6 decibelios por octavo  
de pendiente de la ganancia en una banda ancha que rodea el cruza-  
5 miento de ganancia unidad. Fuera de dicha banda la función de trans-  
ferencia puede tener una pendiente más pronunciada.

Aunque en la figura 1 se ilustran comparadores 40 y 41, -  
una organización más general del circuito de recuperación de tempo-  
rización comprende un par de circuitos excitadores Schmitt en lu-  
10 gar de los comparadores. Dichos circuitos disparadores de Schmitt  
tienen una zona muerta en sus características cerca de la referen-  
cia  $V_T$  y  $V_T'$ . Como resultado de dicha zona muerta, los circuitos  
disparadores de Schmitt evitan el responder a pequeñas fluctuacio-  
nes de la señal en la zona muerta y aseguran que las señales en -  
15 los nodos A y C crucen realmente la referencia antes de cambiar -  
los niveles de salida en los nodos B y D.

Se observará que las señales en los nodos A y C se pueden  
utilizar como salidas auxiliares. En el nodo A, la señal es la mo-  
dulación en amplitud, ó la densidad de transición de la corriente  
20 de bitios de entrada. En el nodo C, la señal es el error de fase  
de la señal de entrada a la señal de salida.

Refiriéndonos ahora a la figura 5, se ilustra otra moda-  
lidad. El circuito de la figura 5 es virtualmente como el circuito  
de la figura 1, por lo tanto, los elementos de la figura 5 que  
25 son iguales a los elementos de la figura 1 se identifican con los  
mismos números de referencia utilizados en la figura 1.

La diferencia entre la figura 5 y la figura 1 se refiere  
a la disposición del bucle bloqueado en fase. En la figura 5, las  
operaciones realizadas por el detector de fase 92 y el filtro 95  
30 de la figura 1 se realizan en la figura 5 por el multiplicador 21

y el filtro de paso bajo 35. El bucle bloqueado en fase se completa conectando un canal de toma 103 entre el nodo C y la segunda entrada del circuito adicionador 64. Por consiguiente, el detector de fase 92 y el filtro 95 no son necesarios en el circuito de la figura 5.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar - que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

5

10

REIVINDICACIONES

1.- Perfeccionamientos en circuitos de recuperación de temporización para datos digitales, del tipo que comprenden medios para recibir un componente de temporización; medios para generar una  
5 señal que tiene una frecuencia que varía en respuesta a una señal de control; y medios sensibles a una diferencia entre la fase de la señal de frecuencia variable y la fase de la componente de temporización, para producir una componente de control caracterizados porque se disponen medios destinados a responder a deslizamientos  
10 de los ciclos entre la señal de frecuencia variable y la componente de temporización con el fin de producir una serie de impulsos que tienen una polaridad relacionada con el sentido de los deslizamientos de los ciclos y que tiene un régimen de repetición directamente relacionado con el régimen de los deslizamientos de los  
15 ciclos, excepto cuando la amplitud de la componente de temporización cae por debajo de un valor predeterminado, después de lo cual no se producen impulsos; y medios destinados a combinar la componente de control con la serie de impulsos en la señal de control, que ajustan la secuencia de la señal procedente de los medios de genera-  
20 ración en sincronización con la componente de temporización.

2.- Perfeccionamientos según la reivindicación 1, caracterizados porque los medios para producir la serie de impulsos comprenden medios para proporcionar una polaridad de impulsos uniformes para reducir los deslizamientos de los ciclos.

25 3.- Perfeccionamientos según las reivindicaciones 1 y 2, caracterizados porque los medios empleados para producir la componente de control comprenden medios para dotar la componente de control de una polaridad para estabilizar la diferencia entre la fase de la señal de frecuencia variable y la fase de la componente de  
30 temporización.

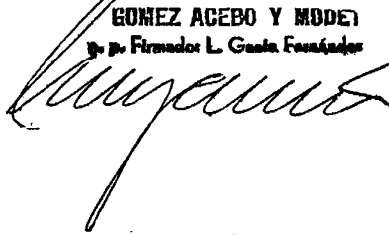
4.- Perfeccionamientos según la reivindicación 1, caracterizados porque los medios citados comprenden medios para determinar y cuantificar la primera y la segunda señales de frecuencia de pulsación partiendo de las señales de los datos y de las señales de frecuencia ajustable, estando defasada la segunda señal de secuencia de pulsación con la primera señal de frecuencia de pulsación, y porque se disponen además medios para diferenciar la primera señal de frecuencia de pulsación en un señal diferenciada, y porque se disponen además medios para generar impulsos de control de amplitud uniforme partiendo de la señal diferenciada y de la segunda señal de frecuencia de pulsación, y porque dichos medios combinados están destinados a reducir la frecuencia de las señales de frecuencia de pulsación y a bloquear el bucle en fase con los bits de las señales de datos de banda de base.

5.- Perfeccionamientos en circuitos de recuperación de temporización para datos digitales; tal y como queda sustancialmente descrito en la presente Memoria, e ilustrado en los dibujos adjuntos.

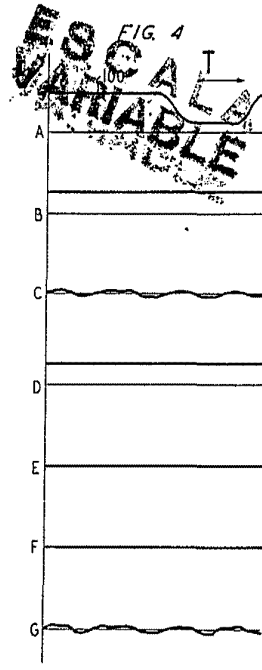
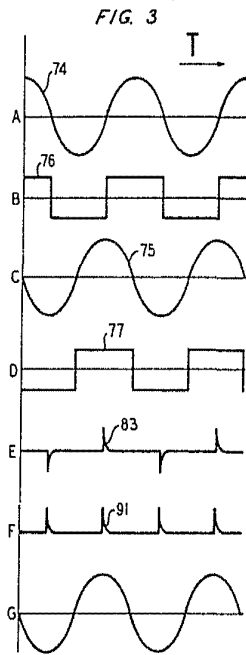
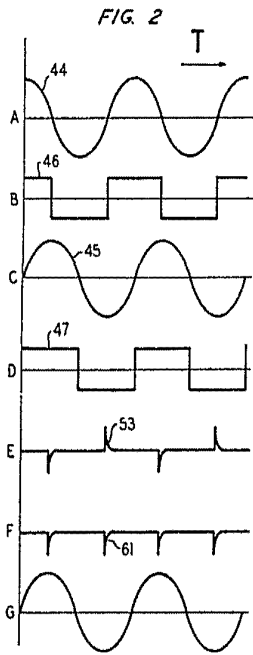
Esta Memoria, consta de 18 hojas, escritas a máquina por una sola cara.

Madrid, 25 AGO. 1976  
WESTERN ELECTRIC COMPANY.

GOMEZ ACEBO Y MODEI  
p. p. Firmados L. Gasta Firmados

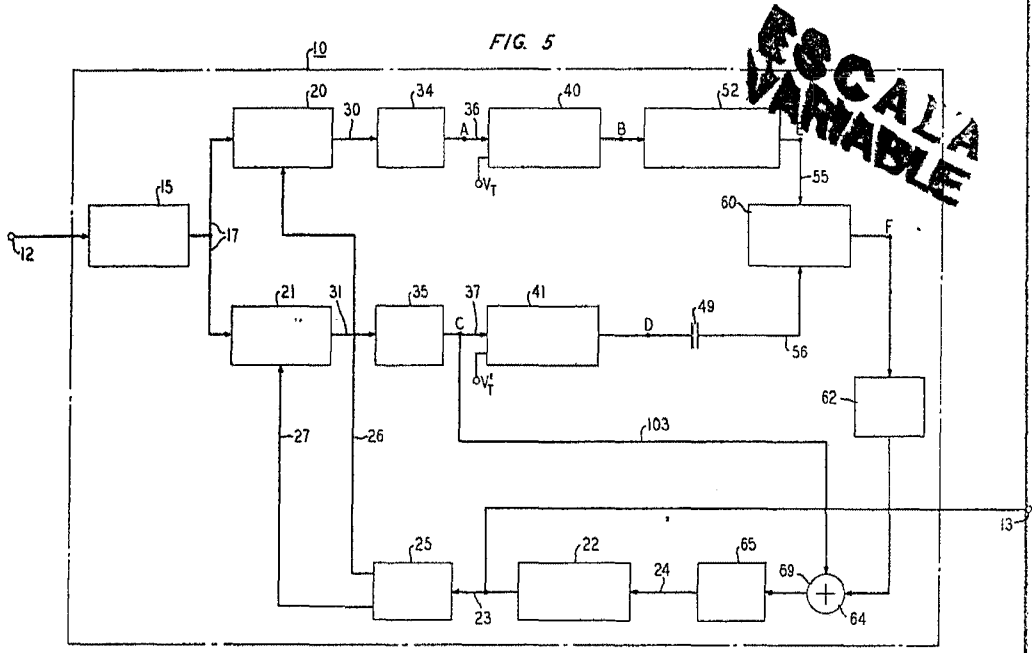






25 AGO. 1976

~~CONFIDENTIAL~~  
MORSE ASIMOS Y REYES  
*[Handwritten Signature]*



25 AGO. 1976

**WESTERN ELECTRIC COMPANY**  
**INCORPORATED**  
*[Handwritten Signature]*