

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

19	ES	450239	10	AT
22	FECHA DE PRESENTACION			

PATENTE DE INVENCION

60 PRIORIDADES: 61 NUMERO 75 23460			62 FECHA 28. Julio. 75			63 PAIS Francia		
64 FECHA DE PUBLICIDAD			61 CLASIFICACION INTERNACIONAL H04Q, H04J			62 PATENTE DE LA QUE ES DIVISIONARIA		
64 TITULO DE LA INVENCION "UN DISPOSITIVO PARA LA RESINCRONIZACION DE LA INFORMACION DE ENTRADA ESTRUCTURADA EN SERIES".								
71 SOLICITANTE (S) STANDARD ELECTRICA, S.A.								
DOMICILIO DEL SOLICITANTE Madrid, calle de Ramirez de Prado, N ^o 5.								
72 INVENTOR (ES) Michel André Robert Henrion André Lucien Coudray								
73 TITULAR (ES) STANDARD ELECTRICA, S.A.								
74 REPRESENTANTE D. Manuel Gómez Santamaría.								

El presente invento se refiere a un dispositivo de resincronización para la información de entrada estructurada en series. Es aplicable en los sistemas de conmutación por división de tiempo de señales codificadas y, concretamente, en centrales telefónicas que aplican la conmutación por división de tiempo de las señales moduladas en código de impulsos.

En las entradas de una tal central, las señales procedentes de las líneas se muestrean a 8 KHz, y cada muestra se traslada por un codificador en una señal de ocho binarios. Cada combinación se transmite en serie a lo largo de un conductor, dentro de un muy corto intervalo de tiempo que constituye un canal de tiempo. De esta manera, es posible multiplexar en tiempo 32 canales, por ejemplo. El período de repetición de las combinaciones sucesivas de un canal es de 125 μ s; consecuente con esto, la abertura de tiempo asignada a cada canal tiene una duración de unos 3,9 μ s. En el caso general, un grupo múltiplex primario de entrada encamina las señales procedentes de 30 líneas que ocupan 30 canales de tiempo, utilizándose dos canales de tiempo para la señalización y la sincronización. Un grupo múltiplex primario de salida similar encamina las señales destinadas a estas 30 líneas.

Dentro de la central, existen generalmente numerosos grupos múltiplex de entrada y salida. Es necesario que una combinación codificada que se origine a lo largo de un canal de tiempo de un grupo múltiplex pueda ser transmitido a lo largo de un canal de tiempo de cualquier grupo múltiplex. Esto implica operaciones de conmutación de espacio para las conexiones grupo-a-grupo, y; operaciones de

conmutación de tiempo para las conexiones canal-a-canal. Estas se realizarán con la ayuda de una malla que incluirá unidades de conmutación y memorias, pudiendo ser esta malla del tipo ya conocido y denominado tiempo-espacio-tiempo.

5 En una malla de centrales, cada central estará conectada a una central próxima por grupos múltiplex del tipo descrito anteriormente. A la salida de una central, el grupo múltiplex de salida está constituido por un reloj local que delimita las series, las aberturas de tiempo, así
10 como dos intervalos de ocho bits o momentos de cada abertura de tiempo.

 En la entrada, en la central que consideramos aquí, no es posible utilizar el reloj local para operar las señales desde el grupo múltiplex de entrada, ya que no están
15 necesariamente en sincronismo de frecuencia ni (y sobre todo) en sincronismo de fase con el reloj de la central distante, de tal manera que aparecería en el centro de la transmisión. Por lo tanto, es necesario reconstruir el reloj distante para detectar e identificar las señales recibidas.

20 Debido a las diferencias de frecuencias entre el reloj distante y el reloj local, y/o debido a las variaciones en el tiempo de propagación a lo largo del canal de transmisión, la posición de las señales binarias regeneradas no tiene nada que ver con el reloj local. Cuando el flujo
25 digital desde el múltiplex de entrada es más importante que el flujo digital determinado por el reloj local, se reciben más bits que los que la central puede procesar. En el caso en que el flujo digital desde el múltiplex de entrada es menor que el flujo digital local se recibe un número de bits
30 menor que el que requiere la central.

La operación de conmutación mencionada anteriormente se referirá preferiblemente a grupos múltiplex síncronos, por razones óbvias de simplicidad. Como ya hemos visto, los grupos de entrada procedentes de centrales distantes están asociados con un reloj reconstruido cuya frecuencia y fase son diferentes de las del reloj local, y diferentes unas de otras. Como consecuencia, es conveniente establecer una resincronización que resultará en un cambio de tiempo de las señales y, según la dirección del cambio de frecuencia, en el doblamiento o supresión de las señales de entrada.

Este problema es bien conocido. La solución consiste en almacenar las combinaciones de entrada en una memoria a la cadencia del reloj distante, asignándose una localización de memoria a cada canal, y leer luego las combinaciones a la cadencia del reloj local. Pero esto presenta un problema en el caso en que se requiera utilizar una memoria que tenga circuitos de almacenaje y control de lectura sencillos, porque ocurre periódicamente que una operación debe tener lugar en el mismo momento que una operación de lectura, mientras que la memoria puede realizar una sola operación de este tipo a la vez.

Este problema ha recibido ya diversas soluciones que implican, en la mayoría de los casos, la utilización de dos memorias y que requieren unos complejos y costosos circuitos de control lógicos.

El presente invento proporciona una solución a este problema, tanto segura como sencilla, haciendo posible una completa resincronización con la ayuda de una sola memoria.

El invento tiene por objeto un proceso de re-

sincronización de la información que llega estructurada en series, representativa de intervalos de tiempo, que constituye los canales de tiempo y que transporta cada uno una combinación codificada a fin de proporcionar la información de salida (teniendo la misma estructura) con la ayuda de un reloj distante reconstituido a partir de la estructura de la información que llega, y con la ayuda de un reloj local que determina la estructura de la información de salida. El presente invento, según su característica principal, consiste en el almacenaje de la información de entrada en una memoria de unión a la cadencia de una operación de almacenaje por combinación de entrada, en la lectura de la información de salida en la memoria de unión a la cadencia a una operación de lectura por combinación de salida y, a fin de que las operaciones de almacenaje y lectura sean siempre distintas, en cambiar el momento de una de estas operaciones por una duración predeterminada en el caso de colisión, en otras palabras, cuando el intervalo que las separa se hace más corto que un valor predeterminado.

Otra característica del invento es que una de las dos operaciones (almacenaje, o lectura) se realiza en uno de dos momentos predeterminados dentro de cada intervalo de tiempo y se obtiene así el cambio de la operación mediante momentos de cambio.

El presente invento también tiene por objeto la resincronización de la información de llegada estructurada en series, repetitiva de intervalos de tiempo, que constituye los canales de tiempo y que transporta cada uno una combinación codificada, cuya función es proporcionar la información de salida que tenga la misma estructura y que compren

de, concretamente, los circuitos denominados de reloj distante para proporcionar las señales de reloj derivadas de la estructura de la información de llegada, así como un reloj local que determina la estructura de la información de salida.

5 Este dispositivo comprende esencialmente una memoria de unión con células para almacenar cada una, temporalmente, las combinaciones codificadas sucesivas de un canal de tiempo de entrada y proporcionar a lo largo de un canal de tiempo de salida, circuitos controlados por el reloj distante para

10 recibir las combinaciones codificadas de entrada y almacenarlas en las células de memoria apropiadas, circuitos controlados por el reloj local para leer las combinaciones de salida en las células de memoria apropiadas y luego transmitir las así como un circuito de exclusión a fin de que las operaciones

15 de almacenaje y escritura realizadas en la memoria deben ser por división de tiempo, y comprende elementos para evaluar el intervalo que separa las operaciones de almacenaje y lectura y, elementos controlados por los anteriores para que el cambio de tiempo de una de las operaciones tenga una

20 duración predeterminada en caso de colisión.

Otra característica del dispositivo del invento es que los elementos existentes en el circuito de exclusión para evaluar el intervalo que separa las operaciones de almacenaje y lectura comprenden elementos para generar una señal

25 salto de pre-colisión que delimita un espacio de tiempo volviendo a poner en serie una de las operaciones, el almacenaje o la lectura, y, elementos para detectar la coincidencia de esta señal salto con una señal que controla la realización de la otra operación, lectura o almacenaje, y

30 así originar una señal anunciadora de una colisión.

Otra característica del dispositivo del invento es que los elementos existentes en el circuito de exclusión para un cambio de tiempo de las operaciones en una duración predeterminada, comprenden elementos para originar a partir de uno de los relojes distante y/o local, dos señales de control de una de las operaciones (almacenaje ó lectura) distinta una de otra dentro de cada intervalo de tiempo; así como elementos de conmutación controlados por la señal que anuncia una colisión y dispuestos para retrasar la entrada de una de las dos señales de control.

Otras características y objetivos del presente invento aparecerán más detallados en la descripción que sigue junto con los dibujos que se acompañan:

La fig. 1 es un diagrama bloque de un circuito de resincronización según el invento;

La fig. 2 son cronodiagramas que definen las diferentes señales utilizadas en el circuito de la fig. 1;

La fig. 3 es una configuración del circuito de exclusión XC de la fig. 1;

La fig. 4 son cronogramas que ilustran el funcionamiento del circuito de exclusión XC de la fig. 3;

La fig. 5 son cronogramas que ilustran el progreso de las combinaciones codificadas cuando tiene lugar un cambio de momento de la operación de lectura, según el presente invento;

Las figs. 6 a 8 son cronogramas que ilustran las operaciones de cambio de momento de lectura de la memoria, según el presente invento, cuando se realizan las operaciones de almacenaje y lectura o de lectura y almacenaje en sucesión, en la misma dirección de la memoria.

Refiriéndonos a la fig. 1 primero describiremos el diagrama bloque del circuito de resincronización para la información de llegada de una central de conmutación digital, según el presente invento.

5 Treinta y dos líneas de entrada le0, le1,.... le31, que pertenecen a una central distante, están multiplexadas en un grupo de entrada gpe, a través de elementos que no se muestran aquí.

10 En el circuito de la fig. 1, un transcodificador TC recibe las señales del grupo gpe y proporciona, en ct, las correspondientes señales binarias y, en h, una señal de reloj distante, que incluye un impulso por bits recibido con la fase apropiada respecto a las señales proporcionadas en ct.

15 Un registro de conversión RE, que tiene ocho etapas 0 a 7, controlado por los impulsos del reloj reconstruido h, recibe una serie de ocho bits ct de cada combinación codificada. Tan pronto como se recibe el bit octavo, retransmite en paralelo los ocho bits a una memoria de unión MD a un bloque de supervisión SB.

20

La memoria de unión MD es una memoria de acceso aleatorio que comprende 32 células de memoria md0, md1,.... md31 existente cada una para el almacenaje de ocho bits de una combinación codificada. Cada una de estas células está asociada con un canal de tiempo, por lo tanto con una

25 línea de entrada. Así, la combinación codificada procedente de la línea de entrada le0 se almacena en la célula de memoria md0, la combinación codificada procedente es la línea de entrada le1 se almacena en la célula de memoria md1 y

30 así sucesivamente; la combinación codificada procedente de

la línea de entrada le31 se almacena en la célula de memoria md31.

Según los principios de la multiplexión en tiempo, el tiempo se divide en períodos de muestreo idénticos de series de $125\mu\text{s}$. Cada serie se divide en 32 intervalos de tiempo idénticos de unos $3,9\mu\text{s}$. Durante cada intervalo de tiempo, se transmite una combinación codificada de 8 bits a la cadencia de un bit cada 488 ns. Para hacer posible la identificación de las series, se transmite un código de sincronización durante un período de tiempo predeterminado, por ejemplo, al comienzo de la serie. El bloque de supervisión SB tiene como función la determinación de este código de supervisión. Este proporcionará, concretamente, en ausencia de este código, una señal de bloqueo em. También proporcionará, al comienzo del funcionamiento del sistema, y en la primera recepción de este código, una señal de reposición in hacia un dispositivo contador CC'.

El dispositivo contador CC, controlado por los impulsos h del reloj distante, comprende los contadores NB, NT y PT. El contador NB es un contador de tres etapas. Avanza un paso por cada impulso h. Se repone a la posición 0 al comienzo de cada combinación de entrada de 8 bits y proporciona constantemente el número, del 0 al 7, del bit recibido. Como veremos después, en una cierta posición, este contador proporciona una señal ecr y una señal tam. El contador NT es un contador de cinco etapas. Avanza un paso bajo el control de un impulso de reloj h cuando el contador NB se repone a la posición 0. Este está en la posición 0 al comienzo de cada serie de entrada y proporciona el número, del 0 al 31, del canal de tiempo de entrada dentro de la serie;

por lo tanto también, como ya se ha visto, el número de la célula de la memoria de unión MD en la que se almacena la combinación codificada proporcionada por el registro de entrada RE. Este número se proporciona a un codificador de direcciones de almacenaje DE asociado con la memoria MD. El contador PT es un contador de un bit que define la paridad de cada serie.

La central considerada aquí comprende un reloj local común HL (flechas múltiples) a todos los circuitos tales como el de la fig. 1. Este reloj proporciona los impulsos H a un dispositivo contador NL y a un circuito de exclusión XC.

El dispositivo contador NL, controlado por los impulsos H y repuesto a cero por una señal in' que tiene su origen en el reloj local HL, comprende dos contadores LB y LT y sus circuitos decodificadores asociados DB y DT.

El contador LB comprende 3 etapas. Avanza un paso cada impulso H y define constantemente el número, del 0 al 7, de cada momento característico de 488 ns, m0 a m7, de cada abertura de tiempo t0 a t31 asignada respectivamente a los canales de tiempo de un grupo múltiplex de salida gps. Se repone a cero al comienzo de cada combinación de salida. El circuito de decodificación DB, que está asociado a él, proporciona los impulsos M0, M1, M5 y M7 cuando el contador LB ocupa las posiciones 0, 1, 5 y 7, respectivamente.

El contador LT comprende 5 etapas. Avanza un paso bajo el control de un impulso de reloj H cuando el contador LB se repone a la posición 0. Está en posición 0 al comienzo de cada serie de salida y proporciona el número t1, de 0 a 31, del canal de tiempo de salida dentro de una

serie, por lo tanto, también el número de la célula de la memoria de unión MD a ser leída. Este número se proporciona por lo tanto, a un decodificador de direcciones de lectura DL asociado con la memoria MD. El circuito de decodificación DT asociado con el contador DL proporciona un impulso t'31 cuando este contador está en la posición 31.

El circuito de exclusión XC que recibe las señales tam, M0, M1, M5, M7, t'31 y los impulsos de reloj H proporciona, como respuesta, una señal de lectura lec al decodificador de direcciones de lectura DL. A la presencia de esta señal, se lee la combinación codificada almacenada en la célula de la memoria definida por la dirección t1. Esta combinación codificada se almacena en un primer registro de salida RM bajo el control de un impulso oec proporcionado por el circuito de exclusión XC. Entonces se transfiere a un segundo registro de salida RS, bajo el control de un impulso M0, y luego a la línea de salida de recepción de un grupo múltiplex de salida gps a través de un circuito de bloqueo BC controlado por la señal de bloqueo em que se origina en el bloque de supervisión SB. Supongamos que se realiza la transmisión en forma paralelo. En este caso, el circuito de bloqueo es una puerta lógica sencilla.

Describiremos ahora, refiriéndonos a los cronogramas de la fig. 2, el proceso de funcionamiento del circuito de la fig. 1.

En la primera línea de la fig. 2 se muestran las combinaciones codificadas ct que proceden de las líneas de entrada le0, le1, y le2 del grupo gpe, y que ocupan las aberturas de tiempo IT0, Iy1 e IT2, respectivamente. Cada combinación codificada comprende ocho bits 0 a 7 transmitidos

a la cadencia a un bit alrededor de cada 488 ns, al registro de entrada RE. Este registro recibe también los impulsos del reloj distante h proporcionados por el decodificador TC. Cada combinación se almacena en una célula de la memoria de unión MD tan pronto como ha entrado el bit octavo en el registro de entrada RE. A este fin, el contador NB proporciona un impulso de almacenaje ecr. Este impulso se ilustra por el cronograma ecr de la fig. 2. El contador NB proporciona también un impulso de saltos tam que arranca 488 ns antes del impulso de almacenaje ecr y termina 488 ns después del final de este impulso.

Este proceso de funcionamiento es de una naturaleza sistemática. En los que el transcodificador TC proporcione los impulsos reconstruidos h del reloj distante los contadores del bloque CC avanzan, y cuando el contador NB proporciona la señal ecr, la dirección proporcionada por el contador NT se utiliza para almacenar el contenido del registro RE en la célula de la memoria MD. En funcionamiento normal, el bloque de supervisión SB ha sincronizado uno con otro los contadores NB, NT, y PT; y las combinaciones ct se almacenan una por una en las células md0 a md31 para cada serie del grupo de entrada.

Allí permanecen ahora para determinar el instante de lectura, a la cadencia del reloj local, de las combinaciones codificadas almacenadas. Según el proceso del presente invento, a fin de evitar cualquier simultaneidad entre las operaciones de lectura y de almacenaje, se suministrará un impulso de lectura lec en ausencia del impulso tam y los suficientemente distanciados de aquel para tener la máxima seguridad de no colisiones en la lectura debidas a una

posible inestabilidad del reloj distante respecto al reloj local.

Las combinaciones almacenadas en la memoria MD se leen a la cadencia del reloj local HL una vez cada 3,9 μ s. El avance de los contadores que constituyen NL está controlado por una señal de reloj H a 2,04 MHz (idéntica a h), una señal de sincronización in' inicia los contadores LB y LT cuando el sistema de sincronización entra en funcionamiento. El contador LT del dispositivo NL define, principalmente, las aberturas de tiempo de 3,9 μ s, t0 a t31, asignadas respectivamente a las líneas de salida del grupo múltiplex gps; y el contador LB define los ocho momentos característicos de 488 ns, m0 a m7 de cada una de estas aberturas de tiempo.

Supongamos ahora que el impulso de lectura lcc aparece durante el momento característico m1, esto es, en el mismo momento que el impulso M1 proporcionado por el circuito de decodificación DB, y que la operación de almacenaje tiene lugar en un instante lo suficientemente separado, por ejemplo, durante el momento característico m4, a fin de que el impulso tam no coincida con el impulso M1.

Si el reloj distante se desvía respecto al reloj local el intervalo de tiempo que separa el impulso de salto de pre-colisión tam (originado en los impulsos h) del impulso M1 (originado en los impulsos H) se reducirá. Tan pronto como exista colisión, el circuito de exclusión XC, al final de una serie de salida (esto es, en presencia del impulso t'31 proporcionado durante cada abertura de tiempo t31 por el circuito decodificador DT) ya no proporciona como anteriormente, el impulso de lectura durante el momento

m1. Según los principios del invento, el impulso de lectura lec aparece entonces durante el momento m5. Ya que el intervalo de tiempo que separa el impulso M1 del impulso M5 es mayor que la duración del impulso de pre-colisión tam, se asegura que este último y el impulso de lectura lec no coinciden. Si continúa la desviación del reloj distante, al final de un período de tiempo relativamente largo, siendo pequeña la desviación respecto a la duración de una serie, los impulsos lec y tam coindirán de nuevo. De la manera descrita anteriormente, el impulso lec ya no aparecerá durante el momento característico m5, sino que aparecerá durante el momento característico m1. Se evitan por lo tanto los momentos de simultaneidad de escritura/lectura.

Describiremos ahora, refiriéndonos a las figs. 3 y 4 una configuración del circuito de exclusión XC.

El circuito de exclusión XC de la fig. 3 comprende esencialmente cuatro puertas AN1, AN2, AN3 y AN4, un flip-flop RS FF1, un flip-flop D FF2, un circuito RT que introduce un retardo θ y una puerta OR PS1.

La puerta AN1 recibe los impulsos M1, lec y tam así como el de entrada t'31. Proporciona una señal de salida an1 a la entrada de activación del flip-flop FF1.

La puerta AN2 recibe los impulsos M5, lec, tam y t'31. Proporciona una señal de salida an2 a la entrada de reposición del flip-flop FF1.

El flip-flop FF1 proporciona una señal ff11 por su salida directa conectada a una entrada D del flip-flop FF2. Este último recibe también los impulsos M7 por su entrada de reloj. Proporciona una señal ff21 por su salida directa conectada a una entrada de la puerta lógica AN3,

y una señal ff20 por su salida complementaria conectada a otra entrada de las puertas AN3 y AN4, respectivamente. Estas dos puertas proporcionan una señal an3 y an4 respectivamente, a la puerta lógica PS1.

5 La puerta OR PS1 proporciona la señal lec, en dirección del circuito de decodificación de direcciones de lectura DL, a una entrada de las puertas AND AN1 y AN2, y a la entrada del circuito RT.

10 La señal lec retrasada durante un período de tiempo θ por el circuito RT se convierte en la señal oec y activa el almacenaje en un registro de salida RM, en la fig. 1, de la palabra leída en la memoria MD.

Supongamos que, respecto a la serie de salida, las operaciones de almacenaje se realizan durante los momentos característicos m7, y las operaciones de lectura durante los momentos m1.

Los flip-flops FF1 y FF2 están originariamente en la posición 0. La señal de salida del último, ff20, es un "1". La puerta AN4, por lo tanto, retransmite el impulso M1 en la forma del impulso an4. La puerta PS1 proporciona una señal de lectura lec prácticamente idéntica al impulso M1. El resultado es que la lectura en la memoria se realiza durante el momento m1 y que el almacenaje en el registro de salida RM de la combinación leída, tiene lugar después de un retardo θ . La transferencia de esta combinación al registro RS tiene lugar en el siguiente momento m0.

Supongamos que el reloj local es más rápido que el reloj distante, en este caso, el borde trasero de la señal de pre-colisión tam tiene lugar después de la aparición del borde trasero del impulso M1 (fig. 4). El impulso

lec continúa apareciendo en respuesta al impulso M1 hasta el final de la serie.

Tan pronto como el impulso t'31 comienza, proporcionado por el circuito de decodificación DT durante la primera abertura de tiempo t31 que sigue a la coincidencia de los impulsos M1 y tam, la puerta AN1 (cuyas entradas están todas al nivel lógico 1) proporciona una señal de colisión an1 de nivel lógico 1 a la entrada de activación del flip-flop FF1. Este flip-flop se dispara y proporciona una señal ff11 de nivel lógico 1 a la entrada D del flip-flop FF2.

Al comienzo del borde delantero del impulso M7, proporcionado durante el último momento característico m7 de la abertura de tiempo t31 a la entrada de reloj del flip-flop FF2, este último se dispara a la posición 1. Proporciona una señal ff21 de nivel lógico 1 y una señal ff20 de nivel lógico 0.

Al comienzo del impulso M1, proporcionado durante el momento característico m1 de la abertura de tiempo t0 de la serie siguiente, la puerta AN4 (una de cuyas entradas recibe una señal ff20 de nivel lógico 0) proporciona una señal an4 de nivel lógico 0. La puerta AN3, una de cuyas entradas recibe un impulso M5 de nivel lógico 0, proporciona una señal an3 de nivel lógico 0.

La puerta PS1, cuyas dos entradas están al nivel lógico 0, proporciona una señal lec de nivel lógico 0.

Así, el circuito de exclusión XC en la fig. 3 ha detectado la inminencia de una simultaneidad entre las operaciones de lectura y escritura en la memoria y, a fin de evitar esta coincidencia, ha cancelado la operación de

lectura que normalmente habría tenido lugar durante el momento característico m1 en la abertura de tiempo t0.

Tan pronto como aparece el siguiente impulso M5, proporcionado durante el momento característico m5 del intervalo de tiempo t0, la puerta AN3, cuyas dos entradas están en el nivel lógico 1, proporciona una señal an3 de nivel lógico 1 a una entrada de la puerta OR PS1. Esta última proporciona una señal lec de nivel lógico 1.

Esta señal se suministra, por una parte, a las puertas AN1 y AN2, que permanecen bloqueadas por las señales tam y t'31 en el nivel lógico 0 y, por otra parte, al circuito RT que proporciona una señal oec de nivel lógico 1 después de un período de tiempo θ . Esta señal de orden de almacenaje se transmite al registro de salida RM (figura 1). Cuando la señal lec pasa al nivel lógico 0, la señal oec parará al nivel lógico 0 después de un retardo de θ .

Al comienzo del borde trasero del siguiente impulso M7, proporcionado durante el momento característico m7 de la abertura de tiempo t0, el flip-flop FF2 permanece en la posición 1; manteniéndose el flip-flop FF1 en la posición 1.

Supongamos que continúa el proceso y que la señal tam llega en coincidencia con el impulso M5. Al final de la serie aparece el impulso t'31 y la puerta AN2, todas cuyas entradas están en el nivel lógico 1 en el momento m5 de la abertura de tiempo t31, se activa. Proporciona una señal de colisión an2 de nivel lógico 1. Esta señal dispara el flip-flop FF1 a la posición 0. La señal de salida ff1 de este flip-flop pasa a nivel lógico 0. Al comienzo del siguiente impulso M7 (durante la abertura de tiempo t31),

el flip-flop FF2 pasa a la posición 0 y, como consecuencia proporciona una señal ff20 de nivel lógico 1. Al comienzo del siguiente impulso M1 proporcionado durante el momento característico m1 de la abertura de tiempo t0 de la siguiente serie, se activa la puerta AN4 y retransmite el impulso M1 a la puerta PS1 que le retransmite en la forma de un impulso de lectura loc.

La señal oc de nivel lógico 1 se genera de una manera idéntica a la descrita anteriormente.

Esto nos vuelve a las condiciones del estado inicial.

Así, tan pronto como exista un riesgo de simultaneidad entre las operaciones de lectura y de escritura, el circuito de exclusión lo detectará y ordenará, al final de la serie, el cambio de momento de las operaciones de lectura. Este cambio de momento consiste en proporcionar la señal de lectura en la misma abertura de tiempo pero en otro momento lo suficientemente distante para evitar cualquier riesgo de simultaneidad de escritura/lectura en la siguiente serie. Así, una operación de lectura y una solamente, se realiza durante cada abertura de tiempo.

Describiremos ahora, refiriéndonos a los cronogramas de la fig. 5, el proceso de los bits de las combinaciones codificadas en los diferentes elementos del circuito de la fig. 1, cuando tiene lugar un cambio de momento de las operaciones de lectura.

Supongamos que el reloj local HL, siendo más rápido que el reloj distante, el intervalo de tiempo que separa el impulso de almacenaje ecr (proporcionado al final del almacenaje del octavo bit de la combinación codificada

en el registro de entrada RE durante la abertura de tiempo IT10 de la serie n) del impulso de lectura lec (proporcionado durante el momento característico m1 de la abertura de tiempo t31) se reduce suficientemente, de tal manera que el impulso M1 de esta abertura de tiempo, sea proporcionado antes del correspondiente impulso de precolisión tam. El circuito de exclusión XC realiza las operaciones de cambio de la manera descrita anteriormente.

La operación de lectura de la memoria MD se realiza en la dirección t1 proporcionada por el contador NL (fig. 1). En ese instante, las células md0 a md10 de la memoria de unión MD contienen las combinaciones codificadas it0 (n) a it10 (n) respectivamente, y las células de memoria md1 a md31 contienen las combinaciones codificadas it11 (n-1) a it31 (n-1). Según el ejemplo mostrado aquí se lee el contenido de la célula md31. Esta célula de memoria contiene la combinación codificada it31 de la abertura de tiempo IT31 de la serie anterior, esto es, la combinación it31 (n-1) como se indica por el cronograma lmd. Como se vio anteriormente, el impulso de orden de almacenaje oec se genera después de un retardo Φ . Este impulso determina el almacenaje de la combinación codificada it31 (n-1) en el registro de salida RM, el cual contenía anteriormente la combinación codificada it30 (n-1) como se indica en el cronograma crm.

El comienzo del impulso M5 proporcionado durante el momento característico m5 de la abertura de tiempo t31 no tiene ningún efecto en el encaminamiento de las combinaciones codificadas.

El comienzo del siguiente impulso de almacenaje ecr provoca el almacenaje de la combinación codificada

it11 (n) en la célula md11 de la memoria de unión MD en lugar de la combinación it11 (n-1), que desaparece.

Un impulso M0 es proporcionado en el primer momento característico m0 de la abertura de tiempo t0.

5 Este impulso provoca el almacenaje del contenido del registro RM, esto es, la combinación codificada it31 (n-1), en el segundo registro de salida RS. Este último activa bien la disponibilidad de los ocho bits de esta combinación durante los 3,9 μ s de la abertura de tiempo t0, o la retransmisión
10 en serie de estos ocho bits a la cadencia de $2,048 \cdot 10^6$ bits por segundo (cronograma srs en la fig. 5).

El impulso M1, generado subsecuentemente, no tiene efecto, el circuito de exclusión que se ha disparado proporciona una señal de lectura de nivel lógico 0 de la
15 manera descrita anteriormente.

El impulso M5, generado durante el sexto momento característico m5 de la abertura de tiempo t0, provoca el paso de la señal de lectura lec al nivel lógico 1. Se lee el contenido de la célula de memoria md0. Esta célula contiene
20 la combinación codificada it0(n). Al comienzo del impulso de orden de almacenaje oec esta combinación se almacena en el registro de salida RM, cuyo contenido anterior (combinación it31(n-1) ha sido almacenada en el segundo registro de salida RS.

25 El siguiente impulso de almacenaje ecr provoca el almacenaje de la combinación codificada it12(n) en la célula md12 de la memoria MD y, el circuito de resincronización de la fig. 1 procede de la manera descrita anteriormente. Puede verse por lo tanto que, el cambio de las operaciones
30 de lectura en la memoria del instante característico m1

al instante característico m5 se realizó sin perturbación y que, a la salida del registro RS, las combinaciones codificadas se generan en sincronismo con los intervalos de tiempo de los canales t0 a t31. Puede apreciarse un cambio de una abertura de tiempo $t(3,9 \mu s)$ entre el reloj local y la salida del segundo registro de salida RS. Durante la abertura de tiempo t0, este registro retransmite la combinación codificada it31. Un registro de conversión de 5 etapas asociado con el contador DT, que almacena el código de los IT retrasados en una abertura de tiempo, se activa para disminuir este retardo.

Podría mostrarse que este mismo tiene aplicación en un cambio de las operaciones de lectura de la memoria del momento característico m5 al momento característico m1, sea cual sea la dirección de la variación relativa de los dos relojes.

El reloj local, según el ejemplo mostrado, es más rápido que el distante. En los cronogramas de la fig. 5 puede mostrarse esto por un cambio de los tres primeros cronogramas ct, ecr y tam a la derecha. Los cambios sucesivos de las operaciones de lectura se realizarán entonces, sin perturbación, de la manera descrita anteriormente. De cualquier manera, las perturbaciones pueden surgir cuando los dos relojes se están poniendo en fase.

Describiremos ahora, refiriéndonos a los cronogramas de las figs. 6 y 7, el encaminamiento de los bits de las combinaciones codificadas en los diferentes elementos del circuito de la fig. 1 en un cambio de momento de las operaciones de lectura de la memoria, siendo inferior el desfase entre el reloj local y el reloj distante a $3,9 \mu s$. Como hemos

supuesto anteriormente, supondremos que el reloj local HL es más rápido que el reloj distante.

Primero supondremos que, como muestran los cronogramas en la fig. 6, las operaciones de lectura tienen lugar durante el momento m_1 . El impulso de almacenaje ecr generado al final de la abertura de tiempo $IT_{31}(p)$, controla el almacenaje de la combinación codificada $it_{31}(p)$ en la célula md_{31} de la memoria MD. Las células md_0 a md_{31} de esta memoria contienen por lo tanto las combinaciones codificadas $it_0(p)$ a $it_{31}(p)$, respectivamente.

El impulso de lectura lec que se genera sucesivamente durante la abertura de tiempo t_{31} controla la lectura del contenido $it_{31}(p)$ de la célula de memoria md_{31} . Según el proceso ya descrito, esta combinación se almacena sucesivamente en los registros de salida RM y RS.

El impulso de almacenaje ecr que se genera al final de la abertura de tiempo $IT_0(p+1)$ controla el almacenaje de la combinación codificada $it_0(p+1)$ en la célula md_0 de la memoria MD.

Tiene lugar una colisión entre la señal M_1 y la señal de pre-colisión tam durante la lectura de la serie de salida p en las condiciones ya descritas. Consecuentemente, el circuito de exclusión XC genera una señal de lectura lec al comienzo del impulso M_5 de la abertura de tiempo t_0 de la serie $p+1$. Este impulso controla la lectura del contenido de la célula de memoria md_0 , esto es, de la combinación codificada $it_0(p+1)$.

La operación tiene lugar de la manera ya descrita. El cambio de momento de las operaciones de lectura de m_1 en m_5 no encuentra, por lo tanto, ninguna perturbación.

Siendo más rápido el reloj local que el reloj distante, después de varias series, el intervalo de tiempo que separa el impulso M_5 del \underline{tam} , disminuye hasta cancelarse como se muestra en los cronogramas de la fig. 7.

5 El impulso de almacenaje \underline{ecr} , generado al final de la abertura de tiempo $IT_{31}(q)$ controla el almacenaje de la combinación codificada $\underline{it_{31}}(q)$ en la célula $\underline{md_{31}}$ de la memoria MD. Las células $\underline{md_0}$ a $\underline{md_{31}}$ de esta memoria constienen por lo tanto, las combinaciones codificadas $\underline{it_0}(q)$ a $\underline{it_{31}}(q)$ respectivamente.

10 El impulso de lectura \underline{lec} generado en el instante $\underline{m_5}$ de la abertura de tiempo $\underline{t_{31}}$ controla la lectura de la combinación codificada $\underline{it_{31}}(q)$. La colisión de los impulsos M_5 y \underline{tam} disparará el circuito de exclusión XC. Este último proporciona un impulso de lectura \underline{lec} en el momento $\underline{m_1}$ de la abertura de tiempo $\underline{t_0}$. Este impulso se genera, por lo tanto, antes del siguiente impulso de almacenaje \underline{ecr} . Este controla la lectura del contenido de la célula de memoria $\underline{md_0}$ esto es, la combinación codificada $\underline{it_0}(q)$.

20 El siguiente impulso de almacenaje \underline{ecr} controla el almacenaje de la combinación codificada $\underline{it_0}(q+1)$ en la célula de memoria $\underline{md_0}$ y, el siguiente impulso de lectura \underline{lec} controla la lectura de la combinación $\underline{it_1}(q)$ almacenada en la célula de memoria $\underline{md_1}$; y así sucesivamente.

25 El cambio de momento de las operaciones de lectura de $\underline{m_5}$ a $\underline{m_1}$ tiene por lo tanto esta vez, una perturbación; la serie q se lee dos veces. Esta perturbación es inevitable en un funcionamiento asíncrono.

30 Como consecuencia, cuando el reloj local es más rápido que el distante, el cambio de momento de las operacio-

nes de lectura no tendrá ninguna perturbación (fig. 6) o provocará la duplicación de una serie (fig. 7).

Mediante un razonamiento idéntico, puede mostrarse que si el reloj local es más lento que el reloj distante, el cambio de momento de las operaciones de lectura no producirá perturbación o provocará el salto de una serie.

A excepción de estas dos perturbaciones inevitables, el circuito de resincronización del presente invento (que es un circuito sencillo poco costoso y fácilmente adaptable para el funcionamiento a una red síncrona) hace posible la detección y evita cualquier colisión entre las operaciones de lectura y escritura.

En la descripción anterior, hemos supuesto que el impulso tam pone en serie la señal de almacenaje ecr. El proceso de funcionamiento del dispositivo del invento sería idéntico en el caso en que se utilizara un impulso de pre-colisión, para poner en serie la señal de lectura lec.

De la misma manera, sin apartarme del objetivo del presente invento, el cambio de momento de las operaciones de almacenaje puede ser considerado; realizándose entonces las operaciones de lectura siempre durante el mismo momento característico de las aberturas de tiempo locales. Además, pueden hacerse las operaciones de cambio durante cualquier abertura de tiempo local (t₀ a t₃₁), haciendo posible que la selección de la abertura de tiempo t₃₁ perturbe todas las aberturas de tiempo de una misma serie; lo que es una ventaja en ciertas aplicaciones (conmutación de banda ancha por ejemplo).

Ha de quedar entendido que la anterior descripción de una forma determinada del invento se hace a modo de

ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Francia el día 28 de Julio de 1975, señalada con el nº 75 23460 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un dispositivo para la resincronización de la información de entrada estructurada en series, repetitiva de aberturas de tiempo que constituyen los canales de tiempo y que transporta, cada una, una combinación codificada, a fin de proporcionar la información de salida con la misma estructura, con la ayuda de un reloj distante reconstruido a partir de la estructura de la información de llegada y de un reloj local que determina la estructura de la información de salida, caracterizado porque la información de entrada se almacena en una memoria a la cadencia de una operación de almacenaje por cada combinación de llegada a la cadencia del reloj distante, se lee la información de salida en la memoria a la cadencia de una operación de lectura por combinación de salida a la cadencia del reloj local, y a fin de que las operaciones de almacenaje y lectura nunca sean simultáneas, una de estas operaciones cambia en el tiempo en una duración predeterminada en caso de colisión, esto es, cuando el intervalo que las separa cae por debajo de un valor predeterminado.

2.- Un dispositivo para la resincronización de la información de entrada, según el punto 1, caracterizado porque una de las operaciones, almacenaje o lectura se realiza en uno de dos momentos predeterminados dentro de cada abertura de tiempo y así obtiene el cambio de la operación cambiando los momentos.

3.- Un dispositivo para la resincronización de la información de entrada, según el punto 1, caracterizado porque una de las operaciones, almacenaje o lectura, se cambia en un momento predeterminado de las series.

4.- Un dispositivo para la resincronización de la información de entrada, según el punto 1, caracterizado porque una de las operaciones, almacenaje o lectura, se cambia al comienzo de una serie y en los que duran un número entero de series.

5.- Un dispositivo para la resincronización de la información de entrada, estructurada en series repetitivas de intervalos de tiempo que constituyen los canales de tiempo y que transporta cada una una combinación codificada, cuya función es proporcionar información de salida que tenga la misma estructura y que comprende los circuitos denominados: reloj distante, que proporciona las señales de reloj derivadas de la estructura de la información de entrada, así como el reloj local, que determina la estructura de la información de salida, caracterizado porque comprende, esencialmente, una memoria con células para almacenar cada una, temporalmente, las sucesivas combinaciones codificadas de un canal de tiempo de entrada y suministrarlas a lo largo de un canal de tiempo de salida, circuitos, controlados por el reloj distantes, para recibir las combinaciones codificadas

das de entrada y almacenarlas en las células de la memoria apropiadas; circuitos controlados por el reloj local para leer las combinaciones de salida en las células de la memoria apropiadas y transmitir las; así como un circuito de exclusión, a fin de que las operaciones de almacenaje y lectura realizadas en la memoria lo sean separadas en tiempo, que comprende a este fin, elementos para evaluar el intervalo que separa el almacenaje y la lectura, y elementos controlados por los anteriores para un cambio de momento de las operaciones durante un período predeterminado en caso de una colisión; esto es, cuando este intervalo caiga por debajo de un valor predeterminado.

6.- Un dispositivo para la resincronización de la información de entrada, según el punto 5, caracterizado porque los elementos que existen en el circuito de exclusión para evaluar el intervalo que separa el almacenaje y la lectura, comprenden elementos para originar una señal de pre-colisión que delimita un espacio de tiempo que encuadra una de dichas operaciones, almacenaje o lectura; y elementos para detectar la coincidencia de esta señal de pre-colisión y una señal que controla la ejecución de la otra operación, lectura o almacenaje; y así originar una señal que anuncie una colisión.

7.- Un dispositivo para la resincronización de la información de entrada, según el punto 5, caracterizado porque los elementos que existen en el circuito de exclusión para un cambio de momento de las operaciones durante un período predeterminado, comprenden elementos para generar (a partir de uno de los relojes, distante o local) dos señales de control de una de las operaciones, almacenaje o lectura, espaciadas una de otra dentro de cada abertura

de tiempo de cada canal de tiempo; así como elementos de conmutación controlados por la señal que anuncia una colisión y dispuestos para seleccionar y poner en funcionamiento una de las dos señales de control.

5 8.- Un dispositivo para la resincronización de la información de entrada, según el punto 7, caracterizado porque el circuito de exclusión comprende un dispositivo biestable que se sitúa en una u otra posición por la señal que anuncia una colisión y cuyas salidas complementarias controlan los elementos de conmutación.

10

 9.- Un dispositivo para la resincronización de la información de entrada, según el punto 8, caracterizado porque el circuito por el que el dispositivo biestable se sitúa en una u otra posición, está también influenciado por el reloj que controla la operación sujeta a cambio, de tal manera que el biestable cambiará su posición solamente dentro de un momento predeterminado de las series delimitadas por este reloj.

15

 10.- Un dispositivo para la resincronización de la información de entrada, según el punto 8, caracterizado porque el circuito por el que el dispositivo biestable se pone en una u otra posición, está además influenciado por el reloj que controla la operación sujeta a cambio, de tal manera que el dispositivo cambia de posición solamente al comienzo de una serie.

20

25

 11.- Un dispositivo para la resincronización de la información de entrada estructurada en series.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

30

Esta Memoria consta de veintinueve hojas
escritas por una sola cara.

Madrid,
28 JUL. 1976



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

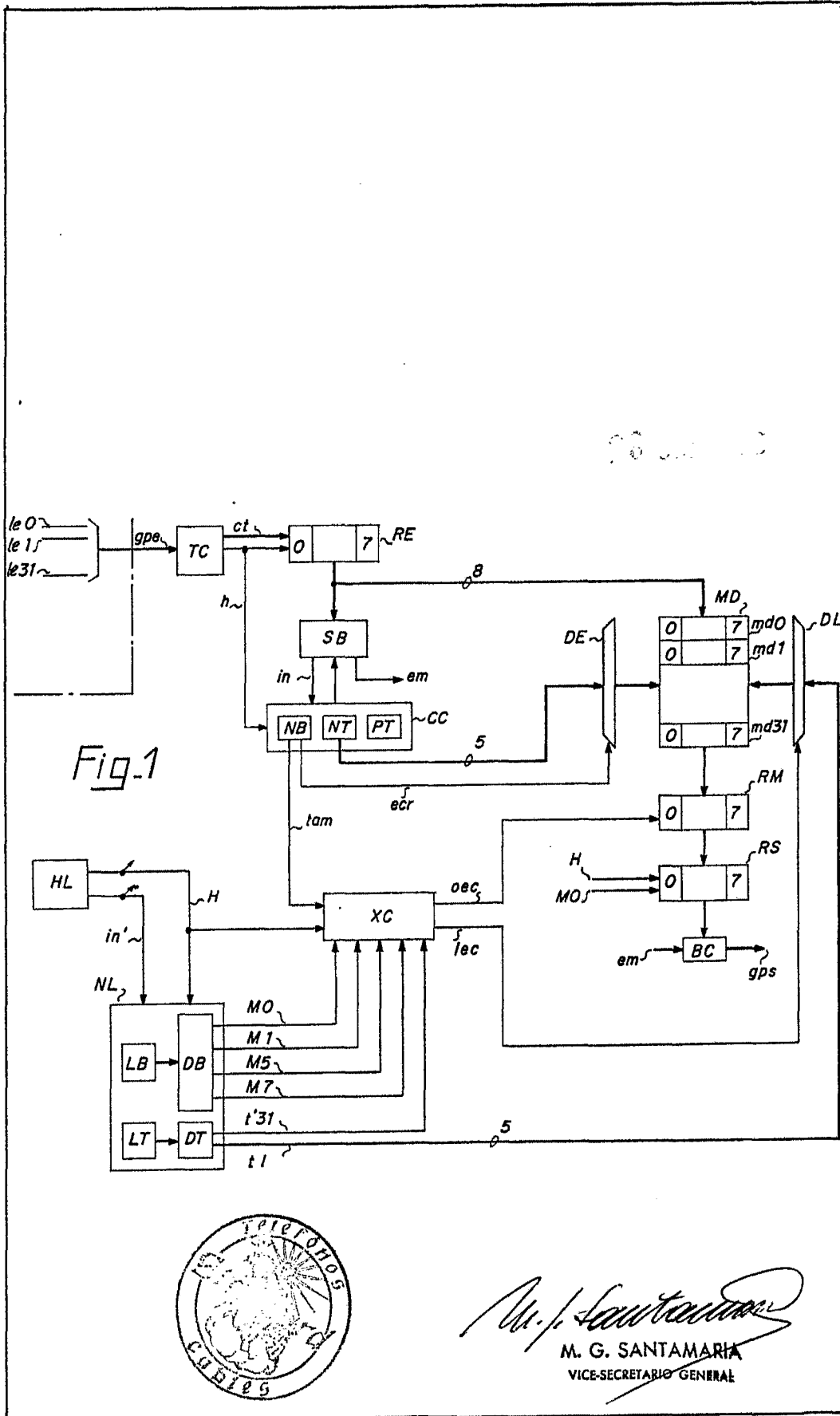
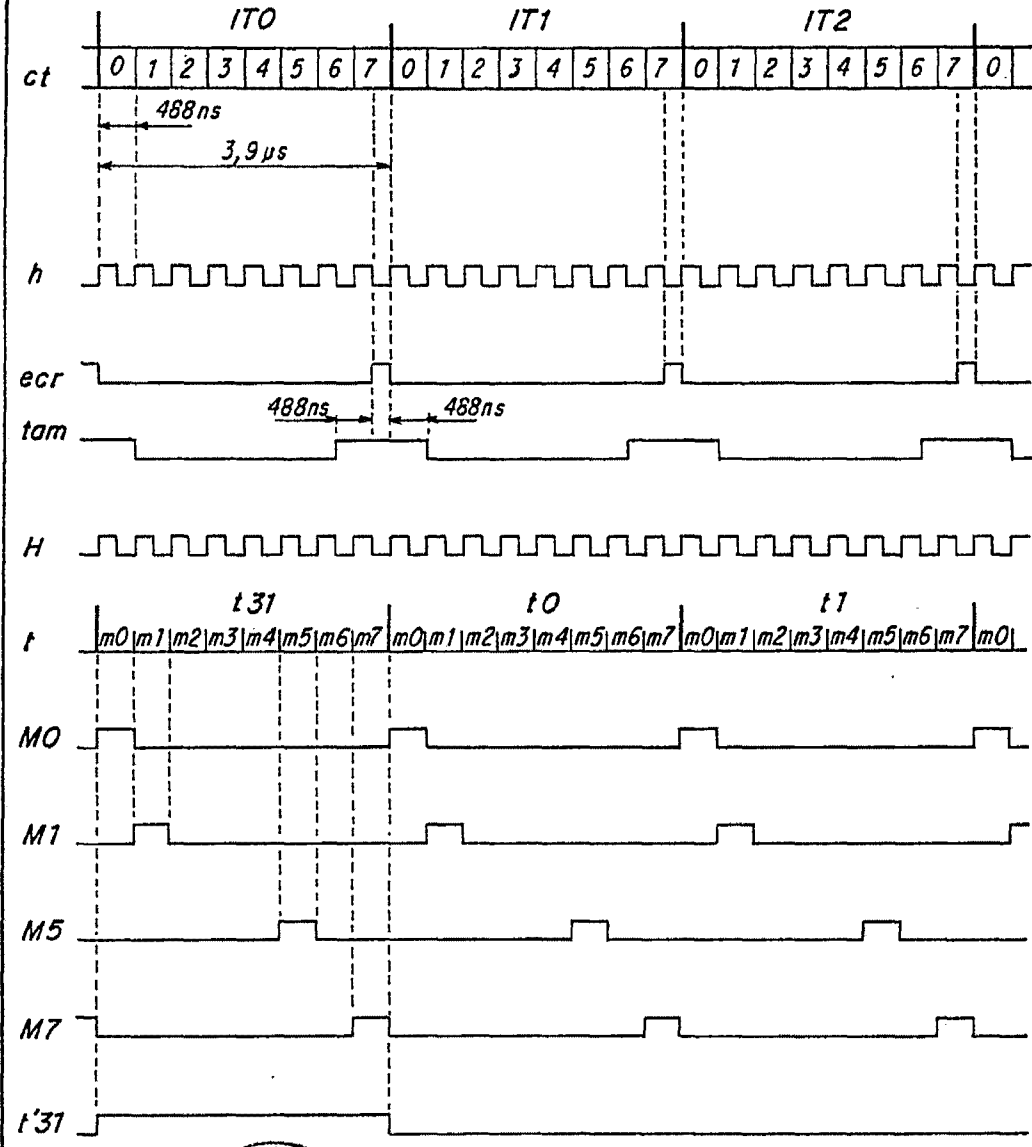


Fig. 2

28 301 113

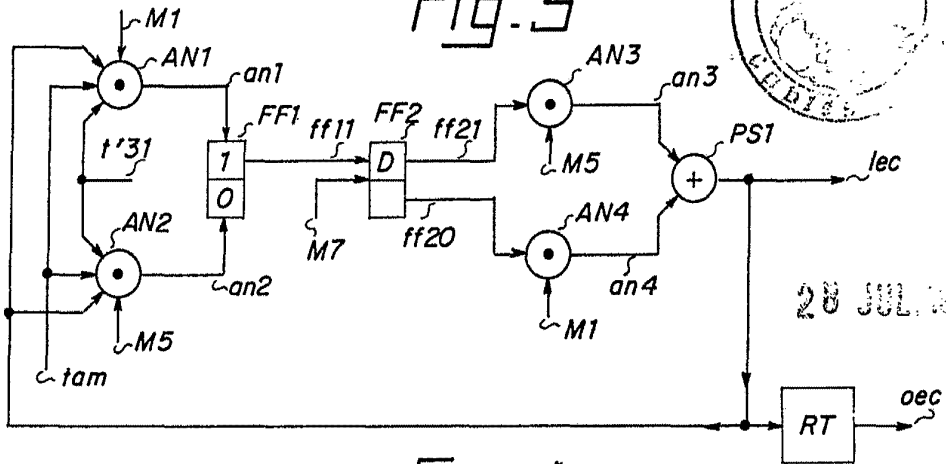


M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

5/3

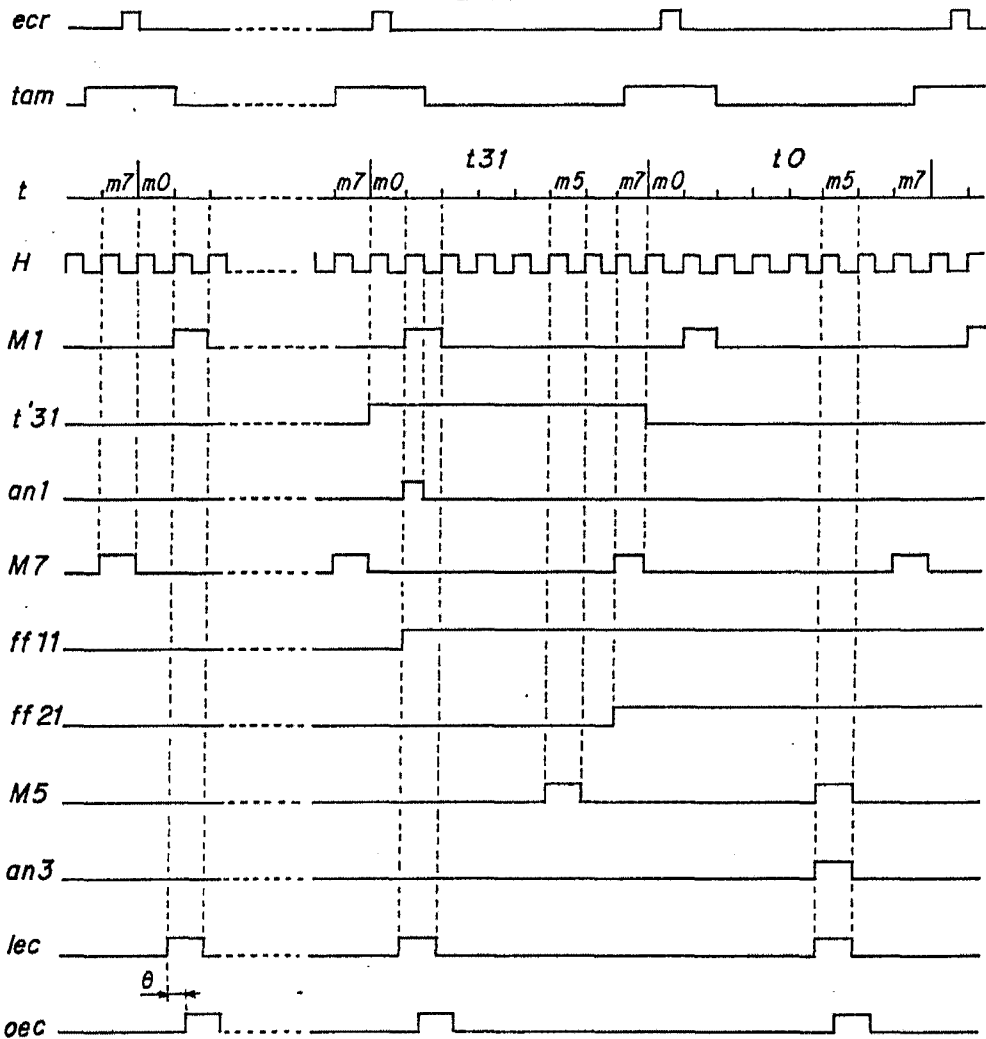
"TANDARD ELECTRICA, S. A.

Fig. 3



28 JUL 1976

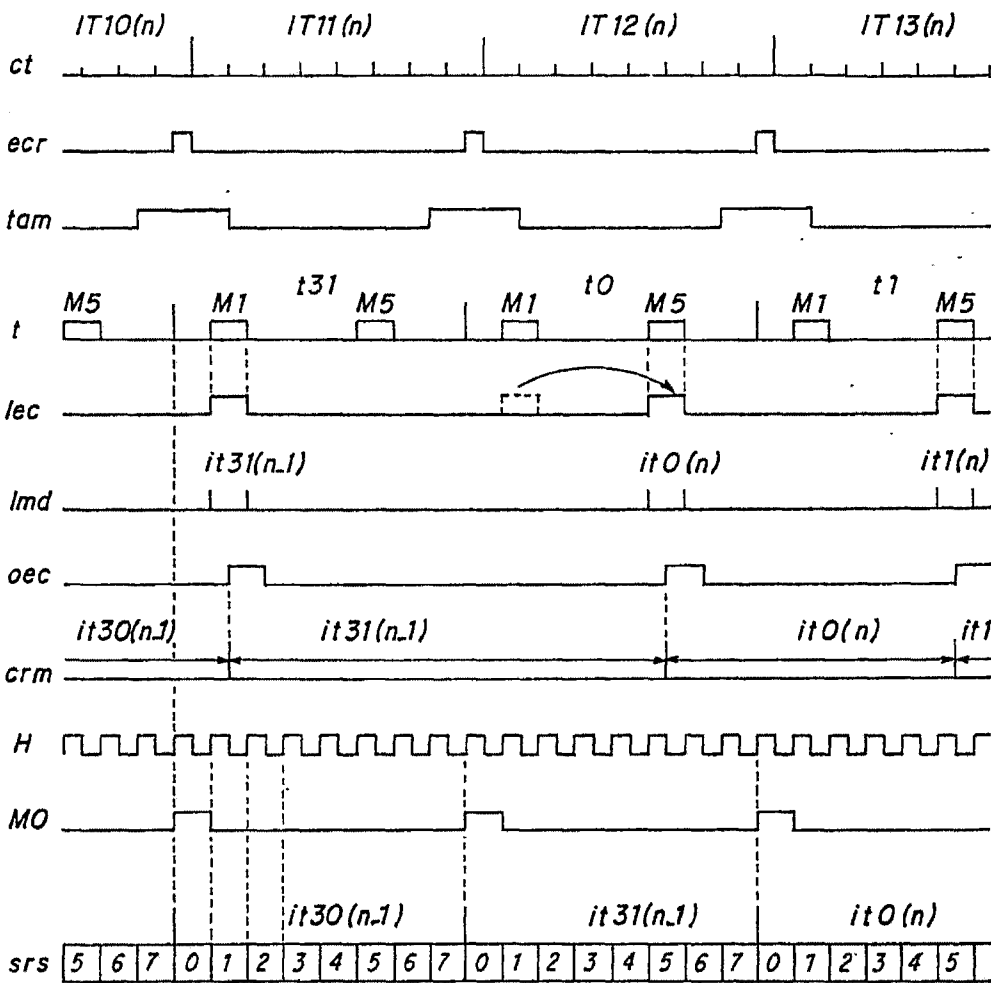
Fig 4



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

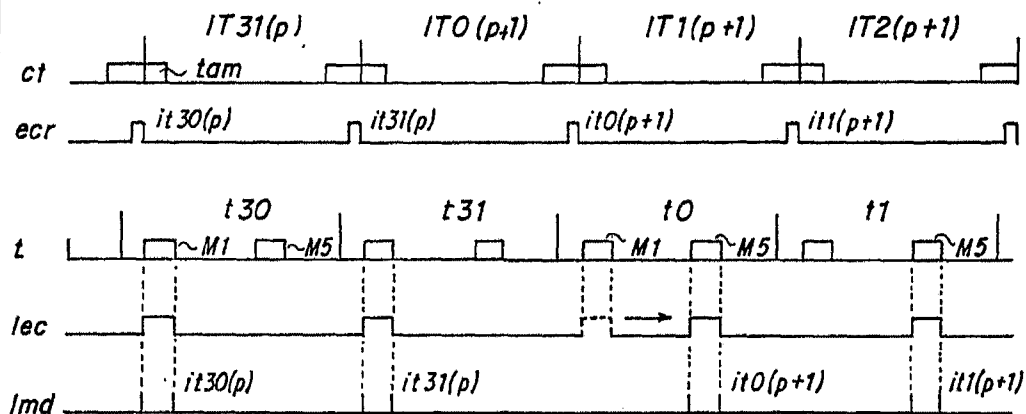
28 JUL. 1976

Fig 5



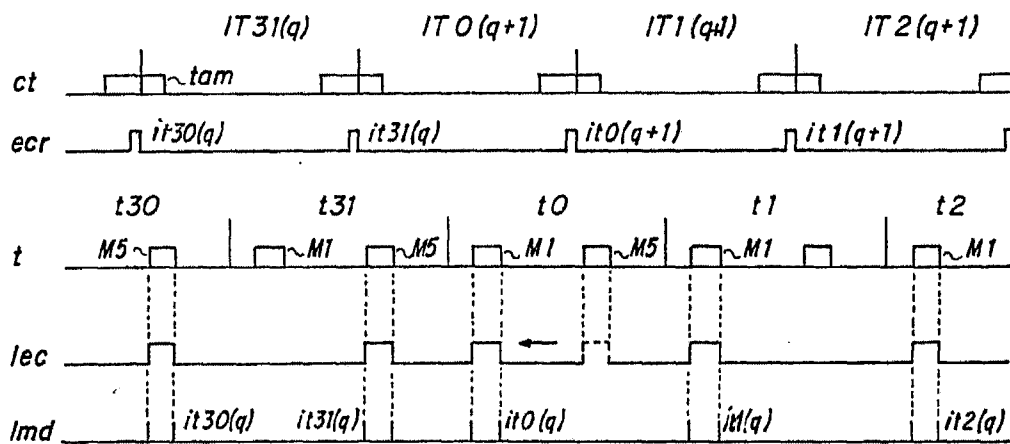
M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

Fig. 6



28 JUL. 1976

Fig. 7



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL