



19 ES	11	NUMERO	10 AT
	21	450165	
	22	FECHA DE PRESENTACION	
		26-7-1976	

PATENTE DE INVENCION

P.- 63:431
Docket FI9-
74-069

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
602.710	7-8-75	E.U.A.

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H01L	

64 TITULO DE LA INVENCION
"DISPOSITIVO SEMICONDUCTOR INTEGRADO"

71 SOLICITANTE (S)
INTERNATIONAL BUSINESS MACHINES CORPORATION

DOMICILIO DEL SOLICITANTE
Armonk, N.Y. 10504, Estados Unidos de América

72 INVENTOR (ES)
Peter Burr, Richard C. Joy y James F. Ziegler

73 TITULAR (ES)

74 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ

Este invento se refiere a dispositivos semiconductores y a métodos de fabricar los mismos, y más en particular a una técnica para controlar la vida de portadores minoritarios de los transistores, tanto para mejorar la velocidad de funcionamiento como para reducir la ganancia.

Cuando se utiliza un transistor bipolar en funcionamiento normal, la unión emisor-base es polarizada en sentido directo y la unión colector-base es polarizada en sentido inverso. Durante el funcionamiento, se inyectan portadores minoritarios en la base desde el emisor. Estos portadores son transportados a través de la base y son recogidos en la región de la unión colector-base. En el diseño de transistores, la región de base se hace intencionadamente muy delgada, de modo que exista una recombinación mínima de los portadores minoritarios en la base. Cualquier recombinación de portadores minoritarios mientras éstos atraviesan la región de base, reduce la corriente de colector y aumenta la corriente de base, reduciendo así la ganancia del dispositivo.

El transistor bipolar se emplea también en circuitos de conmutación, en los que puede operar en la región de saturación. En esta región de operación, la unión colector-base se polariza también en sentido directo y son inyectados portadores minoritarios desde la región de base al colector. Estos portadores deben ser eliminados o re-combinados antes de que el transistor quede fuera de conducción. La velocidad de funcionamiento es, por tanto, afectada por el régimen de recombinación en el colector. Así, existe una necesidad en la técnica de acelerar la recombinación de portadores minoritarios en el colector, para aumentar la velocidad de funcionamiento.

Es bien conocido difundir una impureza metálica, tal como oro en una estructura semiconductor, para controlar la vida. Esto se hace, usualmente, para incrementar el régimen de recombinación en

el colector de transistores bipolares que operan en circuitos de conmutación de saturación. Sin embargo, los metales tienden a difundirse en forma incontrolada por toda la estructura, lo que da lugar a efectos perjudiciales para las otras propiedades del dispositivo. Por ejemplo, en un transistor bipolar, se reduce la ganancia de corriente y la corriente de fugas en la unión se ve aumentada con la introducción de oro. Estos efectos son sumamente perjudiciales para el funcionamiento del transistor. Sin embargo, hay ocasiones en que es deseable que se reduzca la ganancia de un transistor, como, por ejemplo, en aplicaciones de transistores de efecto de campo complementarios, en las que están presentes transistores parásitos entre los diversos elementos. Este es un problema muy serio, particularmente cuando el tamaño del dispositivo es muy pequeño. El problema se discute con detalle en el artículo titulado "Precauciones con los modos de fallo de conmutadores CMOS", en Electronic Design 6, del 15 de Marzo de 1975, vol. 23, n.º 6, pág. 68. En esta situación, una solución potencial es reducir la ganancia de los dispositivos parásitos sin afectar adversamente en forma significativa al funcionamiento ni a las características de los dispositivos complementarios. El problema de los transistores parásitos es inherente en la fabricación de circuitos integrados MOS (semiconductores de óxido metálico) complementarios, en sustratos no aislantes. El problema puede eliminarse esencialmente reduciendo la ganancia de bucle de los dos transistores que constituyen la estructura más comúnmente denominada "rectificador controlado de silicio" (RCS) hasta menos de uno. Si se introducen oro u otros agentes reductores de la vida de los portadores en el cuerpo semiconductor, el problema se reduce o se elimina, pero a costa de las características operativas de dispositivos IGFET (transistores de efecto de campo con electrodo de mando aislado), que constituyen la circuitería complementaria.

Otra solución es proporcionar regiones aisladas de die-

léctrico en torno a cada uno de los dispositivos. Sin embargo, esto es costoso y muy difícil de llevar a efecto utilizando la presente tecnología.

Así, existe una necesidad actual de controlar la vida de los portadores en regiones seleccionadas de dispositivos semiconductores, tanto para mejorar las características operativas de los dispositivos semiconductores, como para reducir la eficacia de transistores parásitos, cuando se formen.

RESUMEN DEL INVENTO

Un objeto de este invento es proporcionar métodos mejorados para controlar la vida de portadores en dispositivos semiconductores.

Otro objeto de este invento es proporcionar una estructura semiconductor en la que puede conseguirse más eficientemente el control de la vida de los portadores.

Todavía otro objeto de este invento es proporcionar un nuevo método para aumentar la velocidad de funcionamiento de un transistor bipolar, utilizando agentes reductores de la vida de los portadores.

Aún otro objeto de este invento es proporcionar una estructura semiconductor para reducir la acción de transistores parásitos en dispositivos semiconductores de circuito integrado.

Otro objeto de este invento es proporcionar un método para reducir la acción de transistores parásitos en dispositivos semiconductores de circuito integrado.

Aún otro objeto de este invento es proporcionar un método para reducir la acción de transistores parásitos en aplicaciones de transistores de efecto de campo con electrodo de mando aislado complementarios.

Otro objeto de este invento es proporcionar una estructura de transistor de efecto de campo con electrodo de mando aislado, complementario, de circuito integrado, sin acción de rectificadores controlados de silicio parásitos.

5 De acuerdo con los anteriores objetos, se presenta un método de controlar la vida de portadores minoritarios en un transistor semiconductor de circuito integrado, implantando selectivamente átomos inertes, seleccionados del grupo que consiste en helio, argón, kryptón, xenón y neón, en las regiones activas del transistor. Una --
10 realización preferida del método está destinada a mejorar la velocidad de funcionamiento de un transistor bipolar implantando los átomos inertes en la región de colector. Otra realización preferida del método es reducir la acción de transistores parásitos en aplicaciones de transistores de efecto de campo con electrodo de mando aislado complementarios, de circuito integrado, situando los átomos implantados en
15 las regiones de base del transistor parásito.

Otro aspecto del invento es un dispositivo semiconductor de circuito integrado que tiene medios de vida de portadores controlada, que comprenden una región de átomos inertes implantados, siendo dichos átomos inertes seleccionados del grupo que consiste en helio, neón, argón, xenón y kryptón, en la región activa del dispositivo.
20 Una realización preferida de la estructura semiconductor del invento es un transistor bipolar que tiene las regiones implantadas en la región de colector. Otra realización preferida del invento es una estructura de dispositivo transistor de efecto de campo con electrodo --
25 de mando aislado, complementario, de circuito integrado, que tiene la región implantada en la región de base de los transistores parásitos.

30

BREVE DESCRIPCION DE LOS DIBUJOS

5 La fig. 1 es una vista en alzado, en sección arrancada, que ilustra una primera realización de una estructura MOS (semiconduc-
tor de óxido metálico) complementaria del invento.

La fig. 2 es una vista en alzado, en sección arrancada, que ilustra otra realización preferida de una estructura CMOS (semi-
conductor de óxido metálico complementario) del invento.

10 La fig. 3 es una vista en alzado, en sección arrancada, que ilustra todavía otra realización preferida de la estructura CMOS
del invento.

La fig. 4 es una vista en alzado, en sección arrancada, que ilustra un transistor bipolar mejorado, de acuerdo con el invento.

15 La fig. 5 es una vista en alzado, en sección arrancada, que ilustra otra realización específica preferida de un transistor bi-
polar mejorado del invento.

DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

20 Los bloques básicos de constitución de todas las funcio-
nes lógicas CMOS son transistores semiconductores de óxido metálico -
de canal N y de canal P, como se indica en las figs. 1 - 3. Estos dis-
positivos funcionan como conmutadores de control de tensión y son ca-
paces de permitir un paso de corriente bilateral, entre la entrada y
25 la salida. Las difusiones de entrada y de salida fuertemente impurifi-
cadas, están separadas por un estrecho espacio sobre el que se encuen-
tra un delgado aislador de electrodo de mando y aluminio u otro con-
ductor. Con el fin de que los transistores conduzcan corriente desde
la entrada a la salida, debe aplicarse una tensión superior a la ten-
30 sión de umbral desde el electrodo de mando a la entrada. Una tensión

de umbral es la que debe ser superada con el fin de invertir el silicio entre la entrada y la salida, y formar un canal conductor. Aumentando la tensión de electrodo de mando a entrada más allá de la tensión de umbral, se invierte además el material bajo el electrodo de mando, aumentándose la conductividad.

La tecnología CMOS contiene el que, quizás, sea el grupo de características operativas más ideal para una familia lógica. Las ventajas son: (1) corriente de reposo cero, (2) inmunidad al ruido de alta tensión, (3) amplio margen de suministro de energía, y (4) elevada impedancia de entrada. Además, puede realizarse virtualmente cualquier función lógica utilizando las combinaciones paralelo/serie de transistores de canal N y P.

Como se describe con detalle en la publicación Electronic Design antes mencionada, los circuitos lógicos y de conmutación CMOS de circuito integrado, particularmente los dispositivos muy miniaturizados, tienen transistores parásitos inherentes que pueden dar lugar a condiciones de bloqueo en un gran número de casos. Por ejemplo, en el dispositivo de canal N ilustrado en cualquiera de las figs. 1, 2 o 3, hay dos tipos inherentes de transistores, a saber (1) un NPN vertical, que es el resultado de que una entrada o una salida actúe como emisor, actuando el cuerpo como base y el sustrato de tipo N como colector, y (2) un transistor NPN horizontal, resultante de que una entrada o una salida actúe como emisor, actuando la región P que rodea al dispositivo de canal N, como base, y actuando como colector el material de sustrato N. Para el dispositivo de canal P; existe un transistor PNP lateral cuando la entrada o la salida actúa como emisor, el sustrato N como base y la región P, que rodea al dispositivo de canal N, como colector.

Haciendo referencia ahora a la fig. 1, en ella se muestra una realización específica preferida de una estructura CMOS en la

que se ha eliminado al menos un aspecto del problema de los ACS parásitos. La estructura CMOS consiste en un transistor de efecto de campo con electrodo de mando aislado 10, de canal P, provisto de una entrada 12 y una región de salida 13, y un transistor de efecto de campo con electrodo de mando aislado, 14, provisto de una entrada 15 y una salida 16, que están fabricadas en una región P 17. Los transistores 10 y 14 están formados en un sustrato monocristalino 18, que incorpora un impurificante de tipo N. De acuerdo con este invento, una región 20 formada por implantación de átomos inertes, está situada entre los transistores 14 y 10, fuera de la región 17. La región 20 está formada por implantación de átomos inertes tales como helio, neón, argón, xenón y kriptón, utilizando técnicas usuales de implantación de iones.

Se ha descubierto que los átomos inertes en un cuerpo semiconductor monocristalino proporcionan centros que facilitan la combinación de portadores minoritarios y mayoritarios. Esto, como es bien sabido en la teoría de los transistores, reduce efectivamente la ganancia de un transistor bipolar.

En la fig. 2 se ilustra una región 22 implantada, situada en la región 17, bajo las regiones 15 y 16 de entrada y de salida, respectivamente. La región 22 reduce la ganancia del transistor vertical, es decir, región N 16, región P 17, y sustrato N 18. En la fig. 3, se ilustra una región 24 implantada, continua, formada por una implantación de iones bajo cubierta, desde la superficie. La región 24 reduce la ganancia de los transistores parásitos verticales. Se entiende que la región 20 de la fig. 1 puede combinarse con la región 22 de la fig. 2 o con la región 24 de la fig. 3 en un único dispositivo, para reducir la efectividad de los transistores parásitos verticales y horizontales. Pueden utilizarse implantaciones de gas inerte para formar centros de recombinación/generación en silicio, que pueden soportar

un severo tratamiento a temperaturas elevadas. Así, las regiones 20, 22, y 24 pueden formarse en el cuerpo 18 en cualquier etapa del proceso de fabricación. La difusión del gas inerte en el silicio es muy lenta y, por tanto, el efecto se localiza al área implantada.

5 En general, la concentración de los átomos inertes en las regiones 20, 22 y 24 depende de la naturaleza de la geometría y de los niveles de impurificación de las diversas regiones de los dispositivos. La concentración de átomos inertes se encuentra en el margen de 10^{11} a 10^{16} átomos/cm³, y más particularmente de 10^{14} a 10^{16} 10 átomos/cm³. Es evidente que el método del invento es aplicable a estructuras CMOS con cavidades N, así como las cavidades P que se ilustran en los dibujos.

Haciendo referencia a las figs. 4 y 5, en ellas se ilustran realizaciones específicas preferidas, adicionales, de la estructura y del método del presente invento. En la fig. 4 se representa un 15 transistor bipolar 30 fabricado en el cuerpo 32. El transistor 30 incluye una región de emisor 34, una región de base 36 y una región de colector 38, con una región 40 de contacto de colector y un sub-colector 42. El transistor 30 se representa eléctricamente aislado por una 20 unión PN, como es bien conocido en la técnica. Sin embargo, si se desea, el aislamiento podría ser, alternativamente, aislamiento dieléctrico, bien aislamiento dieléctrico completo, cuando una región de material dieléctrico rodease completamente a la cavidad que contiene el transistor 30, o bien una combinación de aislamiento dieléctrico y aislamiento de unión, según se describe en la patente norteamericana 25 nº 3.648.125. La región 44 de átomos inertes implantados, similar a las regiones 20, 22 y 24 de las figs. 1, 2 y 3, está prevista en la región de colector del transistor. En la fig. 4, la región 44 es una implantación de tipo bajo cubierta, que se extiende sobre toda el área 30 del cuerpo 32. Como se ha indicado, la región 44 no se extiende sus-

tancialmente dentro de la región de base 36. En la realización representada en la fig. 4, está prevista la región 44 de control de portadores minoritarios para aumentar la velocidad de funcionamiento del transistor 30 sin reducir materialmente la ganancia del dispositivo.

5 Esto contrasta con las realizaciones ilustradas en las figs. 1, 2 y 3, en las que se reduce deliberadamente la ganancia del transistor parásito mediante las regiones 20, 22 y 24. La región 44 puede formarse antes, durante o después que hayan sido fabricadas las diversas regiones del transistor 30. Como se mencionó previamente, la región implantada 44, a diferencia de los agentes usuales de control de la vida de los portadores, no se difunde significativamente por todo el dispositivo si es calentada, y no perderá su capacidad de control de la vida útil de los portadores cuando se calienta el dispositivo para reparar el daño cristalino provocado por su introducción.

15 Haciendo referencia ahora a la fig. 5, en ella se ilustra un transistor 30 similar al representado en la fig. 4, excepto en que la implantación 46 de átomos inertes está situada solamente en la región del colector, bajo la región de base 36. Como en la realización ilustrada en la fig. 5, el objetivo es proporcionar una región de átomos inertes implantados, que aumente la velocidad de funcionamiento del dispositivo transistor, sin reducir significativamente la ganancia del mismo.

25 La concentración de átomos inertes en las regiones 44 y 46 depende de la naturaleza del transistor 30, es decir, de la concentración de impurezas en las regiones de base y de colector, y de la geometría física del mismo. En general, la concentración de los átomos inertes se encuentra en el margen de 10^{11} a 10^{16} átomos/cm³ y, más preferiblemente, es de 10^{14} a 10^{16} átomos/cm³. Las regiones 44 y 46 pueden introducirse en cualquier momento durante la fabricación del dispositivo, como por ejemplo, después de que se hayan fabricado

30

las diversas regiones, antes de que se hayan fabricado las diversas regiones, o durante una etapa intermedia. Además, la implantación puede tener lugar interrumpiendo la deposición de la capa epitaxial, implantando los átomos inertes y continuando subsiguientemente la deposición epitaxial. Es evidente que el método del invento es aplicable también a los transistores de tipo PNP.

EJEMPLO I

Se construyeron transistores bipolares para investigar la influencia de implantaciones de gas inerte sobre las características de los dispositivos. Para simplificar el tratamiento, los transistores se fabricaron en un sustrato de tipo N, de 0,5 ohmios-cm, en vez de emplear una difusión sub-colector y deposición epitaxial. Así, todos los dispositivos tenían un colector común. Se desarrolló una capa de óxido en la superficie, siendo seguida esta etapa por la de enmascaramiento de base y la difusión de base de boro. Se desarrolló óxido sobre la región de base, siendo seguida esta operación por una deposición de nitruro de silicio y, luego, de óxido pirrolítico. Se consiguió el enmascaramiento de emisor y se realizaron aberturas mediante ataque químico a través de la capa de nitruro, dejando los 800 Å de óxido en la abertura de emisor. Para enmascarar la implantación, se añadió una capa de 1,5 μm de agente protector y los emisores se abrieron en una mitad de la pastilla. Se implantó argón con una energía de 340 KeV y una dosis de 10^{14} átomos/cm³ para una pastilla y 10^{15} átomos/cm³ para otra pastilla. La implantación fue seguida por una difusión en cápsula de arsénico durante 80 minutos a 1000°C, para formar el emisor. La estructura resultante tenía una profundidad de unión de emisor de 0,25 μm y una profundidad de unión de colector de 0,5 μm . La energía de implantación se eligió para poner la cresta de la implantación en la proximidad de la unión base-emisor. La ganancia de corrien-

te (β) de los transistores se midió utilizando un trazador de curvas con una excitación de base de 50 Å. Los resultados aparecen abajo:

Pastilla nº	Dosis (cm ⁻³)	Implantado (β)	No implantado (β)
1	10 ¹⁴	26	29
2	10 ¹⁵	0,3	29

Los resultados de la tabla indican que pueden utilizarse las implantaciones de gas inerte para formar centros de recombinación/generación en silicio, que pueden soportar tratamiento a alta temperatura, según es evidenciado por la difusión de emisor. Como indican las cifras, la implantación de 10¹⁵ átomos/cm³ de argón, reduce la ganancia de los transistores bipolares en dos órdenes de magnitud. Esto indica que la técnica puede emplearse para reducir la ganancia de transistores parásitos, e indica también la eficacia de los centros de recombinación/generación para la vida de los portadores minoritarios con el fin de aumentar la velocidad de funcionamiento de un transistor bipolar cuando los átomos inertes están situados en las regiones apropiadas del dispositivo.

EJEMPLO II

Se seleccionaron seis grupos de pastillas de silicio monocristalino con una orientación cristalina de $\langle 100 \rangle$, una impurificación de fondo de impurezas de tipo P y una resistividad de 2 ohmios·cm, con óxido térmico de 500 Å de espesor. Cinco de los seis grupos de pastillas fueron sometidos a bombardeo con argón, en el que el argón fue implantado con una energía de 200 KeV, en dosis de 10¹¹, 10¹², 10¹³, 10¹⁴ y 10¹⁶ átomos/cm³, respectivamente. El sexto grupo de pastillas fue el grupo de control, ya que no se le sometió a bombardeo. Después de la operación de implantación de iones, las pastillas fueron recocidas a 1050°C durante 30 minutos. Se midió entonces la vida de

los portadores minoritarios por técnicas MOS de impulsos. En esta operación se polarizó un condensador MOS hasta inversión y se aplicó otro impulso de empobrecimiento. Esto hizo que la región de empobrecimiento se ampliase hasta un punto en que el número de lugares de impurezas ionizadas incluía, y era igual, a las cargas inducidas por el cambio de tensión. La región de empobrecimiento decayó luego hasta su anchura de equilibrio en un tiempo predeterminado por el régimen de generación de portadores minoritarios. Para pequeños escalones de tensión aplicados, la vida de los portadores minoritarios viene dada por:

10

$$t = \frac{T}{2} \frac{n_i}{N_d}$$

15

20

donde T es el tiempo que toma la vuelta de la capacitancia a su valor de equilibrio, n_i es la concentración de portadores intrínseca y N_d es la concentración de impurezas en el silicio. La técnica MOS de impulsos proporciona un método muy conveniente de medir la vida de los portadores, ya que la transición medida experimentalmente puede ser de 10^5 a 10^6 veces la vida de los portadores, estando el factor de ampliación determinado por N_d/n_i . Se tomaron mediciones utilizando un medidor de capacitancias de 1 MHz. La siguiente tabla ilustra los resultados:

25

<u>Toma nº</u>	<u>Dosis (cm⁻³)</u>	<u>Vida (nsecs)</u>
1	10^{11}	10
2	10^{12}	4
3	10^{13}	1
4	10^{14}	0,4
5	10^{16}	0,0002
6	0	10,000

30

Los anteriores resultados ilustran una pronunciada reducción de la vi-

da de los portadores minoritarios a medida que se aumenta la dosis de argón implantada.

EJEMPLO III

5 Se siguió el mismo procedimiento que en el EJEMPLO II - en cuatro grupos de pastillas de silicio monocristalino con una orientación cristalina de $\langle 100 \rangle$, pero con un fondo de impurezas de tipo N y una resistividad de 10 ohmios·cm. Se midió la vida útil de los -- portadores minoritarios inicialmente, antes de la implantación, y se 10 determinó que era de 10 μ segs.

<u>Toma n.º</u>	<u>Dosis (cm⁻³)</u>	<u>Vida (nsegs)</u>
1	10^{11}	800
2	10^{12}	300
3	10^{13}	100
15 4	10^{14}	3

Como indican los anteriores resultados, con una impuri-
20 ficación de fondo de tipo N, la vida de los portadores minoritarios - se reduce significativamente al aumentar la dosis de átomos de implan- tación de argón.

EJEMPLO IV

Se siguió el mismo procedimiento básico que se señaló en el EJEMPLO II, en el que tres grupos de pastillas de silicio mono-
25 cristalino de 10 ohmios·cm, con un fondo de tipo N, se implantaron con xenón y, subsiguientemente, fueron recocidas a 1050°C durante 30 minu- tos. Se obtuvieron los siguientes resultados:

30

<u>Toma nº</u>	<u>Dosis (cm⁻³)</u>	<u>Vida (nsecs)</u>
1	10 ¹³	500
2	10 ¹⁴	150
3	3 . x 10 ¹⁴	0,8

5

EJEMPLO V

Se seleccionaron tres grupos de pastillas de silicio monocristalino. Se realizaron implantaciones de argón bajo cubierta similares para todas las pastillas en cada uno de los grupos respectivos, implantándose argón con una energía de 200 KeV y una dosis de 10¹⁵ átomos/cm³. El primer grupo no se recoció, el segundo grupo se recoció a 1050°C durante 30 minutos, y el tercer grupo se recoció a 1150°C durante 30 minutos.

Con el fin de determinar la proporción de la dosis restante de átomos de argón implantados que quedaban después de los recocidos, se bombardearon las pastillas con átomos de helio a 2 MeV y se midió la contra-dispersión. Se obtuvo un espectro de las pastillas implantadas con argón para las diversas temperaturas de recocido. El espectro indicó que la proporción restante después de la dosis original era de 60% para las pastillas recocidas a 1050°C y de 55% para las pastillas recocidas a 1150°C, en comparación con el grupo no recocido. Esto indica que los átomos inertes introducidos en una pastilla que, subsiguientemente, es calentada, permanecen sustancialmente en la región original, sin emigrar dentro de la pastilla.

Aunque el invento ha sido particularmente mostrado y descrito con referencia a las realizaciones preferidas del mismo, los expertos en la técnica comprenderán que los anteriores y otros cambios de forma y de detalle, pueden llevarse a cabo en él sin apartarse por ello del espíritu ni del alcance del invento.

30

- REIVINDICACIONES -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

5
10
1.ª.- Dispositivo semiconductor integrado que presenta, en un sustrato semiconductor de un primer tipo de conductividad zonas de un segundo tipo de conductividad opuesto, es decir, que al menos una zona presenta tantos átomos inertes implantados del grupo de elementos helio, argón, neón, krypton y xenón, que la vida de los portadores minoritarios esté disminuida en una medida tal que no existan, sustancialmente, transistores parásitos.

15
2.ª.- Dispositivo según la reivindicación 1ª, caracterizado porque los átomos de argón están implantados en forma de iones.

3.ª.- Dispositivo según la reivindicación 1ª, caracterizado porque la zona con átomos inertes se extiende sobre la totalidad de la superficie de los electrodos y está dispuesta por debajo de la misma.

20
4.ª.- Dispositivo según la reivindicación 1ª, caracterizado porque sendas zonas con átomos inertes están dispuestas por debajo de los electrodos de un transistor de efecto de campo.

25
5.ª.- Dispositivo según la reivindicación 1ª, caracterizado porque la zona con átomos inertes está dispuesta como limitación entre dos transistores.

6.ª.- Dispositivo según la reivindicación 5ª, caracterizado porque la zona rodea circularmente a un transistor.

30
7.ª.- Dispositivo según la reivindicación 1ª, caracterizado porque la concentración de átomos inertes asciende a desde 10^{14} a 10^{16} átomos/cm³.

8ª.- "DISPOSITIVO SEMICONDUCTOR INTEGRADO".

Tal y como se ha descrito en la Memoria que antecede, -
representado en los dibujos que se acompañan y con los fines que se -
han especificado.

5

Esta Memoria consta de diecisiete hojas escritas a máqui
na por una sola cara.

Madrid,

31. AGO. 1976

P.A.

10

Alberio de E...
Por Poder...

✱

FIG. 1

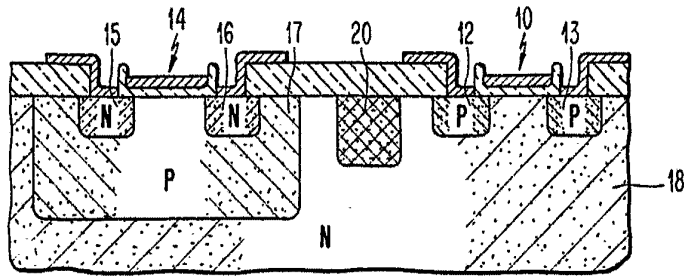


FIG. 2

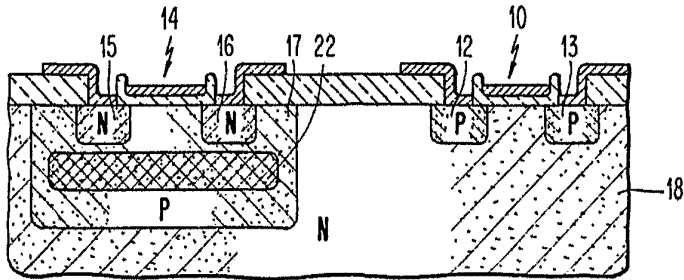


FIG. 3

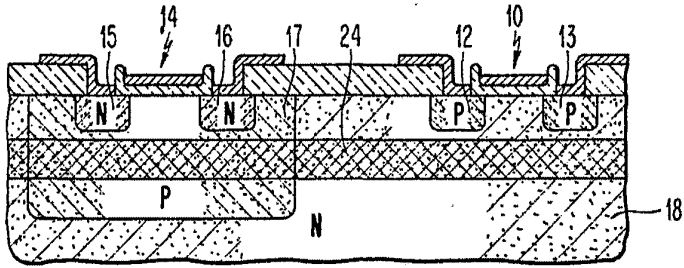


FIG. 4

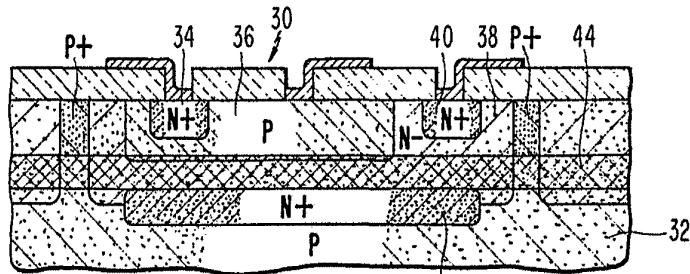
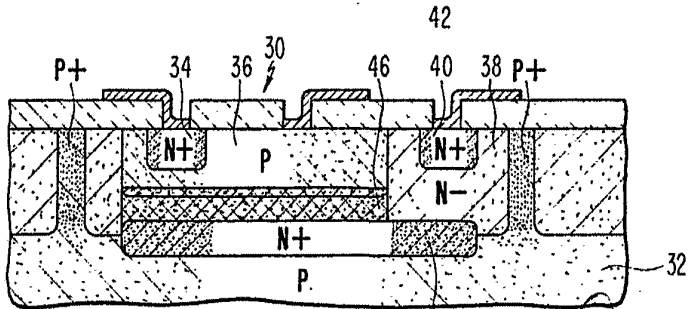


FIG. 5



Alberio de Elia
Per Feder