



ESPAÑA

(19) ES	(11) NUMERO	449.786	(10) A1
(21)	(22) FECHA DE PRESENTACION	12.7.76	

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NUMERO	(32) FECHA	(33) PAIS
587.843	21.7.75	estadounidense
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	G.06.F 7/2.8	
(54) TITULO DE LA INVENCION		
SISTEMA DESTINADO A SER UTILIZADO EN UN EQUIPO DE TRATAMIENTO DE LA INFORMACION.		
(71) SOLICITANTE (S)		
SPERRY RAND CORPORATION.		
DOMICILIO DEL SOLICITANTE		
1290 Avenue of the Americas, New York, N.Y. 10019, Estados Unidos.		
(72) INVENTOR (ES)		
Arthur Fleps Boehm, estadounidense.		
(73) TITULAR (ES)		
El mismo solicitante.		
(74) REPRESENTANTE		
DON BERNARDO UNGRIA GOIBURU.		

EXTRACTO DE LA DESCRIPCION

Se describe un aparato para seleccionar automáticamente una unidad de una multiplicidad de unidades de memoria principales que contienen una serie de direcciones que incluye las direcciones de los datos a los cuales se desea obtener acceso. La capacidad de almacenado de cada unidad de almacenado se compara simultáneamente con una parte de la dirección de memoria indicativa de la información a la cual se desea obtener acceso para determinar si la dirección de memoria es superior, inferior, o igual a la capacidad de almacenado de cualquier unidad de almacenado de memorias. Si la dirección de memoria es superior a la capacidad de una unidad de almacenado de memoria dada pero inferior o igual a la capacidad de almacenado de la siguiente unidad de almacenado de memorias adyacente, se elige automáticamente esta unidad en respuesta a la dirección completa de la memoria.

ANTECEDENTES DEL INVENTO

Numerosos sistemas de tratamiento de la información actuales tienen la posibilidad de incrementar la capacidad de almacenado de la memoria principal cuando es necesario o conveniente disponer de una mayor capacidad de almacenado. Una manera de obtener este resultado consiste en añadir de manera modular unidades de almacenado de memoria separadas. Un sistema de tratamiento de la información puede, por consiguiente, tener una memoria principal que incluye una multiplicidad de unidades de almacenado de memoria en lugar de una sola memoria de gran capacidad.

Un problema inherente que está asociado con una gran capacidad de almacenado es el tiempo de acceso relativamente lento en comparación con el tiempo de ciclado de otras partes

de la calculadora tal como la unidad de tratamiento central.

Un método para reducir sustancialmente esta dificultad consiste en emplear un elemento de memoria intermedia situado entre la memoria principal y las unidades centrales y los aparatos E/S (entrada/salida). Dicha disposición disminuye mucho el tiempo de acceso aparente a la memoria principal. El principio que permite esta reducción aparente en el tiempo de acceso es la gran probabilidad de que la información que se trata corrientemente y que está almacenada en la memoria intermedia sea utilizada de nuevo. Esto reduce mucho los casos en los cuales la información ha de ser extraída de la memoria principal y por tanto se acelera el tiempo de ciclo de la memoria principal.

Cuando la memoria principal está constituida por una multiplicidad de unidades de almacenado de memoria, el invento elige automáticamente la unidad de almacenado de memoria particular que contiene la serie de direcciones expresadas en la dirección de memoria principal. Además, el invento mantiene un inventario del número de unidades de almacenado principal, y la cantidad de información contenida en cada unidad de almacenado principal (MSU), y formula automáticamente una serie de direccionamiento contigua a partir del dispositivo de almacenado disponible cuando se cambia la configuración.

El invento puede ser utilizado independientemente, es decir como solo elemento intermedio entre la memoria principal y las unidades centrales y las unidades E/S de un sistema de tratamiento de la información. Sin embargo, se ha comprobado que, puede ser utilizado ventajosamente conjuntamente con un elemento intermedio de almacenado a gran ve-

locidad. El invento mejora mucho este elemento intermedio a gran velocidad facilitando sustancialmente el problema de la selección de la unidad de almacenado principal adecuada.

#### OBJETOS DEL INVENTO

5           Un objeto del invento consiste en proporcionar un sistema para seleccionar la unidad de almacenado de memoria de una pluralidad de unidades de almacenado de memoria que incluye la dirección de una dirección de memoria principal particular.

10           Otro objeto del invento consiste en mantener automáticamente una serie contigua de direcciones de almacenado formadas a partir de las unidades de almacenado principal disponible.

15           Otros objetos y muchas ventajas del invento podrán verse leyendo la siguiente descripción tomada conjuntamente con los dibujos que la acompañan y en los cuales:

La figura 1 ilustra bajo la forma de un diagrama en bloques un sistema de tratamiento de información típico que incorpora el invento;

20           La figura 2 ilustra bajo la forma de diagrama en bloques una representación general del presente invento;

25           Las figuras 3a y 3b, cuando están dispuestas para formar la figura 3, son un diagrama lógico que representa los circuitos contenidos en los bloques marcados MSUS en la figura 2,

La figura 4 es una tabla de verdad que ilustra los códigos utilizados para los tamaños de los bloques de dirección de cada unidad de almacenado principal.

#### DESCRIPCION DEL INVENTO

30           Haciendo ahora más particularmente referencia a la

figura 1, se representa en ésta un sistema de tratamiento de la información que utiliza el selector de unidades de almacenado de memoria (MSUS) 10 según el invento. El MSUS se representa conectado entre una memoria principal 11 que incluye una multiplicidad de unidades de almacenado de memoria y un elemento intermedio 12. El elemento intermedio 12 está conectado con una caja 13 que puede incluir una o varias unidades E/S o dispositivos periféricos y una caja 14 que puede incluir una o varias unidades centrales 14.

10 Aunque el MSUS 10 según el invento puede ser utilizado independientemente de un elemento intermedio, se describe conjuntamente con el elemento intermedio 12 ya que presenta la ventaja inherente a la utilización de un elemento intermedio y además, en una realización práctica, se utiliza conjuntamente con un elemento intermedio.

El elemento intermedio 12 puede ser similar al que se describe en la solicitud de patente S.M. 522.533 para Unidad Intermedia de Memoria del 11 de Noviembre de 1974, que es un elemento intermedio de alta velocidad que facilita el almacenado provisional limitado de los bloques de información normalmente acumulados en una memoria principal de velocidad relativamente lenta. Como se explica más claramente en la solicitud de patente mencionada más arriba, el elemento intermedio permite obtener un incremento sustancial de la velocidad aparente de la memoria principal utilizando el hecho de que la información de tratamiento que se almacena corrientemente en el elemento intermedio presenta una probabilidad extremadamente elevada de ser reutilizada.

El invento es útil cuando la memoria principal incluye una multiplicidad de unidades de almacenado de memoria

(MSUS) en las cuales la MSUS que contiene la dirección en el almacén principal ha de ser elegida automáticamente.

Para la descripción del invento, se ha elegido en 8 el número de las MSU que constituyen la memoria principal, y cada una de estas 8 MSU tienen una capacidad de almacenamiento de 262K 524 o 1048K número de palabras. La capacidad de almacenado total es por tanto aproximadamente de 8.000.000 palabras. El número de bitios necesario en cada dirección de memoria principal depende del número de los emplazamientos de dirección en el dispositivo de almacenado principal. Para el número máximo de palabras elegido en el presente ejemplo, cada dirección tiene 23 bitios. Los 5 bitios superiores de la dirección de memoria principal determinan el número de grupos de bloque de dirección que tienen cada uno una capacidad de 262K. En otras palabras, los 5 bitios pueden tener valores desde 0 hasta 31, cada unidad de los cuales indica un bloque de dirección de 262K palabras, o un total de 32 x 262 bloques, o sea 8.384.000 palabras. De este modo, ya que cada MSU puede almacenar 0, 262, 524 o 1048K palabras, puede decirse que cada una tiene una capacidad de 0, 1, 2 ó 4 grupos de 262K palabras. Se utiliza este criterio en la selección de la MSU adecuada como se explicará más detalladamente en lo que sigue.

La figura 2 ilustra bajo la forma de un diagrama en bloques una representación del invento. Se representan las relaciones lógicas mutuas entre las 8 unidades electoras de memoria individuales marcadas MSUS 0 a MSUS 7 así como entre las unidades de almacenado de memoria marcadas MSU 0 a MSU 7.

Como puede verse en la figura 2, cada una de las MSUS

0 a MSUS 7 itene una línea de entrada marcada capacidad MSU 0 a capacidad MSU 7, respectivamente. Cada línea de entrada proporciona a su MSUS un código que indica la capacidad de la MSU respectiva. La entrada de capacidad puede representar 0, 262K, 524K o 1048K, según la capacidad de la MSU particular o del grado de capacidad que la MSU utiliza realmente. Por medio de conmutadores de cuadro y de hilos de conexión internos (no representados) que se eligen por cada MSU, es posible cambiar la capacidad efectiva y real de cada MSU desde 0 hasta 262K, o 524K o 1048K. Cuando la entrada de capacidad es 0, puede verse que la MSU en cuestión está eficazmente eliminada del dispositivo de almacenado principal. Además, aunque los incrementos de capacidad 0, 262K, 524K y 1048K han sido elegidos a título explicativo, puede verse claramente que estos incrementos pueden tener cualquier valor deseado cuyo límite depende solamente de la capacidad de las MSU individuales.

Cada MSU 0-7 tiene una línea de entrada que transmite los 18 bitios inferiores de la dirección de almacenado principal de 23 bitios. Como se ha dicho más arriba, el número de bitios en la dirección de almacenado principal es función de la capacidad total o del número total de los emplazamientos de dirección en el dispositivo de almacenado principal. El número de bitios en la dirección de almacenado principal, por tanto, puede ser más o menos importante según el número de emplazamientos de dirección en el dispositivo de almacenado principal. Los 18 bitios que llegan hasta cada MSU 0-7 permiten el acceso en emplazamiento de dirección en el interior de un bloque de 262K palabras en la MSU elegida por medio del invento.

Los 5 bitios superiores de la dirección de memoria principal se aplican a cada una de las MSUS 0 a MSUS 7. Estos 5 bitios pueden tener un valor incluido entre 00000 a 11111 o un valor expresado en notación decimal, incluido entre 0 y 31. Cada unidad (por ejemplo, "1") representa un bloque de 262K palabras. Por tanto, existe un total de 32 x 262K, o aproximadamente, 8.000.000 palabras. Como se indicará más adelante, las entradas de capacidad MSU 0-7 pueden tener valores de 0, 1, 2 ó 3, los cuales, expresados en código binario son 00, 01, 10 ó 11. Esto corresponde a una capacidad de 0, 1, 2 ó 4 bloques de 262K (0, 262K, 524K o 1048K).

Cada una de las MSUS 0-7 aplica una entrada a cada una de las MSU 0-7 respectivamente. Cada MSUS aplica una entrada a la siguiente MSUS adyacente.

Para permitir un entendimiento general del invento, se considerarán las MSUS 0 a MSUS 7 como circuitos restadores y circuitos de comparación de límite. Los 5 bitios superiores de la dirección de almacenado principal, indican, como se ha dicho más arriba, cualquiera de los 0 a 31 bloques de 262K palabras, mientras que cada entrada de capacidad de MSU indica 0, 1, 2 ó 4 bloques de 262K palabras.

Si la entrada de 5 bitios es un 6, es decir, indicativa de 6 bloques de 262K palabras y si la capacidad de cada MSU es de 4, es decir si cada una tiene una capacidad de almacenado de 1048K palabras, se selecciona la MSU 1. Para obtener esta selección, la capacidad de entrada 4 aplicada a la entrada de capacidad de la MSUS 0 se sustrae de la capacidad de entrada 6, lo que da el resultado de 2. Este 2 se aplica a la MSUS 1 y la entrada de capacidad de la MSUS 1 se sustrae lo que da como resultado -2. Ya que 6 es superior a

4 pero inferior a 8, se elige la MSU 1.

En lo que sigue se dará un ejemplo utilizando una dirección real y haciendo variar las capacidades de las MSU.

Se toma una dirección de almacenado principal de  
 5 800K y una capacidad de 262K para la MSU 0, una capacidad  
 de 0 para la MSU 1 (que deja efectivamente fuera de cir-  
 cuito la MSU1), una capacidad de 524K para la MSU 2, una  
 capacidad de 262K para la MSU3, y una capacidad de 1048K  
 10 para cada una de las demás MSU. Se sustrae la capacidad de  
 la MSU 0 de 800K es decir que se efectúa la operación  $800K$   
 $- 262K = 538K$ . Se sustrae la capacidad de la MSU 1 de  $538K$ ,  
 es decir que se efectúa la operación  $538K - 0 = 538K$ . Se  
 sustrae la capacidad de la MSU 2 de  $538K$  efectuándose la  
 15 operación  $538K - 524K = 14K$ . Se sustrae de  $14K$  la capacidad  
 de la MSU 3, efectuándose la operación  $14K - 262K = -248K$ .  
 Ya que este último resultado es inferior a 0 y que el último  
 resultado precedente es superior a 0, se elige la unidad de  
 almacenado de memoria MSU 3.

20 Haciendo referencia a las figuras 3a y 3b, se repre-  
 senta en éstas una ilustración más detallada del invento. Ca-  
 da selector de unidad de almacenado de memoria MSUS 0 a MSUS  
 7 contiene los mismos componentes. Ya que cada MSUS es idé-  
 ntico a los demás, se representan detalladamente solamente los  
 25 primeros 4 MSUS 0 a MSUS 3, para explicar el invento.

Con el objeto de describir el funcionamiento del in-  
 vento, la numeración octal constituye un medio sencillo para  
 expresar el código binario. Por ejemplo, el equivalente oc-  
 tal del número binario 11111 es 37. Un procedimiento sencii-  
 30 llo para pasar del código binario al código octal consiste en

reunir los bitios en grupos de 3 y transformar cada grupo en su equivalente decimal empezando con el bitio menos significativo (situado más a la derecha). Por ejemplo, para 11111, los 3 bitios 11111 de la derecha son iguales a 7, los siguientes 3 bitios son 011, o 3. Por tanto, el equivalente octal es 37. Para el número binario 10001, el equivalente octal es 21. Si se efectúa este ejercicio con un gran número de número binarios, se observará que no existen 8 ni 9 en ninguno de los números octales. Esto se debe a que los números octales están formados por un sistema con base 8. Por ejemplo, puede verse fácilmente que en un grupo de 3 bitios tiene un equivalente decimal de 8 o 9. Ya que se utilizan solamente los 5 bitios superiores de la dirección de memoria para la selección de la MSU, se ha descrito solamente la numeración octal para números de 5 bitios.

En las figuras 3a y 3b se representan los componentes de cada uno de los 4 MSUS así como las interconexiones entre los componentes de los MSUS.

El MSUS 0 incluye un decodificador 20 de capacidad de MSU, un registro de límite 30, un sumador 40, un restador 50, un comparador de límite 60, una puerta AND 70 y un flip-flop 80.

La MSU 1 incluye un decodificador 21 de capacidad de MSU, un registro de límite 31, un sumador 41, un restador 51, un comparador de límite 61, una puerta AND 71 y un flip-flop 81.

El MSUS 2 incluye un decodificador 22 de capacidad de MSU, un registro de límite 32, un sumador 42, un restador 52, un comparador de límite 62, una puerta AND 72 y un flip-flop 82.

El MSUS 3 incluye un decodificador 23 de capacidad de MSU, un registro de límite 33, un sumador 43, un restador 53, un comparador de límite 63, una puerta AND 73 y un flip-flop 83.

5            Los MSUS 4 a 7 se representan en forma de bloques, pero cada uno de ellos contiene componentes idénticos a los que están contenidos en los MSUS 0 a 3.

10           Cada uno de los decodificadores 20, 21, 22 y 23 tienen un lado de entrada dotado de 2 líneas de entrada para la introducción de la capacidad de su MSU asociada que se utiliza. Este valor se introduce por medio de un código de 2 bits. Como se ve en la tabla de la figura 4, el número binario 11 es indicativo de un valor de capacidad de 1048K palabras, lo que significa que si se introduce un código de este tipo en  
15           un decodificador, la MSU asociada tiene su capacidad de almacenamiento total en servicio. Si la entrada de valor de capacidad es la cifra binaria 10, entonces la mitad de las 524K palabras están en servicio por la MSU asociada. De la misma manera, la MSU asociada tiene solamente la cuarta parte  
20           de su capacidad de almacenamiento, o 262K palabras, en servicio cuando la entrada tiene el valor binario 01. El código 00 indica que no se utiliza ninguna capacidad de almacenamiento o, en otras palabras, que la MSU asociada está efectivamente fuera de servicio.

25           Evidentemente, la capacidad de cada MSU y las entradas de valor de capacidad pueden ser más o menos importantes y las capacidades así como los incrementos de las mismas han sido elegidas para facilitar la descripción del modo de realización preferido.

30           Los valores de capacidad introducidos en cada decodi

ficador 20, 21, 22, 23 pueden obtenerse mediante una simple conmutación o un cambio de los hilos de conexión en cada MSU (no representado) o por medio de cualquier otro procedimiento que permite conectar cada una de las dos líneas de entrada con la combinación deseada de valores elevados y bajos.

En cualquier caso, cuando se ha aplicado un valor de capacidad a un decodificador, permanece sin cambiar hasta que el operario humano lo altere.

La entrada G o entrada de puerta ha de ser igualmente elevada para que el decodificador asociado funcione. Si la entrada G es baja, la MSU no está en servicio. La entrada G permanece igualmente sin cambiar y cuando ha sido ajustada por medio de los conmutadores del cuadro de mandos (no representado) por el operario humano, permanece en su estado alto o bajo hasta que sea cambiada manualmente. Naturalmente, la supresión de la entrada G podría efectuarse automáticamente en caso de fallo de una MSU.

Cada decodificador, si tiene una entrada de capacidad G (puerta), decodifica cada uno de los valores de capacidad de 2 bits en un código de 3 bits. Como se ve más fácilmente en la figura 4, una entrada 00 se decodifica en 000 o en el número octal 0, una entrada 01 se decodifica en 001 o en el número octal 1, una entrada 10 se decodifica en 010 o en el número octal 2, y una entrada 11 se decodifica en un número octal 4.

Estas cantidades de 3 bits de los decodificadores 20, 21, 22 y 23 se aplican como sumandos al lado de sumandos (AD) de los sumadores 40, 41, 42 y 43, respectivamente.

Los registros de límite 30, 31, 32 y 33 tienen cada

uno un lado de entrada de información (D) y un lado de entrada de ritmo (C).

El registro de límite 30 recibe una entrada en su lado de información, cuyo valor es inferior en una unidad al valor inicial de la serie de direcciones. Este valor depende del valor inicial de la serie de emplazamientos de dirección en la MSU combinada. Por ejemplo si la MSU combinada contenía una serie de emplazamientos de dirección desde 8.000K hasta 16.000K el valor inicial tiene un valor determinado por esta serie inferior en una unidad a 8.000.000. En la presente descripción, ya que la serie de emplazamientos de dirección en la MSU combinada tiene un punto inicial de 0 hasta un máximo de 8.000K palabras, el valor de entrada aplicado a la porción de información del registro de límite 30 es -1.

Las salidas procedentes de los sumadores 40, 41 y 42 están conectadas con el lado de información (D) de los registros de límites 31, 32 y 33 respectivamente.

Las salidas de los registros de límite 30, 31, 32 y 33 están conectadas respectivamente con el lado de primer sumando (AU) de los sumadores 40, 41, 42 y 43. Además, las salidas procedentes de los registros de límite 30, 31, 32 y 33 están conectadas con el lado de sustraendos de los restadores 50, 51, 52 y 53, respectivamente.

Los lados de ritmo de cada uno de los registros de límite 30, 31, 32 y 33 están conectados con una fuente de impulsos de ritmo (no representada). Esta fuente de ritmo no es una fuente de impulsos recurrentes que se activa solamente cuando un conmutador del cuadro (no representado) está en la posición RELEASE (LIBRE), lo que permite cambiar

la configuración cuando se introduce inicialmente un valor de capacidad de MSU en un decodificador o cuando se cambia un valor de capacidad ya introducido. Permanece activado durante un tiempo suficientemente largo para que la formación que se acaba de introducir atraviese los decodificadores y sea almacenada estáticamente en los registros de límite, los sumadores y los restadores de cada uno de los MSUS, y hasta que el conmutador del cuadro se sitúe en la posición LOCK (BLOQUEO), desactivando así el generador de ritmo e impidiendo cualquier cambio ulterior en la configuración.

El lado de minuendos de cada restador 50, 51, 52 y 53 está conectado con la línea que lleva los 5 bits superiores de la dirección de memoria principal.

La salida de cada restador 50, 51, 52 y 53 está conectada con los comparadores de límite 60, 61, 62 y 63 respectivamente.

Los comparadores de límite 60 a 63 pueden ser de cualquier construcción bien conocida y las salidas que facilitan dependen de si sus entradas son superiores, inferiores o iguales a cero. Salvo el comparador de límite 60, cada comparador de límite facilita dos salidas basadas sobre el hecho de que su entrada es superior o inferior o igual a cero. La salida inferior o igual a cero indicada por el signo  $\leq$  inferior o igual a la salida del comparador 60 no se utiliza en el presente invento, por un motivo que podrá verse claramente en la siguiente descripción del funcionamiento del invento.

Las salidas superiores a ( $>$ ) de los comparadores de límite 60, 61, 62 y 63 están conectadas respectivamente con una entrada de las puertas AND 70, 71, 72 y 73. Las salidas inferiores o iguales a ( $\leq$ ) procedentes de los compa

radadores de límite 61, 62, 63 constituyen las otras entradas aplicadas a las puertas AND 70, 71 y 72. Se representa la misma entrada procedente del MSUS 4 solamente bajo la forma de una línea a partir del bloque representativo del MSUS 4.

Las puertas AND 70, 71, 72 y 73 facilitan cada una las entradas que se aplican al lado de información (D) de los flip-flop 80, 81, 82 y 83, respectivamente. El lado de ritmo (C) de cada uno de los flip-flop 80, 81, 82 y 83 está conectado en común a una fuente de ritmo (no representada) que proporciona un impulso de ritmo por cada nueva dirección que se produce en el dispositivo de almacenado principal. Esto produce la sincronización del flip-flop que recibe un impulso de entrada de información a partir de su puerta AND asociada para realizar una solicitud o una selección de MSU.

Como se ha dicho más arriba, la línea que transmite los 5 bitios superiores de la dirección de memoria principal de 23 bitios se representa en las figuras 3a y 3b conectada con el lado de minuendos de cada uno de los restadores 50, 51, 52 y 53. Está igualmente conectada de la misma manera con los restadores de los MSUS 4 a 7 que no se representan como se ha indicado más arriba para acortar la descripción.

La parte del conductor de direcciones de memoria que lleva los otros 18 bitios de la dirección completa no se representa ya que no forma parte del invento que trata solamente de la selección de las MSU. Sin embargo, se observará que cuando se ha elegido una MSU adecuada, el resto de la dirección facilita el acceso al emplazamiento de memoria adecuado en la MSU elegida. La selección de la MSU apropiada y el acceso a un emplazamiento de dirección se efectúan

simultáneamente.

La manera con la cual el invento funciona para elegir las MSU se describe en lo que sigue.

Como se ha dicho anteriormente, el lado de valores de cada decodificador  $2^0$  a 23 tiene 2 líneas de entrada por medio de las cuales se introduce la cantidad de información que ha de ser utilizada por cada MSU. La capacidad de almacenado utilizada puede ser de 0, 262K, 524K, o 1048K palabras, y en estos casos el código utilizado en las líneas de dos entradas es de 00, 01, 10 ó 11, respectivamente. En la figura 4 se ve el resultado de la decodificación, es decir 00 = 000 = número octal cero; 01 = 001 = número octal 2; 10 = 100 = número octal 4.

Los 5 bits superiores del conductor de dirección de MSU que se introducen por cada nueva dirección en el lado de minuendos de cada restador 50, 51, 52, 53 y de los demás (no representados) puede variar entre 00000, o el número octal cero, hasta 11111, o el número octal 37.

Para llevar a efecto la función según el invento, se introduce el valor inicial en el lado de información del registro de límite 30. En la presente descripción, este valor es -1 que representa una serie de direcciones empezando en 0. Sin embargo, como se ha dicho más arriba, este valor podría ser diferente según el valor inicial de la serie de emplazamientos de dirección en el dispositivo de almacenamiento principal.

Cuando un impulso de ritmo aparece en la línea de entrada del lado de ritmo de cada uno de los registros de límite 30, 31, 32, 33 la información contenida en cada uno de los decodificadores 20, 21, 22 y 23 fluye hasta el lado de

sumando de los sumadores 40, 41, 42 y 43, respectivamente.

Por otra parte, el valor inicial de registro de límite 30 fluye hasta el lado de primer sumando del sumador 40 y el lado de sustraendo del restador 50. Al mismo tiempo, la información sumada en el sumador 40 atraviesa el registro de límite 31 y llega al lado del primer sumando del sumador 41 y al lado del sustraendo del restador 51. De la misma manera, los datos sumados a partir del sumador 41 atraviesan el registro de límite 32 llegando al lado del primer sumando del sumador 42 y al lado del sustraendo del restador 52. De manera idéntica los datos sumados en el sumador 42 atraviesan el registro de límite 33 llegando al sumador 43 y al restador 53. Los datos procedentes del sumador 43 atraviesan el registro de límite (no representado) del MSU 4, etc.

Los datos mencionados más arriba necesitan para su circulación un cierto recado de tiempo pero esta circulación se efectúa en un número limitado de impulsos de ritmo después de lo cual el generador de ritmo puede ser desconectado. Cada vez que el valor de capacidad cambia en la entrada de valores de uno cualquiera o de varios de los decodificadores, es preciso energizar de nuevo el generador de ritmo para permitir que cada sumador alcance su estado estable.

Después de completarse la circulación de los datos, cada sumador 40, 41, 42 y 43 contiene una suma registrada que permanece sin cambiar. La entrada aplicada al lado de sustraendo de cada restador es igualmente estática y el sistema está dispuesto para seleccionar la MSU cuando los 5 bits superiores de cada dirección aparecen en el lado de minuendo de cada uno de los restadores.

El valor sumado en cada sumador depende naturalmente

del valor inicial (en este caso -1) y del valor de la capacidad de la MSU introducida en cada decodificador.

Se utilizarán ahora varios ejemplos de diferentes valores de capacidad para ilustrar más completamente el funcionamiento del invento. Estos valores así como los valores de dirección de MSU se mantendrán en una gama tal que sean suficientes para la explicación solamente las MSU que se describen detalladamente. Sin embargo se entenderá que el invento funciona con series de hasta el número octal 37 en el presente modo de realización y hasta números superiores si se añaden más MSU.

Se supondrá que la capacidad introducida en cada decodificador 20, 21, 22 y 23 es 01. También se supondrá que cada uno de los decodificadores tiene una tensión elevada en el lado de puerta indicando que todas las MSU están en servicio. Sin embargo, el valor de entrada de 01, significa que cada MSU tiene en servicio solamente la cuarta parte de su capacidad total de almacenamiento de 262K palabras. Se observará que mientras que una parte de las capacidades de los MSU están en servicio, la capacidad restante podrá ser añadida más tarde.

El sumando de cada sumador 40, 41, 42 y 43 tiene una entrada octal 1 y por tanto la suma que sale del sumador 41 es el número octal 1. Por consiguiente, el primer sumando del sumador 42 tiene una entrada octal 1 que hace que su salida sumada sea el número octal 2.

Los lados de sustraendo de cada restador 5<sup>0</sup>, 51, 52 y 53 tienen entradas octal -1 octal 0, octal 1 y octal 2.

Se supondrá ahora que los 5 bitios superiores en una dirección que aparecen en el lado de minuendo de cada restador

50, 51, 52 y 53 son el equivalente del número octal 1. Esto significa que la entrada al comparador 60 es un número octal 2, es decir  $1 - (-1) = 2$ . La entrada al comparador 61 es un número octal 1, es decir  $1 - 0$ . La entrada al comparador 62 es un número octal 0, es decir  $1 - 1$ . La entrada al comparador 63 es el número octal -1, es decir  $1 - 2 = 0$ .

Ahora bien, ya que la entrada aplicada al comparador 60 es un número octal 2 superior a 0, la puerta AND 70 recibe una entrada a partir del comparador 60 porque 2 es superior a 0. Ya que la entrada al comparador 61 es un número octal 1 superior a 0, la puerta AND 71 recibe una tensión de entrada. Sin embargo la puerta AND 70 no recibe una segunda entrada ya que 1 no es inferior o igual a 0. Por consiguiente, el flip-flop 80 no recibe ninguna entrada a partir de la puerta AND 70.

Sin embargo, la entrada aplicada al comparador 62 es 0 a partir del restador 52. Ya que esta entrada es inferior o igual a 0, la puerta AND 71 recibe una entrada procedente del comparador 62. Dado que la puerta AND 71 recibe ahora 2 entradas, es decir una entrada a partir del comparador 61 y una entrada a partir del comparador 62, aplica una tensión de salida al flip-flop 81. Ya que cada nueva dirección introducida en la memoria principal está acompañada por un impulso de ritmo aplicado al lado de ritmo de cada uno de los flip-flop 80 a 83, el flip-flop 81 aplica una demanda a la MSU 1 que elige la MSU a la cual, puede acceder la dirección de memoria cuyos 5 bitios de orden más elevado tienen en este caso un valor de 1.

Para ilustrar más completamente el funcionamiento del invento, los valores de capacidad introducidos en cada

decodificador serán cambiados. El cambio en cuestión es realizado realmente a mano en el cuadro por un operario que conoce la MSU que está en servicio, o, de manera más práctica, la MSU que está asignada realmente a esta aplicación.

5           Para este ejemplo se supondrá que la entrada del valor de capacidad aplicada al decodificador 20 es el código de 2 bitios 11 equivalente a 1048K palabras o en numeración octal, el número 4.

10           La entrada de valor de capacidad que se aplica al decodificador 21 es el código de 2 bitios 00 que significa que la MSU no está en servicio ni asignada a una aplicación particular. El equivalente octal de este código es 0. Se observará que la misma entrada 0 puede producirse si la entrada de puerta del decodificador 21 no tiene un valor elevado. Es  
15           to puede ocurrir si la MSU involucrada se ha deteriorado o si por cualquier otro motivo está fuera de servicio. En tal caso, la MSU asociada será inútil cualquiera que sea el valor de capacidad introducido en el decodificador asociado.

20           El valor de capacidad introducido en el decodificador 22 es el código de 2 bitios 10 de numeración octal 2, equivalente a 524 K palabras.

          El valor de capacidad introducido en el decodificador 23 es el código de 2 bitios 01 o número octal 1, equivalente a 262K palabras.

25           El valor inicial del registro de límite 30 es todavía -1.

          Ya que existe un cambio en el valor de la capacidad, es preciso energizar el generador de impulsos de ritmo que se aplican al lado de ritmo de cada registro de límite 30,  
30           31, 32 y 33 hasta que las sumas registradas en cada sumador

sean completas y estáticas y que los sustraendos registrados en cada restador sean igualmente estáticos.

Supongamos ahora que los 5 bits superiores de una dirección que aparece en el conductor de dirección de MSU es el número octal 5.

Sin repetir la explicación detallada que antecede, está claro que la entrada aplicada al lado de sustraendo del restador 50 es -1. La salida sumada del sumador 40 es el número octal 3 y por tanto la entrada de sustraendo aplicada al restador 51 es el número 3. La salida sumada del sumador 41 es igualmente 3 porque la entrada de capacidad aplicada al decodificador 21 era 0 y por tanto la entrada de sustraendo aplicada al restador 52 es el número octal 3.

Sin embargo, la salida sumada del sumador 42 es el número octal 5, y por tanto la entrada de sustraendo aplicada al restador 53 es 5.

La entrada al comparador 60 a partir del restador 50 es el número octal 6 que es superior a 0, y la puerta AND 70 recibe una entrada a partir del comparador 60.

La puerta AND 70 no recibe una entrada a partir del comparador 61, ya que la entrada aplicada al comparador 61 es 2, número todavía superior a 0. Por tanto, la puerta AND 70 no presenta tensión de salida.

El comparador 61 proporciona una entrada a la puerta AND 71 porque su entrada procedente del restador 61 es el número octal 2 el cual es superior a 0.

El comparador 62 cuya entrada procedente del restador 52 es 2 debido al valor de capacidad 0 procedente del decodificador 21, no aplica ninguna entrada a la puerta AND 71. Por tanto, la puerta AND 71 no tiene tensión de salida. Sin

embargo, el comparador 62 aplica una entrada a la puerta AND 72 puesto que su entrada de número octal 2 es superior a 0.

El restador 53 con una entrada de sustraendo octal 5 y una entrada de minuendo octal 5 proporciona una entrada 0 al comparador 63, es decir inferior o igual a 0. Por tanto, la puerta AND 72 recibe su segunda entrada y aplica una entrada al lado de información del flip-flop 82 el cual, al producirse un impulso de ritmo, proporciona un impulso de requisito a la MSU 2 que selecciona la MSU 2 para el acceso.

Ya que la entrada 0 al comparador 63 no es superior a cero, la puerta AND 73 no recibe entrada a partir del comparador 63. En resumen, el proceso de selección se termina cuando se ha elegido una MSU. El proceso de selección se hace en paralelo y no en serie, es decir que todos los límites se comparan simultáneamente y se elige una MSU en un solo impulso de ritmo.

Naturalmente, el valor de la dirección de almacenado principal más elevada está limitado por la capacidad total de la MSU en servicio. En el caso del ejemplo que se acaba de describir, una dirección cuyos 5 bits superiores es 11101 o el número octal 35, no habría emplazamiento de almacenado en ninguna de las MSU. Si ese caso se presentara en la práctica, constituiría un error de programación porque los emplazamientos de dirección reales para una aplicación no deben rebasar la capacidad de almacenado disponible. Si se necesitara una mayor capacidad de almacenado para una aplicación particular, sería preciso aumentar los valores de capacidad introducidos en cada decodificador o, en variante, añadir una cantidad suplementaria de MSU en el dispositivo de

almacenado principal.

Si el valor de capacidad introducido en cada codificador fuera el número octal 4, existiría una capacidad de almacenado en servicio suficiente para acomodar direcciones que tienen un grupo de 5 bits superiores de 11111, o el número octal 37. En este caso se elegiría la MSU 7.

Si el sistema de tratamiento de la información representado en la figura 1 incluye más unidades de almacenado de memoria, es decir hasta un total de 16 unidades, podría utilizarse un circuito idéntico al de la figura 3 para seleccionar las MSU 8 a 16 cambiando el valor inicial. Por ejemplo, si los emplazamientos de almacenado se extendieran desde 8.000.000 palabras hasta 16.000.000, la entrada de valor inicial en el registro de límite 30 sería el número octal 37. Se necesitaría un circuito separador idéntico al de la figura 3. En variante, podría añadirse un bitio suplementario a la dirección de almacenado principal para que se apliquen los 6 bits superiores de esta dirección al minuendo de cada restador 50 a 53.

Por tanto, si los 6 bits superiores de la dirección de almacenado principal fueran el número octal 44, es decir 100100 y si los valores de capacidad introducidos en cada decodificador fueran el número octal 2, el valor sumado procedente del sumador 40 sería  $37 + 2 = 41$  en numeración octal, el valor sumado procedente del sumador 41 sería el número octal 43 y el valor sumado procedente del sumador 42 sería el número octal 45.

Los valores octales en los lados de sustraendo de los restadores 50, 51, 52 y 53 serían respectivamente los números octales 37, 41, 43 y 45, respectivamente.

Ya que los 6 bitios superiores de la dirección están representados por el número octal 44, las entradas aplicadas a los comparadores 60, 61, 62 y 63 son  $44 - 37 = 5$ ,  $44 - 41 = 3$ ,  $44 - 43 = +1$  y  $44 - 45 = -1$ . Ya que 1 es superior a 0, el comparador 62 aplica una entrada a la puerta AND 72. Ya que -1 es inferior o igual a 0, el comparador 63 proporciona una entrada a la puerta AND 72. Ya que la puerta AND 72 tiene 2 entradas, se elige la MSU 2 (en realidad la MSU 10 ya que estamos trabajando con la MSU 0 a 16). Se ve fácilmente de que manera pueden elegirse otras MSU partiendo de los ejemplos anteriores. Además, pueden añadirse otras MSU al sistema general. Por cada grupo de 8 MSU añadidas, se necesitará un circuito separador idéntico al que se representa en la figura 3.

Si se descara obtener la extremidad de la serie de direcciones en un punto particular en lugar del comienzo de la serie, como en estos ejemplos, y utilizar los 5 bitios superiores de la dirección de almacenado principal como deflexión negativa (por ejemplo fijando el límite derecho en 8.000.000 para obtener una gama de 6.000.000 a 8.000.000 con 2.000.000 palabras almacenadas, o de 4.000.000 a 8.000.000 para almacenar 4.000.000 palabras, etc.) se utilizará una técnica de sustracción, es decir que se introducirá en los decodificadores el valor inicial menos cada valor de capacidad suficiente. En este caso, los sumadores serán en realidad restadores porque tendrán que añadir un número negativo a un número positivo.

TRADUCCION DE LAS INSCRIPCIONES DE LOS DIBUJOS ORIGINALES

Figura 4

30 A.- Capacidad de MSUN en binario

- B.- Significado del valor
- C.- MSUN en servicio
- D.- Resultado de la decodificación en binario
- E.- Código octal equivalente

5 Figura 2

- E.- Dirección de memoria principal
- G.- Capacidad de MSU 0
- H.- Capacidad de MSU 1
- I.- Capacidad de MSU 2
- 10 J.- Capacidad de MSU 3
- K.- Capacidad de MSU 4
- L.- Capacidad de MSU 5
- M.- Capacidad de MSU 6
- N.- Capacidad de MSU 7

15 Figura 3a

- O.- Dirección de MSU a todas las MSU
- P.- Requisito de MSU 0
- Q.- Requisito de MSU 1
- R.- Requisito de MSU 2
- 20 S.- Elemento intermedio de MSU
- T.- Dirección de MSU
- A1.- Dirección de MSU 22-18
- A2.- Iniciar requisito de MSU (ritmo)
- A3.- (Valor inicial)
- 25 A4.- Cambiar límites de MSU (ritmo)
- A5.- Capacidad de MSU 0
- A6.- MSU 0 en servicio
- A7.- Capacidad de MSU 1
- A8.- MSU 1 en servicio
- 30 A9.- Capacidad de MSU 2

A10.- MSU 2 en servicio

Figura 3b

- B1.- Requisito de MSU 3  
 B2.- Requisito de MSU 4  
 5 B3.- Requisito de MSU 5  
 B4.- Requisito de MSU 6  
 B5.- Requisito de MSU 7  
 B6.- Capacidad de MSU 3  
 B7.- MSU 3 en servicio  
 10 B8.- Capacidad de MSU 4  
 B9.- MSU 4 en servicio  
 B10.- Capacidad de MSU 5  
 B11.- MSU 5 en servicio  
 B12.- Capacidad de MSU 6  
 15 B13.- MSU 6 en servicio  
 B14.- Capacidad de MSU 7  
 B15.- MSU 7 en servicio

En resumen la presente patente de invención que se solicita deberá recaer en las siguientes

20 REIVINDICACIONES

1. Sistema destinado a ser utilizado en un equipo de tratamiento de la información para elegir una unidad entre una pluralidad de unidades de almacenado de memoria que constituye la memoria principal, que incluye en combinación:

25 Un selector de unidad de almacenado de memoria conectado con cada unidad de almacenado de memoria;

un primer dispositivo para proporcionar a cada selector de unidad de almacenado de memoria el valor de la capacidad de almacenado de su unidad de almacenado de memoria asociada;

30

un segundo dispositivo para proporcionar a cada uni  
 dad de almacenado de memoria una porción elegida de la di-  
 rección de memoria principal;

acumulando cada uno de dichos ~~se~~ectores de unidad  
 5 de almacenado de memoria su entrada de capacidad con la en-  
 trada de capacidad del selector de unidad de almacenado de  
 memoria precedente y comparando las acumulaciones resultan-  
 tes con dicha porción seleccionada de la dirección de memo-  
 ria principal para elegir una unidad de almacenado de memo-  
 10 ria cuando dicha porción seleccionada de la dirección de memo-  
 ria principal cae dentro de la gama de los valores de capa-  
 cidad acumulados en el selector de unidad de almacenado de  
 memoria asociado.

2. Sistema según la reivindicación 1, caracterizado  
 15 porque cada uno de dichos electores de unidad de almacenado  
 de memoria incluye:

un decodificador para recibir dicha entrada de valor  
 de capacidad;

un registro de límite;

20 un sumador conectado con dicho decodificador y con  
 dicho registro de límite que facilita a su salida la suma de  
 las salidas procedentes de dicho decodificador y de dicho  
 registro de límite;

un restador para recibir dicha porción selecciona-  
 25 da de dicha dirección de memoria principal y la salida proce-  
 dente de dicho registro de límite para proporcionar bajo la  
 forma de una tensión de salida la diferencia entre dicha por-  
 ción seleccionada de la dirección de memoria principal y la  
 salida procedente de dicho registro de límite.

30 3. Sistema según la reivindicación 2, caracterizado

porque:

dicho sumador de cada unidad de almacenado de memoria suministra su salida bajo la forma de una entrada aplicada al registro de límite de la siguiente unidad de almacenado de memoria sucesiva.

5

4. Sistema según la reivindicación 3, caracterizado porque cada uno de dichos selectores de unidad de almacenado de memoria incluye:

un comparador que tiene unos primero y segundo terminales de salida para proporcionar una tensión de salida en dicho primer terminal de salida cuando su entrada es superior a 0 y una salida en dicho segundo terminal de salida cuando su entrada es inferior o igual a 0;

10

un puerta AND;

15

estando cada puerta AND conectada con dicho primer terminal de salida de cada uno de dichos comparadores y con dicho segundo terminal de salida del siguiente comparador sucesivo;

un flip-flop conectado con la salida de cada puerta AND;

20

estando cada uno de dichos flip-flops conectado con una unidad de almacenado de memoria correspondiente;

5. Sistema según la reivindicación 4, caracterizado porque:

cada uno de dichos decodificadores tiene dos terminales de entrada para recibir un código que indica la capacidad de almacenado en servicio por su unidad de almacenado de memoria asociada y un terminal de entrada de puerta para recibir una entrada indicativa de su unidad de almacenado de memoria asociada que está en servicio.

25

30

6. Sistema según la reivindicación 5, caracterizado

porque:

cada uno de dichos registros de límite tiene un lado de entrada de información y un lado de entrada de impulsos de ritmo;

5 un dispositivo de entrada al lado de entrada de información del registro de límite del primer selector de unidad de almacenado de memoria para introducir un valor inicial indicativo de la gama inicial de direcciones para las unidades de almacenado de memoria:

10 recibiendo cada uno de los demás registros de límite en su lado de información la salida del sumador en el precedente selector de unidad de almacenado de memoria;

15 un dispositivo para aplicar un impulso de ritmo al lado de cada uno de dichos registros de límite hasta que la información haya sido registrada estáticamente en cada registro de límite.

7. Sistema según la reivindicación 6, caracterizado porque:

20 cada uno de dichos sumadores incluye un lado de primer sumando conectado con la salida de su registro de límite respectivo y un lado de primer sumando conectado con la salida de su codificador respectivo.

8. sistema según la reivindicación 7, caracterizado porque:

25 cada uno de dichos restadores incluye un lado de entrada de minuendo conectado para recibir dicha porción seleccionada de la dirección de memoria principal y un lado de entrada de sustraendo conectado con la salida de su registro de límite respectivo.

30 9. Sistema según la reivindicación 8, caracterizado

porque:

5 cada uno de dichos flip-flops tiene un lado de entrada de información conectado con la salida de su puerta AND respectiva y un lado de entrada de impulsos de ritmo conectado con una fuente de impulsos de ritmo para aplicar un impulso de selección a su unidad de almacenamiento de memoria asociada cuando su puerta AND respectiva tiene una entrada procedente de dicho comparador y del siguiente comparador sucesivo.

10 10. Sistema según la reivindicación 9, caracterizado porque:

15 dicha porción seleccionada de la dirección de memoria principal es un número predeterminado de los bits más significativos de la dirección de memoria principal, indicativo de un número de bloques de dirección de memoria de un valor de capacidad predeterminado, y

20 la entrada de valor de capacidad aplicada a cada decodificador es un código binario de 2 bits indicativo del número de bloques de dirección de memoria de un valor de capacidad predeterminado en servicio por su unidad de almacenamiento de memoria asociada.

11. Sistema según la reivindicación 10, caracterizado porque:

25 cada vez que se cambia una o varias de las entradas de valor de decodificador, la entrada del lado de ritmo de cada registro de límite recibe un impulso de ritmo hasta que toda la información del registro de límite se haya estabilizado.

30 12. Se reivindica por último como objeto sobre el que ha de recaer la Patente de Invención que se solicita: SISTEMA

DESTINADO A SER UTILIZADO EN UN EQUIPO DE TRATAMIENTO DE LA  
INFORMACION.

Todo conforme queda descrito y reivindicado en  
la presente memoria descriptiva que consta de treinta y una  
páginas mecanografiadas y dibujos adjuntos.

5

Madrid, 12 julio 1.976

BERNARDO UNGRIA

P.P.



10

15

20

25

30

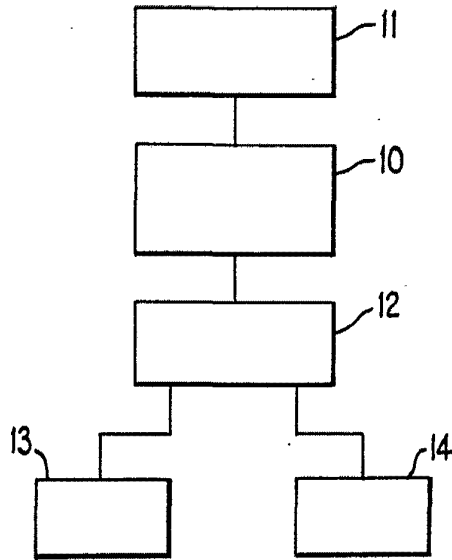


FIG.1

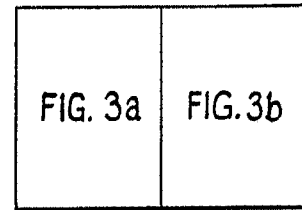


FIG.3

A	B	C	D	E
X	X		0002	0
00			000	0
01	262K		001	1
10	524K		010	2
11	1048K		100	4

FIG.4

ESCALA VARIABLE  
 Madrid, 12 julio 1.976  
 BERNARDO UNGRIA

P.P.  
*[Handwritten signature]*

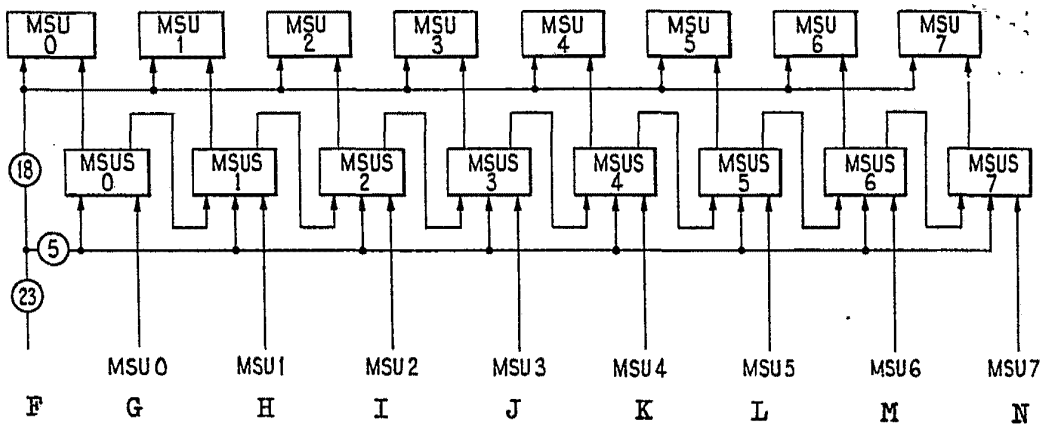


FIG.2

ESCALA VARIABLE  
Madrid, 12 julio 1.976  
BERNARDO UNGRIA  
p.p.

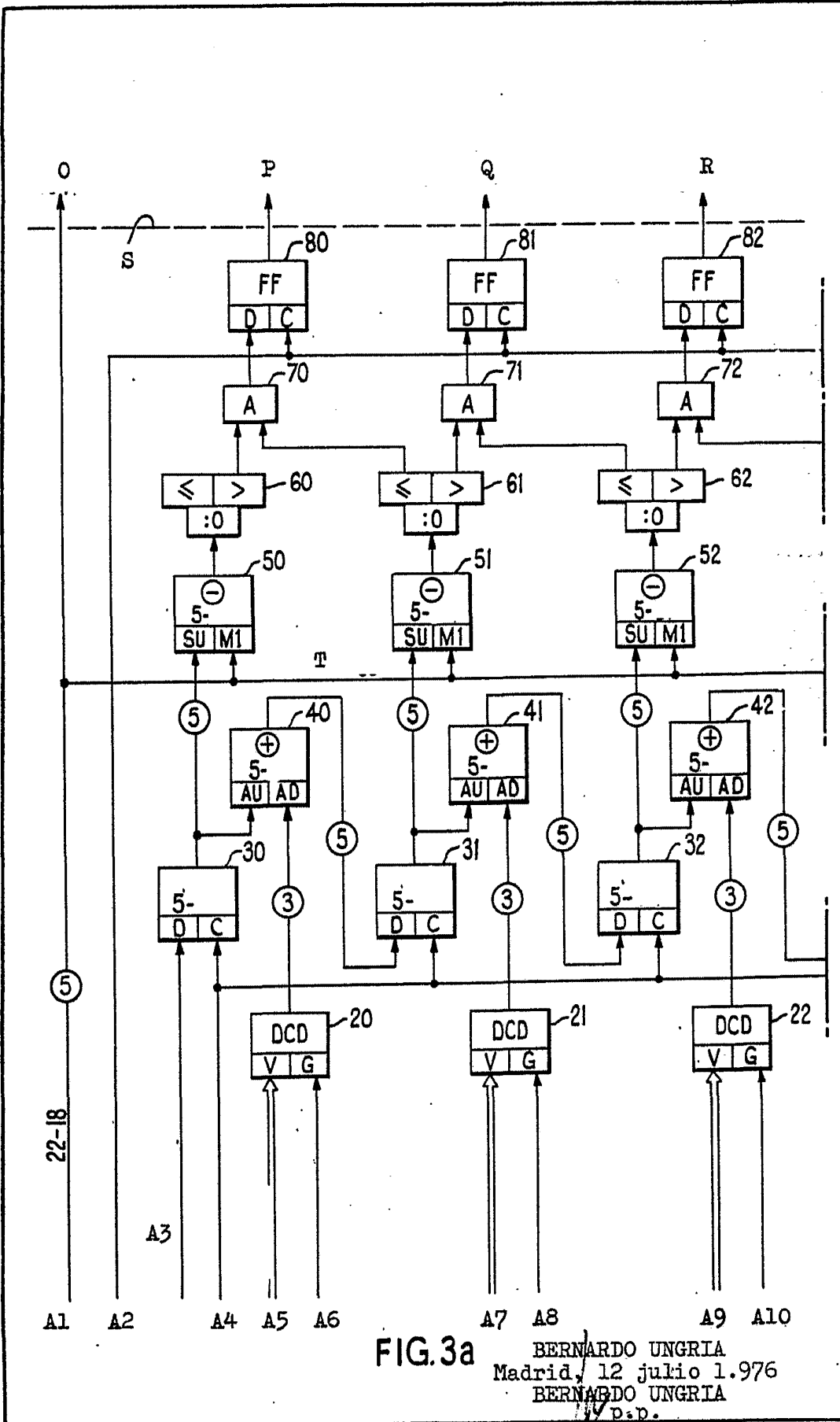


FIG. 3a

BERNARDO UNGRIA  
 Madrid, 12 julio 1.976  
 BERNARDO UNGRIA  
 p.p.

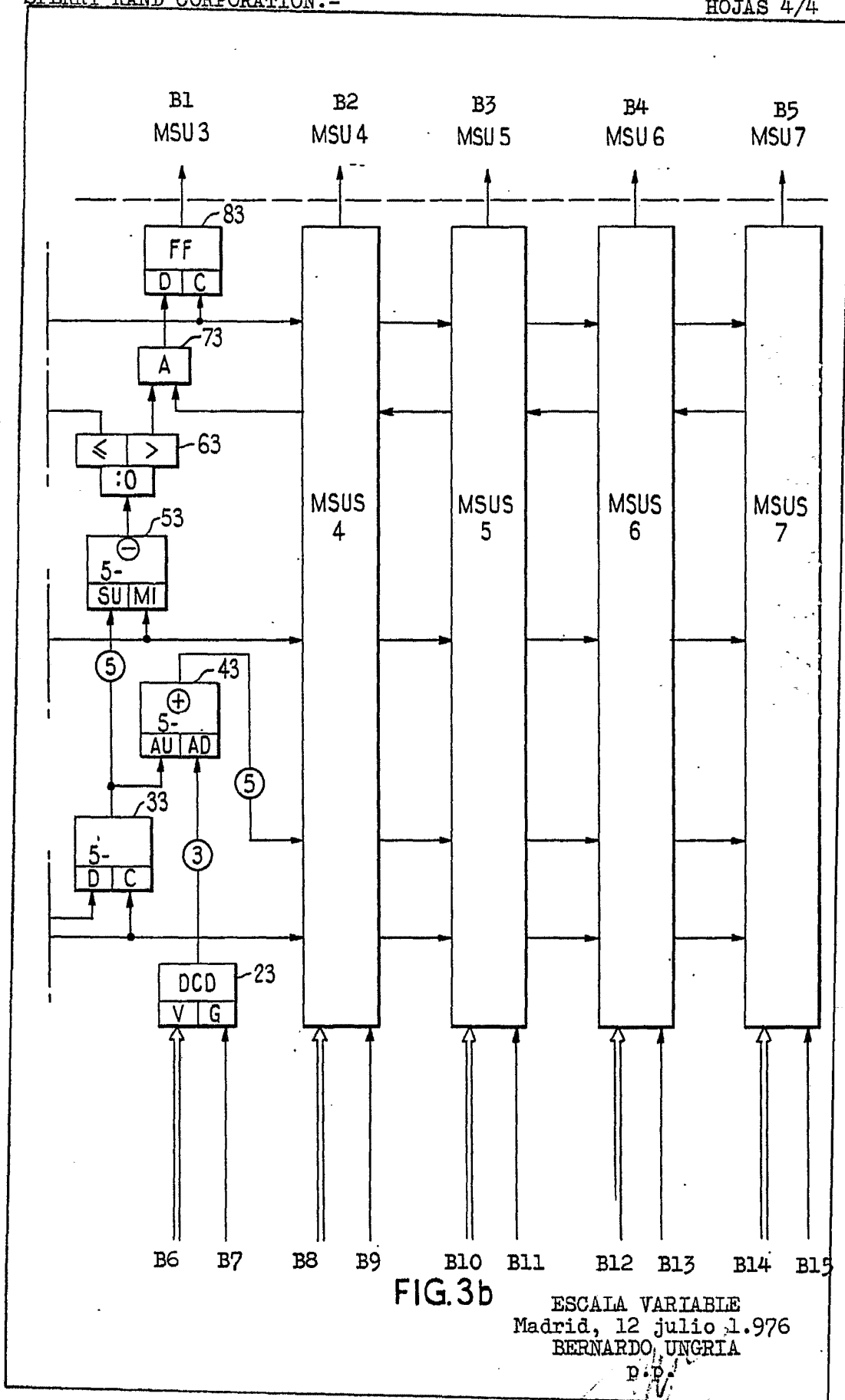


FIG.3b

ESCALA VARIABLE  
 Madrid, 12 julio 1.976  
 BERNARDO, UNGRIA

P.P.