

MINISTERIO DE INDUSTRIA
CENTRO DE LA PROPIEDAD INDUSTRIAL



19	ES	11	NUMERO	449035	19	A1
		21				
		22	FECHA DE PRESENTACION	18-6-1976		

PATENTE DE INVENCION

P.- 63.318
TH-CSF 4192/DES

30 PRIORIDADES:		
31 NUMERO	32 FECHA	33 PAIS
75/19409	20-6-75	Francia
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H03K; H04B	
64 TITULO DE LA INVENCION		
"DISPOSITIVO DESTINADO A CODIFICAR UNA SERIE DE SEÑALES ANALOGICAS"		
71 SOLICITANTE (S)		
THOMSON-CSF		
DOMICILIO DEL SOLICITANTE		
173, Bl. Haussmann, 75008 PARIS, Francia		
72 INVENTOR (ES)		
Gérard Lecardonnell, Pierre Gravez y René Marc Favre		
73 TITULAR (ES)		
74 REPRESENTANTE		
DON ALBERTO DE ELZABURU MARQUEZ		

El presente invento se refiere a un circuito de codificación utilizable en las transmisiones telefónicas del tipo M.I.C. (de modulación por impulsos codificados).

5 Se sabe que en este tipo de transmisiones, se trata de mejorar la relación "señal/ruido" a los niveles reducidos por una compresión de los niveles en la emisión según una ley predeterminada y por una expansión inversa en la recepción. Según las convenciones generales admitidas, la característica de codificación utilizada está constituida por 10 ocho segmentos rectilíneos (número 0 a 7 inclusive), cuya pendiente es multiplicada por un coeficiente igual a 2 cada vez que se pasa de un segmento al siguiente, salvo para los dos primeros segmentos (números 0 y 1) que corresponden a los niveles menores, cuya pendiente es idéntica; el número 15 de orden del segmento seleccionado es codificado en un código binario natural de tres cifras binarias (A, B, C). El segmento seleccionado es sustituido, a su vez, por una curva en escalones que definen 16 niveles de cuantificación distintos, siendo codificado luego el nivel retenido en un 20 código binario natural con cuatro cifras binarias (W, X, Y, Z). Finalmente, y habida cuenta de la cifra binaria de signo (S), la señal muestreada es representada por un código de ocho cifras binarias de la forma (S, A, B, C, W, X, Y, Z).

25 Se conocen varios dispositivos que permiten obtener tal representación codificada. Se citarán, en primer lugar, los codificadores del tipo "de recirculación", en los cuales el código (A, B, C), que define el segmento al cual pertenece el nivel de entrada, se obtiene por recuento de impulsos, comparando este nivel con una tensión de referencia 30

E_r y multiplicándolo sucesivamente por 2, tantas veces como sea necesario para alcanzar y rebasar E_r a la salida; en cuanto al código (W, X, Y, Z) que define la posición del nivel de entrada sobre el segmento seleccionado, se obtiene inscribiendo, en un registro de desplazamientos, una cifra binaria 1, si el nivel de salida es superior a E_r , y restándole E_r antes de doblar la diferencia o inscribiendo una cifra binaria 0 si el nivel de salida es inferior a E_r .

Se citarán igualmente los codificadores del tipo "paralelo", en los cuales el nivel de entrada a codificar es comparado con medios de umbral en progresión no lineal para la selección del segmento de la ley de compresión al cual pertenecen, es decir, del código (A, B, C), y luego con una serie de umbrales en progresión lineal alimentados a tensiones variables con el segmento seleccionado para la determinación del código (W, X, Y, Z). Estos codificadores son más rápidos que los primeros, pero también considerablemente más complejos y más costosos.

El circuito de codificación según el invento realiza la codificación del nivel de entrada en un tiempo igual, como máximo, al período de muestreo de las señales de baja frecuencia a transmitir, o sea 125 μ s, si la frecuencia de muestreo es de 8 KHz. Es, pues, un codificador relativamente lento, pero que presenta varias ventajas: por una parte, no es ya necesario, para determinar los elementos del código, aplicar a una u otra de los dos componentes a comparar (señal de entrada o tensión de referencia) un tratamiento preliminar cualquiera (multiplicación por dos o sustracción de los niveles), más o menos complejo;

- por otra parte, la diafonía entre vías es mínima;

- finalmente, el empleo de una velocidad de codificación relativamente lenta permite la utilización de componentes normalizados, especialmente de circuitos CMOS económicos.

5 Según una primera característica del invento, el nivel de tensión a codificar es comparado directamente con una tensión de referencia cuyas redes en función del tiempo definen sucesivamente los ocho segmentos lineales de la ley de compresión normalizada.

10 Según una segunda característica, el generador de rampas puede estar constituido por un circuito integrador que comprende una capacidad fija y una resistencia susceptible de tomar un valor variable, que disminuye en una mitad en el curso del paso de un segmento al siguiente, doblando así la pendiente del segmento precedente, salvo en el curso del paso del primer al segundo segmentos (en el orden de los niveles crecientes).

15 Según una tercera característica, el generador de rampas puede ser obtenido también cargando la capacidad precedente por medio de una corriente constante, generando así una rampa cuya pendiente -multiplicada por dos de un segmento al siguiente (con las mismas reservas que más arriba en lo que concierne a los dos primeros segmentos) - es mandada por una red de resistencias con células en L.

20 Según una cuarta característica, el signo de la muestra a codificar es determinado en el curso del disparo de cada nueva serie de rampas, aplicando a las dos entradas de un comparador, por una parte, la muestra a codificar; y por otra parte, el nivel 0 tomado por la tensión de referencia al comienzo del ciclo considerado.

25

30

Según una quinta característica, un conmutador-selector de puertas analógicas permite invertir el signo de la muestra a codificar, si esta última se muestra negativa, de modo que la comparación de la señal de nivel desconocida y de la señal de referencia recae siempre sobre los valores absolutos de las señales.

Se comprenderán mejor las características del invento, y otras además, haciendo referencia a los dibujos anejos:

- la figura 1 representa la característica de codificación utilizada;

- la figura 2 muestra, en forma de un esquema diagramático, el diagrama general de un codificador con n vías conforme al invento;

- la figura 3 representa una variante de realización del generador de rampas;

- la figura 4 muestra un modo de realización preferente de uno de los conmutadores-selectores de puertas analógicas adscrito a cada uno de las vías;

- la figura 5 precisa la constitución de un muestreador-bloqueador.

Se reconoce en la figura 1 la forma de la característica de codificación normalizada, con sus ocho segmentos. Las abscisas están divididas en intervalos de tiempos todos iguales entre sí, designados, respectivamente, por los valores enteros consecutivos de 0 inclusive (los niveles más bajos) a 7 inclusive (los niveles más elevados) y a los cuales corresponden, respectivamente, los segmentos S_0 , S_1 , S_2 , S_3 , S_4 , S_5 , S_6 y S_7 .

Las ordenadas están graduadas en niveles de tensión; estando designado el nivel máximo por V, se establecen fácil

mente los valores de los niveles al principio y al final de cada segmento:

	S_0	de 0	a $V/128$
	S_1	de $V/128$	a $V/64$
5	S_2	de $V/64$	a $V/32$
	S_3	de $V/32$	a $V/16$
	S_4	de $V/16$	a $V/8$
	S_5	de $V/8$	a $V/4$
	S_6	de $V/4$	a $V/2$
10	y S_7	de $V/2$	a V .

Una tensión de referencia conforme a la característica con ocho segmentos que acaba de ser descrita, puede ser generada por un generador que constituye una de las partes esenciales del codificador con n vías según el invento. La disposición general de tal codificador está dada, a título de ejemplo no limitativo, por la figura 2. El generador de tensión de referencia está constituido por un integrador que comprende un amplificador operacional 11 de reducida impedancia de salida, un condensador de integración 12 y un multiplexador 13 que puede conectar en serie con el condensador 12 una de las siete resistencias 14 cuyos valores aumentan en progresión geométrica de razón 2.

El amplificador operacional 11 comprende dos entradas 2. Una entrada (+) unida a la masa por medio de una resistencia 15 y una entrada (-) unida al punto de suma del integrador. Cuando el elemento 64 R del juego de resistencia 14 es conectado en este mismo punto, por medio del multiplexador 13, el integrador suministra en su salida una tensión E_1 que aumenta linealmente según la ley:

$$E_1 = \frac{-t \cdot (-V)}{64 RC}$$

donde t designa el instante considerado, $(-V)$ la tensión negativa aplicada en el extremo libre de la resistencia considerada y C la capacidad del condensador 12, que genera así el segmento 0 de la característica de codificación normalizada.

Si, en el instante t_1 de la figura 1, el multiplexador 13 es conmutado, conectando el mismo elemento 64 R al punto de suma del integrador, la señal de salida genera una tensión lineal de la forma:

$$E_1 = \frac{-t_1(V)}{64 RC} - \frac{(t - t_1)(-V)}{64 RC} = \frac{-t(-V)}{64 RC}$$

que corresponde al segmento 1 de la característica, después de la prolongación del segmento 0.

En el instante $t_2 = 2 t_1$ de la figura 1, el multiplexador 13 es conmutado de nuevo y conecta un elemento 32 R del juego de resistencias 14 al punto de suma del integrador.

La señal de salida pasa a ser entonces:

$$E_1 = \frac{-t_2(-V)}{64 RC} - \frac{t(-V)}{32 RC}$$

definiendo así, hasta el tiempo $t_3 = 3 t_1$, el segmento 2 de la figura 1, de pendiente doble que la de los segmentos 0 y 1.

Es así fácil ver que, sucesivamente, es el conjunto de los segmentos de 0 a 7, inclusive, de la característica normalizada, el que se encuentra representado por la señal de salida E_1 del integrador.

Este último circuito está completado por un conmutador estático 16 de tipo CMOS montado en paralelo sobre el condensador de integración 12 para provocar su descarga bajo el efecto del frente anterior del impulso de sincronización de trama (Tr): se puede utilizar a este efecto un circuito comercial del tipo 4016, por ejemplo, y mandar la descarga del condensador 12 aplicando la señal de trama sobre la entrada de mando Dch del conmutador 16, haciendo así temporalmente pasante este último.

El funcionamiento del multiplexador 13 es mandado por las señales binarias procedentes de las salidas (ABC) de peso más elevado de un contador de impulsos 21 que comprende igualmente otras cuatro salidas (W X Y Z) que corresponden a los pesos menores, siendo utilizadas estas últimas señales para la codificación de la posición de la señal muestreada en el segmento seleccionado. La señal de sincronización de trama Tr, aplicada en la entrada RAZ del contador 21, con una frecuencia igual a la frecuencia de muestreo de las vías, o sea 8 kHz, provoca la puesta a cero del contador; su avance se obtiene aplicando en la entrada H los impulsos proporcionados por un reloj, cuya frecuencia es fijada a un valor por lo menos igual a: $(2^7 \times 8) \text{ kHz} = 1,024 \text{ MHz}$ y que puede ser tomada, por ejemplo, igual a 2,048 MHz.

Se distingue todavía en la figura 2 un inversor compuesto de un amplificador operacional 22 de reducida impedancia de salida y con tres resistencias: la resistencia 23, cuyos extremos están conectados, respectivamente, a la entrada (+) del amplificador y a la masa, y las dos resistencias 24 y 25 de valores iguales, que reciben, la primera, la señal de entrada E_1 procedente del generador de rampas, y la segunda,

la señal de salida inversa $E_2 = -E_1$ aplicada en retroacción sobre la entrada (-) del amplificador 22.

Las señales E_1 y E_2 son aplicadas simultáneamente a un conjunto de n conmutadores selectores 31, en número
 5 igual al de las vías del codificador, cuya finalidad es elegir aquella de las dos señales E_1 o E_2 que será retenida como señal de referencia, habida cuenta de la polaridad de la señal muestreada a la cadencia de 8 kHz y aplicada además, después de la memorización en la entrada Ech del circuito considerado por el muestreador-bloqueador 32 que recibe en su entrada "entrada-vía" EV la señal analógica procedente de la vía correspondiente. La señal retenida como referencia, E_1 o E_2 , es siempre una señal de la misma polaridad que la muestra: señal E_1 , si la muestra es de polaridad positiva, señal $E_2 = -E_1$, si la muestra es negativa.
 15

La señal de que se trata (E_1 o E_2), es aplicada por el conmutador-selector 31 considerado en la entrada (-) de un comparador 33 y la muestra (Ech) en la entrada (+) del mismo comparador que suministra en la salida una señal binaria de valor 1, si
 20

$$\begin{aligned} E_1 \text{ (o } E_2) &\geq |Ech| \quad \text{y una señal binaria de valor 0, si} \\ E_1 \text{ (o } E_2) &< |Ech|. \end{aligned}$$

Una báscula-memoria 34 está adscrita a la memorización del signo de la muestra a la cual se ha procedido desde el
 25 comienzo de cada secuencia nueva, mientras que el condensador de integración 12 está descargado. En este momento, en efecto, la tensión en la entrada (-) del comparador 33 es nula, de modo que la señal binaria que aparece en la salida de este mismo comparador, toma un valor conforme al signo
 30 de la muestra. El valor binario obtenido es transferido pa

5 ra memorización a la báscula 34, bajo el efecto del frente trasero del impulso de sincronización de trama Tr ya utilizado para mandar - por su frente anterior - la descarga del condensador 12 y la puesta a cero del contador 21. La cifra binaria de signo S aparece entonces a la salida de la báscula 34 y es memorizada durante todo el período de la secuencia.

10 En el curso de la misma secuencia, la señal de salida del comparador 33, de valor binario 0 tanto tiempo como E_1 (o E_2) $< |Ech|$, permite la transferencia, después de cada impulso de reloj H , del contenido del contador 21 hacia el registro intermedio 35 adscrito a la vía considerada, hasta el momento en que el valor binario 0 en la salida del comparador 33 es sustituido por un valor binario 1, que ca-
15 racteriza la condición : E_1 (o E_2) $\geq |Ech|$. A partir de este instante, la transferencia del contenido del contador 21 hacia el registro intermedio 35 es impedido y el código memorizado en este registro es fijado hasta el final de la secuencia. En este momento, la aplicación de la señal de
20 trama en el registro de salida 36 provoca la transferencia paralela del código memorizado por el registro intermedio 35 hacia el registro de salida 36, que memoriza así el código ($S A B C W X Y Z$) buscando que corresponde al valor de la muestra seleccionada.

25 Durante la secuencia siguiente, el registro de salida 36 será vaciado de su contenido, cifra binaria por cifra binaria, bajo el control de las señales de reloj (H), asegurando así la transmisión en serie de los elementos del código seleccionado, los cuales toman a este efecto el multiplexador numérico de salida 37, a reserva de que este últi-
30

mo haya validado la vía afectada, y aparecen en la salida JMIC (unión MIC).

5 La realización del contador de impulsos 21 es clásica, lo mismo que la del registro intermedio 35, del registro de salida 36 y del multiplexador numérico 37.

Por el contrario, los conmutadores-selectores 31 y los muestreadores-bloqueadores 32 son de realización original.

10 La figura 3 representa otra variante de realización del generador de rampas según el invento. En esta variante, el multiplexador 13 no es ya utilizado, como en la figura 2, para conmutar la resistencia en serie con el condensador 12, sino para mandar, por medio de una red de resistencias 17, la carga de corriente constante del mismo condensador, con una intensidad que se dobla a cada conmutación.

15 La red 17 está constituida por siete células en I, cada una de las cuales comprende una resistencia transversal $2R$ y una resistencia longitudinal R , con excepción de la célula de cabeza, para la cual la resistencia longitudinal, conectada a la masa, es igual a $2R$. Cada una de las resistencias transversales está conectada a una de las salidas del multiplexador 13, salida que pertenece a la célula de cabeza, que está conectada a la salida S_0 y S_1 del multiplexador por medio de un circuito 0 18, con el fin de obtener, 20 para los bajos niveles, dos segmentos de la misma pendiente situados en la prolongación uno de otro sobre la característica de codificación.

25 A cada instante, una de las células en I de la red 17 - y solo una - designada por la combinación codificada (ABC), 30 recibe, por su resistencia transversal $2R$, una señal singu-

lar de valor binario igual a 1, mientras que todas las otras reciben una señal no singular de valor binario igual a 0. Según una propiedad conocida de este tipo de redes, la red 17 se comporta como un generador ficticio de resistencia interna constante e igual a R , cuya fuerza electromotriz es susceptible de tomar, haciendo variar la combinación codificada (ABC) como valores crecientes, los niveles que siguen:

	$V/64$	si (ABC) = 000 o 001	(segmentos 1 y 2)
	$V/32$	si (ABC) = 010	(segmento 3)
10	$V/16$	si (ABC) = 011	(segmento 4)
	$V/8$	si (ABC) = 100	(segmento 5)
	$V/4$	si (ABC) = 101	(segmento 6)
	$V/2$	si (ABC) = 110	(segmento 7)
	$V/$	si (ABC) = 111	(segmento 8).

15 siendo aplicada la fuerza electromotriz $V/64$ durante un intervalo de tiempo doble que los otros.

En estas condiciones, la carga tomada por el condensador 12 aumenta linealmente en función del tiempo, con una pendiente que se dobla a cada conmutación, lo que permite
20 obtener bien la característica de codificación buscada.

El interés de esta variante del generador de rampas reside, por una parte, en el hecho de que la red 17 no recurre más que a dos valores distintos R y $2R$ de sus resistencias, y por otra parte, en el mantenimiento de la resistencia interna del generador a un valor constante R , independiente del segmento considerado sobre la característica de
25 carga.

Cada uno de los conmutadores-selectores 39 de la figura 2, cuyo esquema de realización preferente está dado por
30 la figura 4, comprende cinco circuitos 41, 42, 43, 44 y 45

del tipo CMOS, y un inversor 46. Los circuitos 41 y 42 están adscritos a la transmisión de la muestra (E_{ch}) hacia las dos entradas (+) y (-) del comparador 33 de la figura 2; los circuitos 43 y 44 aseguran, cuando son pasantes, la transmisión, hacia el mismo comparador, el primero, de la tensión (S_1) suministrada por el generador de rampas, y el segundo, de la tensión $E_2 = -E_1$ procedente del inversor 22 de la figura 2. El estado, pasante o bloqueado, de los circuitos 42 y 44, es controlado por la señal binaria S que caracteriza el signo de la muestra y aplicada sobre la línea C de Inv (mando de inversión); el de los circuitos 41 y 43 es controlado por la señal \bar{S} elaborada por el inversor 46 a partir de la señal S . Si la muestra es positiva, la señal de referencia a seleccionar es la señal (E_1): la muestra es transmitida entonces por el circuito 41 hacia la entrada (+) del comparador y la señal (E_1) hacia la entrada (-) de este comparador, estando entonces los otros dos circuitos 42 y 44 bloqueados por la señal $S = 0$. Si la muestra, es por, lo contrario, negativa, la señal de referencia a seleccionar es la señal (E_2): la muestra, en este caso, es transmitida hacia la entrada (-) del comparador por el circuito 42 que ha pasado a ser pasante bajo el control de la señal $S = 1$, y la señal (E_2) hacia la entrada (+) del comparador, estando los dos circuitos 41 y 43 bloqueados en el mismo instante.

La misión del circuito 45 es imponer en la entrada (+) del comparador, al principio de toda nueva secuencia, y mientras que el signo de la muestra no ha sido determinado todavía, el potencial 0 de la masa, incluso si el condensador de integración 12 no está enteramente descargado. El

circuito 45 es mandado, a este efecto, por la señal de sincronización de trama (Tr) que lo hace pasante durante todo el período de su aplicación, y durante este lapso de tiempo solamente.

5 La figura 5 representa un modo de realización preferente de uno de los muestreadores-bloqueadores 32 de la figura 2. La señal de vía a muestrear es aplicada en la línea EV (entrada-vía) conectada a la entrada (+) de un amplificador operacional de entrada 51 cuya salida manda un doble nivel intermedio de amplificador de potencia constituido por dos transistores PNP 52 y 53, de dos transistores NPN 54 y 55, así como del conjunto de las resistencias 56, 57, 58 y 59. El montaje, derivado del DARLINGTON clásico, permite transmitir a baja impedancia, bien las señales positivas aplicadas en la entrada EV, bien las señales negativas. Un enlace de retroacción es establecido entre la salida de este nivel y la entrada (-) del amplificador de entrada 51.

10

15

La memorización de la muestra se obtiene cargando el condensador 61 por medio de un juego de circuitos CMOS montados en paralelo para permitir una corriente de carga suficientemente elevada, en este caso cuatro circuitos 62, 63, 64 y 65, cuyo estado pasante es mandado simultáneamente por la aplicación de la señal a 8 kHz sobre la línea Cde Ech (mando de muestreo).

20

El montaje es completado por un amplificador de salida 66 de alta impedancia de entrada, que recibe en su entrada (+) la tensión en los bornes del condensador 61 y cuya entrada (-) está unida a la salida (Ech) en la cual aparece, a baja impedancia, la muestra memorizada dispuesta para ser tratada en el conmutador-selector 31 adscrito a la misma

25

30

vía.

Se observará que, en el codificador según el invento, la diafonía entre vías no se puede manifestar más que por medio de las entradas de los conmutadores-selectores 31.

5 Ahora bien, las tensiones de referencia E_1 y E_2 son generadas bajo una reducida impedancia, mientras que la impedancia de entrada de cada uno de los conjuntos 31 y 33 es elevada. De esto resulta que los acoplamientos parásitos, y por lo tanto, la diafonía entre vías próximas, serán muy
10 reducidos, lo que constituye una nueva ventaja en el montaje propuesto.

El codificador según el invento se aplica en todos los casos de transmisión MIC en los cuales se busca una realización económica y en que la velocidad de codificación es relativamente lenta.
15

20

REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años; son los que se recogen en las reivindicaciones siguientes:
25

1ª.- Dispositivo destinado a codificar una serie de señales analógicas presentes en n vías entrantes en una serie de señales numéricas multiplexadas sobre una vía salien
30

te, caracterizado porque comprende: un generador de rampa única que suministra una rampa de tensión según una ley de conversión definida; medios de comparación que permiten comparar sucesivamente cada una de dichas señales analógicas con dicha rampa y que suministran dichas señales numéricas definidas por los valores de una señal de reloj en el curso de la coincidencia de los valores de dicha rampa y de cada una de dichas señales analógicas.

5

2ª.- Dispositivo según la reivindicación 1ª, caracterizado porque dicho generador de rampa comprende: una capacidad fija; una resistencia variable que sirve para cargar dicha capacidad y cuyo valor es modificado al ritmo de las señales de reloj en función de dicha ley de conversión.

10

3ª.- Dispositivo según la reivindicación 2ª, caracterizado porque dicha resistencia variable está compuesta por una red en I que comprende células conmutables, con objeto de obtener dicho valor variable.

15

4ª.- Dispositivo según una cualquiera de las reivindicaciones 1ª a 3ª, caracterizado porque comprende, además, medios que permiten comparar a cada comienzo de conversión dicha señal a convertir y un nivel de referencia, con objeto de determinar el signo de dicha señal a convertir.

20

5ª.- Dispositivo según la reivindicación 4ª, caracterizado porque comprende, además, fuerzas analógicas que permiten invertir las entradas de dichos medios de comparación con objeto de obtener siempre una misma polaridad de dicha señal a convertir y de dicha rampa.

25

6ª.- Dispositivo según una cualquiera de las reivindicaciones 1ª a 5ª, caracterizado porque dichas señales analógicas son señales telefónicas y dicha ley de conversión es

30

La Ley normalizada C.C.I.T.T.

7ª.- Dispositivo según una cualquiera de las reivindicaciones 1ª a 6ª, caracterizado porque $n = 8$.

5 8ª.- "DISPOSITIVO DESTINADO A CODIFICAR UNA SERIE DE SEÑALES ANALOGICAS".

Tal y como se ha descrito en la Memoria que antecede, representada en los dibujos que se acompañan, y para los fines que se han especificado.

10 Esta Memoria consta de diecisiete hojas escritas a máquina por una sola cara.

Madrid, 16.03.1976

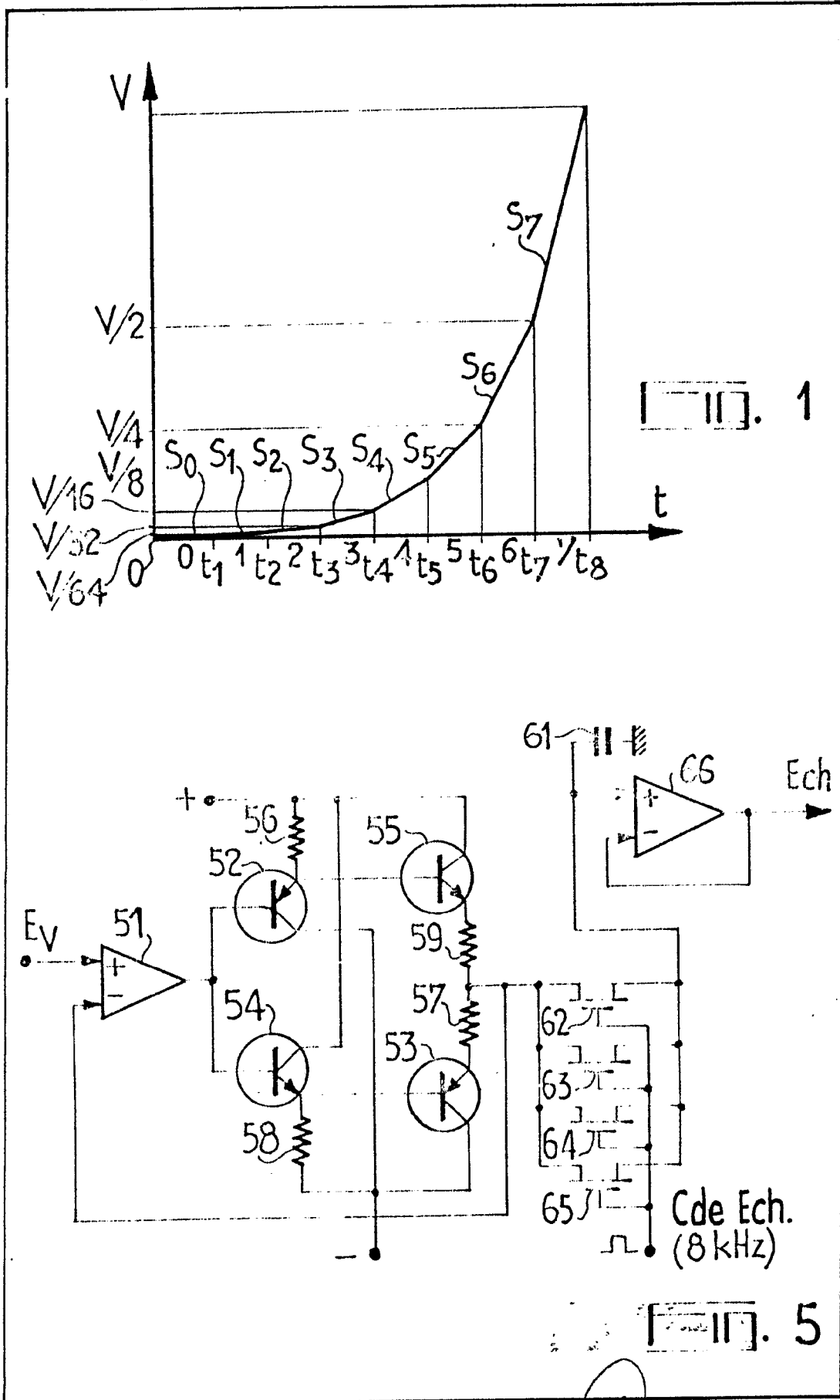
15 P.A. Alberto de Elizaga

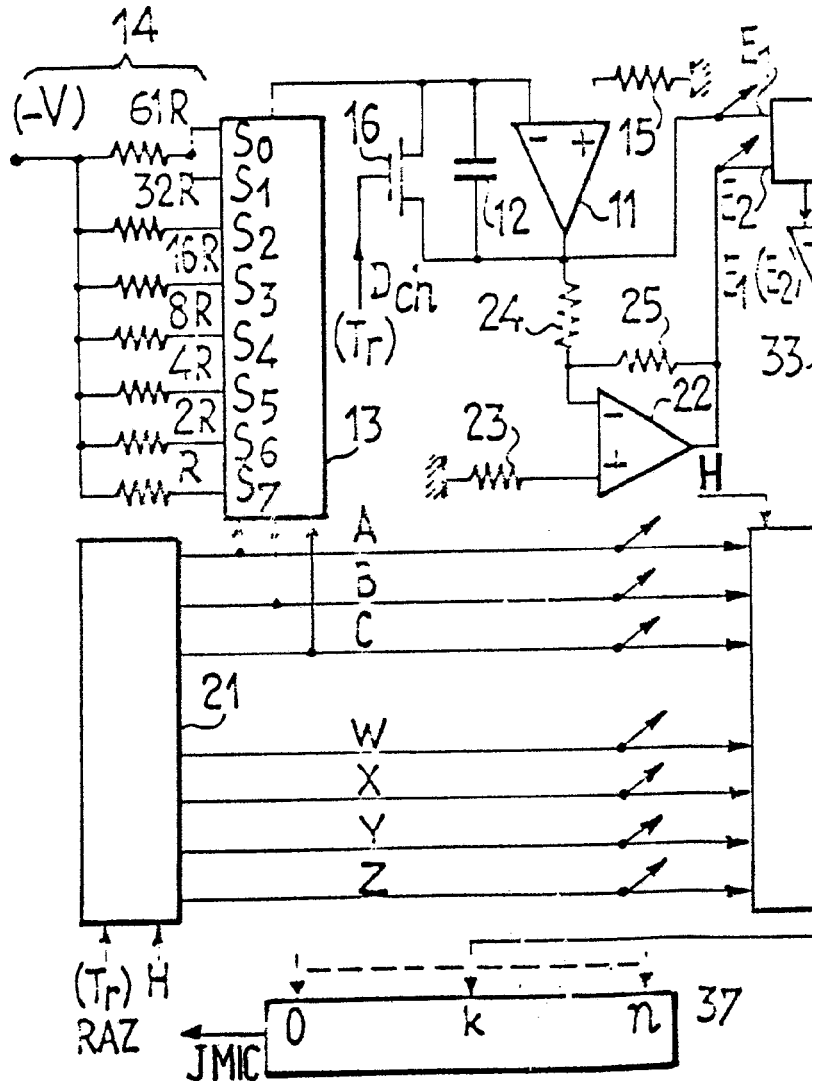
Por Fedatario

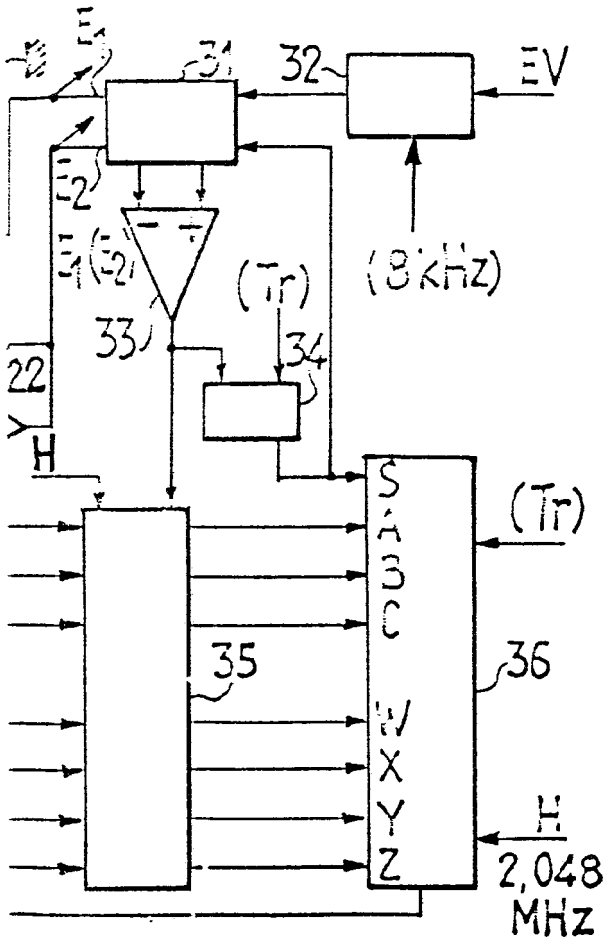
20

25

30

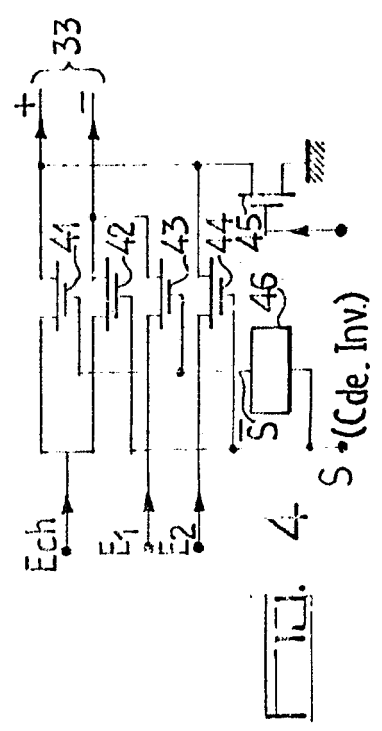
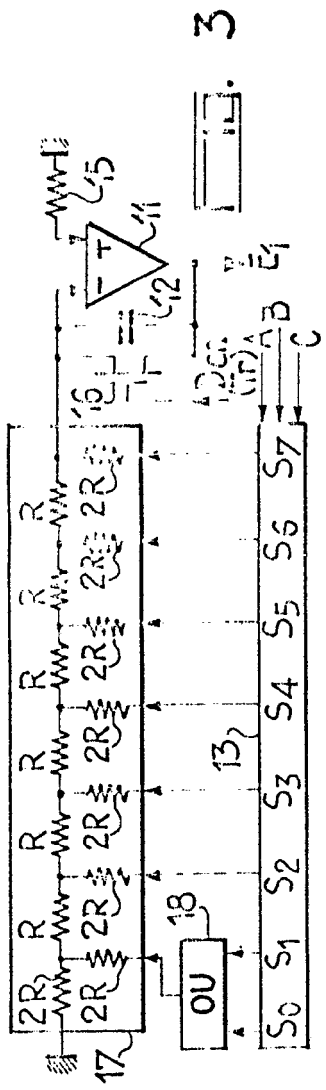




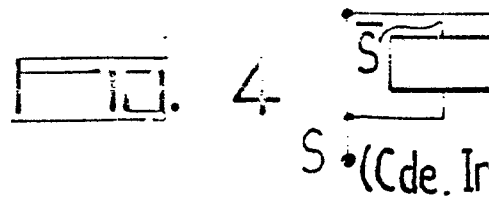
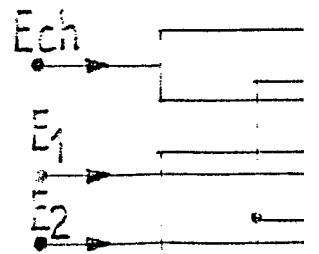
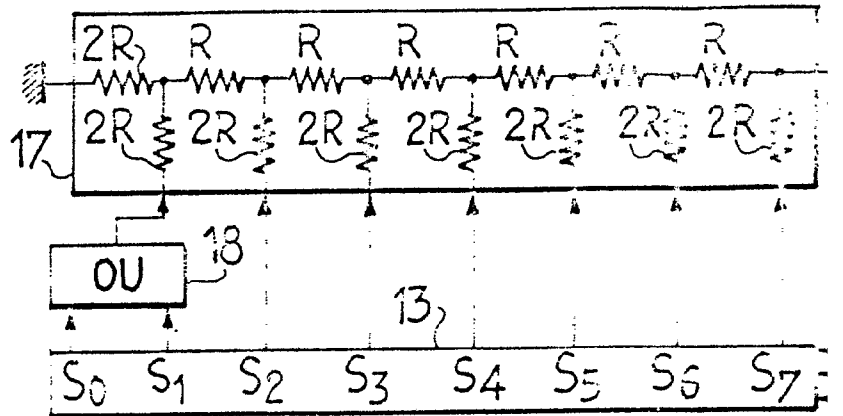


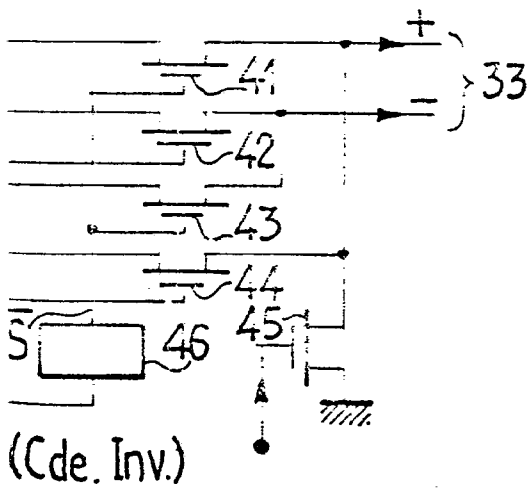
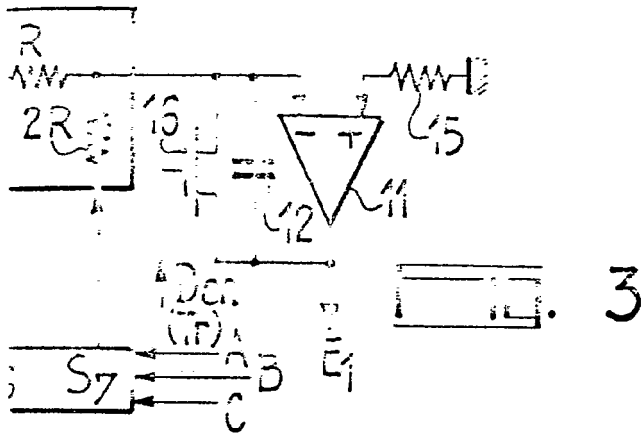
□. 2

Alberfo de Cizco
Por Bala



ALBERT
Per. H. de.





Alberio *[Signature]*
Por Poder.