

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



| | | | |
|-------|----------|---|-------|
| 19 ES | 11 21 | NUMERO 44 8938 | 10 AI |
| | 22 | FECHA DE PRESENTACION 16-6-76 | |

PATENTE DE INVENCION

P.- 63.213

Dlp/Hej/61718/
IM. 3794

| | | |
|--|--------------------------------|--------------------------------------|
| 60 PRIORIDADES: | | |
| 61 NUMERO | 62 FECHA | 63 PAIS |
| 75/06978-1 | 17-6-75 | Suecia. |
| 64 FECHA DE PUBLICIDAD | 65 CLASIFICACION INTERNACIONAL | 66 PATENTE DE LA QUE ES DIVISIONARIA |
| | H03B | |
| 67 TITULO DE LA INVENCION | | |
| "DISPOSICION DE CIRCUITO PARA CONTROLAR LA FRECUENCIA DE UN OSCILADOR" | | |
| 68 SOLICITANTE (S) | | |
| TELEFONAKTIEBOLAGET L M ERICSSON | | 26 MAR. 1977 |
| DOMICILIO DEL SOLICITANTE | | |
| 126 25 Estocolmo, Suecia | | |
| 69 INVENTOR (ES) | | |
| Mr. Bertil Lyberg | | |
| 70 TITULAR (ES) | | |
| 71 REPRESENTANTE | | |
| DON ALBERTO DE ELZABURU MARQUEZ | | |

1 El presente invento se refiere a un circuito para controlar la frecuencia de un oscilador, particularmente un oscilador incluido en un sistema de frecuencia portadora.

5 En sistemas de telecomunicación de frecuencia portadora es un problema conocido sincronizar los osciladores principales, desde los cuales se derivan las diferentes frecuencias portadoras. Con la gran cantidad de canales que se utilizan en sistemas de frecuencia portadora modernos es necesario que los diferentes osciladores principales incluidos en tal sistema generen frecuencias que estén en concordancia dentro de unos límites muy estrechos. La manera usual de garantizar sincronismo es la de utilizar osciladores bloqueados en fase, donde los osciladores principales son controlados por un voltaje de control que ha sido derivado por medio de comparación de fases entre el voltaje del oscilador y un voltaje de referencia. De este modo tendrá lugar un ajuste de la frecuencia del oscilador tan pronto como se cambie la fase. Por la Solicitud de Patente sueca 7507745-4 es conocido cambiar el voltaje de control paso a paso dejando que el voltaje de control, cuando excede de cierto nivel, haga avanzar un contador de incremento/reducción. La posición del contador se descodifica y determina el voltaje de control aplicado al oscilador controlado por voltaje. Sin embargo, incluso si la diferencia de frecuencia entre el voltaje de referencia y el voltaje del oscilador es muy pequeña, el salto de frecuencia cuantificada ocurrirá bastantes veces por hora. Puede observarse que esto ocurre incluso si se cumplen los requisitos necesarios respecto a la estabilidad de frecuencia. Cada uno de tales cambios da lugar a problemas transitorios.

10
15
20
25
30

1 En todos los sistemas donde un voltaje de referen-
cia controla un número de osciladores por medio del bloqueo
de fase, se obtiene una relación de fases casi constante
entre los diferentes osciladores incluidos en una red de
5 frecuencia portadora. Esto trae consigo que en ciertas ru-
tas pueden surgir acumulaciones de perturbaciones desfavora-
bles.

Según el invento, las desventajas anteriores pue-
den evitarse cuando la frecuencia se ajusta únicamente cuan-
do excede el límite de estabilidad requerido para el siste-
10 ma. De esta manera se evitan ajustes de frecuencia inneces-
arios del oscilador y las variaciones de frecuencia subse-
guientes. Además, se obtienen condiciones de fase aleato-
rias en la red porque el voltaje regulador no depende de la
15 fase.

Esto se consigue con una disposición de control
de frecuencia del oscilador según el presente invento, cu-
yas características aparecen en las reivindicaciones fina-
les.

20 El invento se describirá más detalladamente en
combinación con el dibujo adjunto, que muestra un diagrama
de bloques para un oscilador con control de frecuencia.

En la figura, el número 10 señala un oscilador
controlado por voltaje cuya entrada de control está conecta-
25 da a un convertidor digital-analógico 21 a través de un fil-
tro de paso bajo 22. La salida del oscilador está conecta-
da, posiblemente a través de un divisor de frecuencia 25,
a una entrada 26 en un detector de frecuencia 11 que tiene
una segunda entrada conectada a una fuente de voltaje de re-
30 ferencia f1. El detector de frecuencia 11 es, conveniente -

1 ments, del tipo que se describe en la Solicitud de Patente
sueca 7500935-7 publicada, y proporciona un voltaje de sa-
lida que es proporcional a la desviación de frecuencia en-
tre el voltaje de referencia y el voltaje del oscilador (o
5 una fracción de ésta). La salida del detector de frecuencia
está conectada a tres circuitos perceptores de amplitud, dos
de los cuales, 12 y 14, proporcionan una señal de salida
cuando el voltaje de salida del detector de frecuencia 11
excede los umbrales positivo o negativo que marcan que no
10 se puede tolerar la desviación de frecuencia. De la manera
correspondiente, el circuito 13 percibe si la señal de sa-
lida del detector de frecuencia es positiva o negativa. Las
salidas de los circuitos de umbral 12 y 14 están conecta-
das a un circuito 0 15 cuya salida está conectada a una de
15 las entradas de un circuito Y 17. La segunda entrada del
circuito Y 17 está conectada a una fuente de impulsos de
reloj 20. La salida del circuito Y 17 está conectada a la
entrada de disparo de un circuito biestable 18. La salida
complementaria del circuito biestable 18 está conectada a
20 la entrada de activación E de un contador (U/D) de incremen-
to/reducción 19. La salida del circuito de paso de cero 13
está conectada por un lado a la entrada U/D para control de
la dirección de avance del contador 19 y por el otro lado
al circuito diferenciador 16 que está provisto de un recti-
25 ficador de onda completo en la salida. Cada vez que el cir-
cuito de paso por cero indica cambio de signo, se obtiene
a consecuencia de ello un impulso que se alimenta a la en-
trada de ajuste de cero del circuito biestable 18, indepen-
diente de la dirección en la que cambia el signo. La entra-
30 da de reloj cl del contador se conecta al generador de im-

1 pulsos de reloj 20.

Las salidas de los diferentes pasos del contador 19 están conectadas a las entradas de un convertidor digital-analógico 21 cuya salida analógica está conectada a la
5 entrada de control controlada por voltaje del oscilador 10 a través de un filtro de paso bajo 22.

El aparato trabaja de la siguiente manera, suponiendo que el contador 19, en un estado inicial, está puesto a cero y que el voltaje de salida del convertidor digital-analógico se encuentre dentro del margen controlable
10 del oscilador controlado por voltaje 10. La frecuencia del oscilador controlado por voltaje 10, del que se supone ahora que se encuentre en su valor límite inferior, se divide en el circuito 25 y se compara con la frecuencia de referencia f1 en el comparador de frecuencias 11. Como la frecuencia del oscilador está demasiado baja en relación con la
15 frecuencia de referencia, se supone que el comparador de frecuencias genera un voltaje negativo que está fuera del límite de tolerancia $-V$ para desviación de frecuencia permitida. La salida del circuito 13 y, de esta manera, la entrada U/D del contador 19 obtienen un nivel bajo, y el contador se pone a cuenta positiva. La salida del circuito de umbral 14 obtiene un nivel alto, y una condición de apertura se pone en el circuito Y 17 que deja pasar un impulso durante el siguiente impulso de reloj y hace que se active el
20 circuito biestable 18. La salida complementaria sobre esto, y en este respecto la entrada E sobre el contador 19, reciben nivel bajo y se activa el contador. Los impulsos de reloj desde 20 hacen ahora que el contador cuente en sentido
25 positivo. Gradualmente, a medida que aumenta el contenido
30

1 del contador, se aumentan también el voltaje de salida del
convertidor digital-analógico 21 y, de esta manera, el vol-
taje de control del oscilador. Cuando la diferencia de fre-
cuencia entre las señales de entrada del comparador de fre-
5 cuencia 11 pasa por cero, se obtiene un salto de voltaje
desde el circuito 13, cuyo salto, después de la derivación
en el circuito 16, proporciona un impulso de ajuste a cero
al circuito biestable 18. El contador 19 para cuando la en-
trada de activación E recibe nivel alto, y el voltaje de
10 control del oscilador 10 permanece sobre el valor que co-
rresponde a la posición de parada del contador.

El sistema permanecerá en esta posición todo el
tiempo que el oscilador 10 esté estable. Si al contrario la
frecuencia se alejara en una o en la otra dirección, por
15 ejemplo por un cambio de temperatura, hasta tal punto que
se sobrepasa el límite de tolerancia, uno de los circuitos
de umbral 12 y 14 proporcionará de nuevo condiciones de
apertura a la puerta 17 y se vuelve a activar el contador
19. Los impulsos de reloj hacen avanzar el contador en la
20 dirección que se determina por el voltaje de salida desde
el circuito 13 hasta que se haya corregido la desviación de
frecuencia.

El invento puede modificarse en un número de ma-
neras dentro del ámbito del invento. Por ejemplo, el conta-
25 dor puede ser reemplazado por una memoria y un circuito
aritmético separado que suma o resta una unidad al conteni-
do de la memoria por cada impulso de reloj durante el tiem-
po que el circuito esté activado por los circuitos de um-
bral.

30

- REIVINDICACIONES -

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

1ª.- Disposición de circuito para controlar la frecuencia de un oscilador, que comprende un oscilador controlado por voltaje sintonizado por un voltaje de control obtenido desde el lado analógico de un convertidor digital-analógico a través de un filtro de paso bajo, estando conectado el lado digital de dicho convertidor a un circuito contador, caracterizada por un comparador de frecuencias (11) conectado al oscilador (10) y una frecuencia de referencia (f1) cuya señal de error por vía de un circuito de umbral (12, 13, 14) es hecha controlar la activación y la dirección de avance del circuito contador de modo que el circuito contador, cuando la señal de error sobrepasa cierto valor de umbral, es hecho avanzar, por los impulsos de una fuente de impulsos de reloj (C1) en una dirección tal que la señal de error se reduce y que el avance cesa cuando la señal de error pasa por cero.

2ª.- Disposición según la reivindicación 1ª, caracterizada porque el circuito de umbral comprende circuitos perceptores de nivel (12, 14) para detectar cuándo la señal de error sobrepasa cierto umbral, o es menor que el mismo, y para disparar un circuito biestable (18) de control de activación del contador y un circuito (13) para detectar el signo de la señal de error para ajustar la dirección de cuenta del contador (19) y el ajuste a cero de dicho circui

1 to biestable cuando cambia el signo de la señal de error.

3a.- Disposición de circuito para controlar la frecuencia de un oscilador.

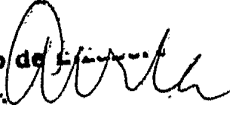
5 Tal y como se ha descrito en la Memoria que antecede, representado en el dibujo que se acompaña y con los fines que se han especificado.

Esta Memoria consta de ocho hojas escritas a máquina por una sola cara.

Madrid, 05. JUL. 1976

10

P.A.

Alberto de F. 
Por Poder.

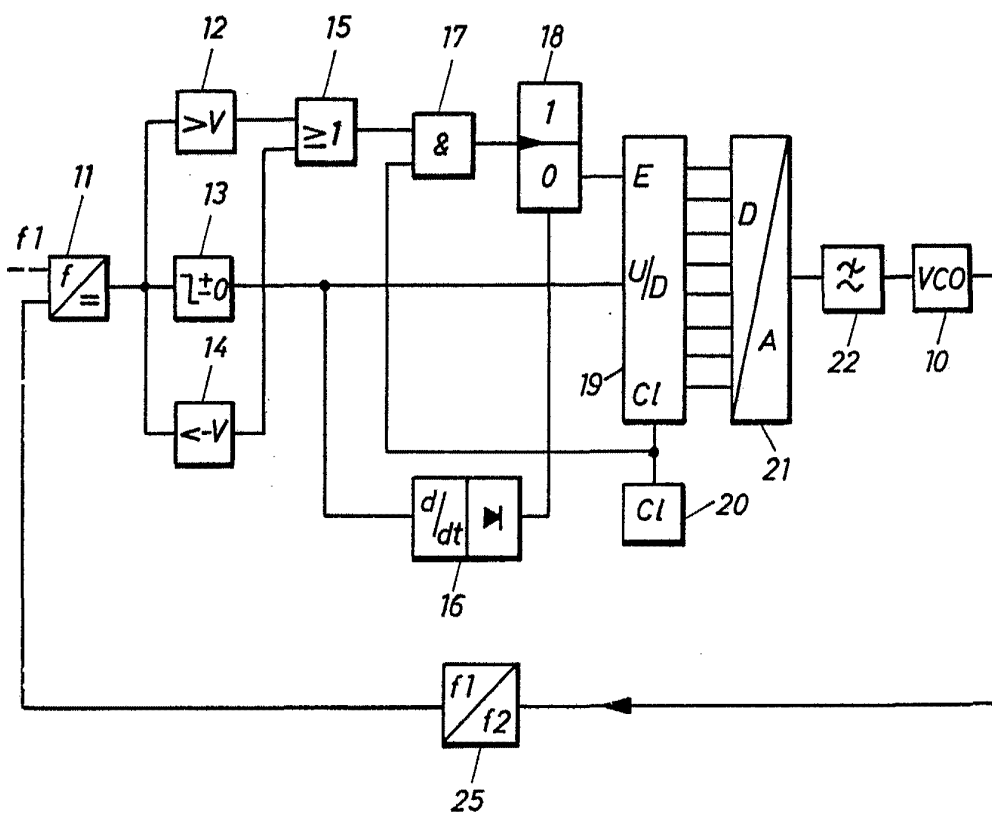
15

20

25

30

FMM.



Alberto de E...
Por Feder. *[Signature]*