

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

19	ES	11	NUMERO	10	A1
		21	44 8584		
		22	FECHA DE PRESENTACION		

PATENTE DE INVENCION

90 PRIORIDADES:		
91 NUMERO	92 FECHA	93 PAIS
75 06657	5. Junio. 75	Holanda
47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	H04L	
64 TITULO DE LA INVENCION		
"UN SISTEMA DE TRANSMISION"		
71 SOLICITANTE (S)		
STANDARD ELECTRICA, S.A.		
DOMICILIO DEL SOLICITANTE		
Madrid, calle de Ramirez de Prado, N 5.		
72 INVENTOR (ES)		
Marcel Clement René Natens		
73 TITULAR (ES)		
STANDARD ELECTRICA, S.A.		
74 REPRESENTANTE		
D. Eugenio Barroso Espinosa de los Monteros.		

UNE A. MOD. 3195 UTILICES COMO PRIMERA PAGINA DE LA MEMORIA

CONCEDIDA

18 JUN. 1977

El presente invento se refiere a un sistema de transmisión, con un transmisor que incluye primeros elementos de conversión para convertir un flujo de impulsos de entrada, que tiene una primera frecuencia, en un flujo de impulsos intermedios que tiene una segunda frecuencia, un receptor, y elementos de enlace entre dicho transmisor y dicho receptor. El receptor incluye segundos elementos de conversión que pueden, por una parte recuperar la primera frecuencia a partir del flujo de impulsos intermedio recibido del transmisor a través de los elementos de transmisión y, por otra parte, convertir dicho flujo de impulsos intermedio en un flujo de impulsos de salida a la primera frecuencia reconvertida, incluyendo dichos flujos de impulsos intermedios una componente de ruido debido a dicha conversión.

Tal sistema de transmisión ya se ha descrito en la solicitud de patente alemana nº 74 16233 (M. Natens 6) registrada en Holanda el 13 de Diciembre de 1974. Este sistema ya conocido incluye un conjunto de transmisores y receptores que están interconectados por unos elementos de transmisión comunes. Los flujos de impulsos de entrada de estos transistores son asíncronos y, más concretamente, constituyen señales plesicronas que tienen la misma frecuencia, pero no proceden del mismo reloj y no hay límites para las relaciones de fase entre los relojes de las diferentes señales.

Para multiplexar estos flujos de impulsos de entrada y producir un flujo de impulsos común a una frecuencia que sea un múltiplo de la segunda frecuencia, es necesario que exista alguna forma de sincronización entre ellos.

Esta sincronización se consigue utilizando una técnica de justificación o relleno que implica la adición

de un número suficiente de impulsos en momentos apropiados a cada uno de los flujos de impulsos de entrada asíncronos, para aumentar su frecuencia, por ejemplo de 60 KHz, a una segunda frecuencia común más elevada, por ejemplo, de 64 KHz. Los diferentes flujos de impulsos intermedios así obtenidos pueden entonces multiplexarse por división de tiempo para obtener el interior flujo de impulsos común. En el receptor, este flujo de impulsos común es primero demultiplexado y luego dejustificado o extraído el relleno, quitando los impulsos añadidos para obtener un flujo de impulsos de salida que tenga, de nuevo, la primera frecuencia.

Más concretamente, la solicitud de patente mencionada como se utiliza una técnica de justificación positiva para convertir un flujo de impulsos de entrada con una primera frecuencia de 2,048 MHz, en un flujo de impulsos intermedio con una segunda frecuencia igual a 2,112 MHz. Cada serie de este flujo de impulsos intermedio contiene 212 impulsos y, debido a que la diferencia entre la primera y la segunda frecuencias es igual a 64 MHz, cada serie de 2.112 impulsos del flujo de impulsos intermedio contiene 64 impulsos añadidos, esto es, cada serie de 212 impulsos del flujo de impulsos intermedio contiene $\frac{64}{2.112} (212)$ ó 6,4242..... impulsos añadidos. Ya que $6,4242... = 6 + \frac{14}{33}$, en un conjunto de 33 series consecutivas de 212 impulsos 14 series contienen 7 impulsos añadidos y $33-14 = 19$ solamente tienen 6 impulsos añadidos. Los 6 impulsos que se añaden siempre en cada serie se denominan normalmente impulsos de relleno, mientras que el impulso séptimo añadido ocasionalmente se denomina impulso de justificación. Para

poder añadir estos 6 impulsos de relleno y, posiblemente, un impulso de justificación en cada serie del flujo de impulsos intermedio, éste comprende 6 aberturas de tiempo de relleno predeterminadas y una abertura de tiempo de justificación predeterminada, que se utiliza para transmitir bien un impulso de información o un impulso de justificación.

De lo anterior se deduce que cuando se consideran las 33 aberturas de tiempo de justificación de 33 series consecutivas, 14 aberturas de tiempo de justificación contienen un impulso de justificación y 19 aberturas de tiempo no contienen tal impulso de justificación. Esto significa que la denominada relación de justificación es igual a $p/q = 14/33$, ya que esta relación se define como siendo la relación del número de operaciones de justificación reales que tienen lugar durante un período, y el número q de oportunidades de justificación que tienen lugar dentro del mismo período.

La anterior relación de justificación p/q es solamente igual a $14/33$ cuando las frecuencias mencionadas anteriormente son ambas iguales a sus valores nominales. Sin embargo, cuando al menos una de estas frecuencias se desvía ligeramente de su valor nominal, está claro que tienen que añadirse más o menos de 14 impulsos de justificación por 33 oportunidades de justificación. En este caso, la relación de justificación está próxima a un número racional simple, pero no exactamente igual a él, como consecuencia, aparece una baja frecuencia denominada inestabilidad de tiempo de espera, en el flujo de impulsos de salida del transmisor. Esto queda explicado en el artículo "Inestabilidad de tiempo de espera" de D.L. Dutweiler, publicado en el BSTJ Volumen 51, Enero de 1972, nº 1 pp 165-207.

La oscilación de tiempo de espera de baja frecuencia aparece también en el flujo de impulsos de salida del receptor, ya que su frecuencia es tan baja que no puede ser eliminada por el bucle de sincronización de fase que generalmente se incluye en los elementos de recuperación mencionados anteriormente, debido a la naturaleza de paso-bajo de tal bucle.

Del artículo "Características de inestabilidad de la sincronización por impulsos de relleno", de Y. Matsuura S. Kozuka y L. Yuki publicado en el IEEE, Conferencia Internacional sobre Telecomunicaciones (Junio 1968) páginas 259-264, se deduce que, cuando la relación de justificación es igual a p/q , la amplitud de la inestabilidad de tiempo de espera de baja frecuencia, mencionada anteriormente, es igual a $2\pi/q$ radianes. Esta es la razón por la que, en el sistema conocido ya mencionado, se eligió relativamente grande e igual a 33.

En lugar de utilizar la técnica de justificación por impulso positivo para convertir un flujo de entrada, con una primera frecuencia, en un flujo de impulsos intermedio, con una segunda frecuencia, pueden utilizarse también otras formas de justificación de impulso, utilizando dos aberturas de tiempo rellenables por serie del flujo de impulsos intermedio, en lugar de utilizar solamente una de tales aberturas, en el caso de justificación positiva.

En el caso de justificación positiva-cero-negativa, cuando las anteriores frecuencias primera y segunda son iguales a su valor nominal, se dispone una de las dos aberturas de tiempo rellenables para contener un impulso de datos del flujo de impulsos de entrada, y la otra para

contener un impulso de justificación (justificación cero).
 Entonces, si existe una desviación de frecuencia, puede
 ser asimilada aumentando ocasionalmente el número de impul-
 sos de justificación en estas aberturas de tiempo a 2 (jus-
 5 tificación positiva) o disminuirlo a cero (justificación
 negativa). Esto significa que, en el caso de una coopera-
 ción de justificación positiva, cada par de aberturas de tiem-
 po rellenables contiene dos impulsos de justificación, mien-
 tras que, en una operación de justificación negativa, cada
 10 par de aberturas de tiempo rellenables, contiene dos impulsos
 de datos.

En el caso de justificación positiva-negativa, cada
 una de las operaciones de justificación positiva y negativa se
 alternan en series sucesivas, constituyendo esto la justifica-
 15 ción cero. En efecto, tal justificación positiva-negativa
 puede considerarse como justificación positiva, en dónde exis-
 ten dos aberturas de tiempo de justificación, en lugar de una
 por serie, y con una relación de justificación igual a $1/2$
 ya que una serie de entre dos se justifica o rellena.

También en el caso de justificación positiva-cero-
 20 negativa aparece inestabilidad de tiempo de espera de baja
 frecuencia en el flujo de impulsos a la salida del transmi-
 sor, así como en el flujo de impulsos a la salida del recep-
 tor, como se deduce de la siguiente explicación que es también
 25 válida para la justificación positiva.

Cuando las frecuencias primera y segunda anterio-
 res son exactamente iguales a sus valores nominales, se
 realiza la anterior operación de justificación según una dis-
 tribución normal. Sin embargo, cuando al menos una de estas
 30 frecuencias difiere ligeramente de su valor nominal aunque

sea todavía aceptable, está claro que la regularidad de esta distribución normal tendrá que romperse por una operación de justificación adicional. La frecuencia de estas irregularidades disminuye con la desviación de frecuencia que las causó y, ya que esta desviación de frecuencia debe ser muy pequeña para que sea aceptable, aparece una inestabilidad de tiempo de espera de baja frecuencia en el flujo de impulsos a la salida del transmisor y también en el flujo de impulsos a la salida del receptor por las razones ya mencionadas en relación con la técnica de justificación de impulso positivo.

Contrariamente a la técnica de justificación de impulso positivo, en donde la amplitud de la inestabilidad de tiempo de espera de baja frecuencia es igual a $2\pi/q$ radianes, donde q es el denominador de la relación de justificación p/q , puede verse que, en el caso de justificación positiva-cero-negativa y positiva-negativa, esta amplitud es constante e igual a 2π radianes. Consecuentemente y desde el punto de vista de la inestabilidad de tiempo de espera de baja frecuencia, la técnica de justificación positiva parece tener ventaja sobre la técnica de justificación positiva-cero-negativa y positiva-negativa, con la condición de que el valor de q de la relación de justificación p/q sea suficientemente grande. Sin embargo, cuando debe incorporarse un sistema de transmisión que utilice la técnica de justificación de impulso positivo en una red síncrona y ponerlo en servicio, tienen que incorporarse elementos relativamente complejos para tener en cuenta la diferencia entre las frecuencias nominales primera y segunda de los relojes de escritura y lectura. Tomando el anterior ejemplo en el que $p/q = 14/33$, debe existir un contador para indicar las aber-

turas de tiempo 14 y 19 de cada serie de 33 series sucesivas que deben utilizarse para no transmitir información y transmitirla, respectivamente. Lo mismo ocurre para el receptor.

5 Por el contrario, y todavía con una red síncrona, en el caso de que se utilice justificación positiva-cero-negativa no es necesario tomar tales medidas, ya que solamente entra en juego una justificación cero.

10 En circunstancias semejantes, para la justificación positiva-negativa, el contador que debe existir es muy sencillo, ya que la transmisión de información y no información en las aberturas de tiempo anteriores están siempre alternadas (series impares y pares).

15 Un objetivo del presente invento es proporcionar un sistema de transmisión del tipo anterior pero que permita, en principio, cancelar la inestabilidad de tiempo de espera de baja frecuencia anteriormente a partir del flujo de impulsos de salida del receptor, independientemente de la técnica de justificación utilizada.

20 Según el invento, este objetivo se consigue por el hecho de que el transmisor incluye además elementos de medida para asegurar que una señal, que es una medida de la componente de ruido y está adaptada para transmitir dicha señal a los segundos elementos de conversión, impida que la componente de ruido aparezca en el flujo de impulsos de salida.

25 Otra característica del presente invento es que los elementos de conversión del transmisor y del receptor realizan dicha conversión por la inserción y extracción de impulsos de relleno y de justificación por un proceso de impulsos de justificación y de-justificación, que se aplica
30 al flujo de impulsos de entrada y al flujo de impulsos intermedio respectivamente; dando lugar la inserción de los impul-

sos de justificación a dicha componente de ruido debido a que, por lo menos, una de dichas frecuencias primera y segunda se devía de su valor nominal.

Todavía otra característica del invento es que los elementos de conversión del transmisor incluyen un primer almacenaje intermedio en el que se escribe dicho flujo de impulsos de entrada a la primera frecuencia, y del que se lee a la segunda frecuencia, un primer registro, y primeros elementos de control para mantener la pista en el primer registro, del tiempo de espera que transcurre entre los instantes de escritura y de lectura de cada impulso de entrada en el primer almacenaje intermedio, y para ajustar dicho tiempo de espera de tal manera que permanezca dentro de primeros límites prefijados, incluyendo la evolución de dicho tiempo de espera en el primer registro la mencionada componente de ruido, que es una componente de ruido de fase de baja frecuencia, y porque los elementos de conversión del receptor incluyen un segundo almacenaje intermedio en el que se escribe el flujo de impulsos intermedio en el valor instantáneo de la segunda frecuencia, y del que se lee a la primera frecuencia recuperada; un segundo registro y segundos elementos de control, para mantener la pista en dicho segundo registro del tiempo de espera que transcurre entre los instantes de escritura y lectura de cada impulso del flujo de impulsos intermedio en el segundo almacenaje intermedio y para ajustar dicho tiempo de espera de tal manera que permanezca entre segundos límites predeterminados, implicando dichos ajustes en el transmisor y receptor la ejecución del mencionado proceso de justificación y de-justificación, y porque los elementos de medida en el transmisor aseguran que dicha señal mide la

componente de ruido de fase de baja frecuencia del tiempo de espera en el primer registro, estando controlados los segundos elementos de control por el segundo registro, así como por el tercer registro que almacena dicha señal recibida desde el transmisor, de tal manera que la primera frecuencia recuperada es igual a dicha primera frecuencia utilizada en el transmisor.

El invento está basado en el supuesto de que la inestabilidad del tiempo de espera de baja frecuencia mencionado anteriormente está contenido en la variación del tiempo de espera al que está sujeto el flujo de impulsos de entrada en el primer almacenaje intermedio del transmisor, de tal manera que derivando esta componente de esta variación y transmitiéndola al receptor, la inestabilidad del tiempo de espera de baja frecuencia que aparece normalmente en el flujo de impulsos de salida del receptor puede ser compensado.

De acuerdo con una configuración del invento, el presente sistema de transmisión incluye un conjunto de transmisores y receptores interconectados por elementos de transmisión comunes ya que funcionan en una configuración múltiplex. Cada transmisor está adaptado para convertir un flujo de impulsos de 60 KHz en un flujo de impulsos intermedio de 64 KHz, utilizando una técnica de justificación positivo-negativo, y cada receptor puede convertir un flujo de impulsos intermedio recibido en un flujo de impulsos de salida a 60 KHz por un proceso de de-justificación. Cada transmisor incluye un primer registro para conservar la pista de la evolución del tiempo de espera que transcurre entre los instantes en los que los impulsos del flujo de impulsos de entrada se escriben en un primer almacenaje intermedio por un reloj

de escritura a 60 KHz y los instantes en los que se leen
de este almacenaje intermedio por un reloj de lectura a
64 KHz. De la misma manera, cada receptor incluye un segundo
registro para mantener la pista de la evolución del tiempo
5 de espera que transcurre entre los instantes en los que los
impulsos de un flujo de impulsos intermedio recibido se es-
criben en un segundo almacenaje intermedio por un reloj de
escritura a 64 KHz y los instantes en los que se leen del mis-
mo por un reloj de lectura a 60 KHz. La evolución del tiempo,
10 de espera en el primer almacenaje intermedio incluye una
componente de inestabilidad de tiempo de espera de baja fre-
cuencia cuando, por lo menos, una de las frecuencias de 60
KHz y 64 KHz se desvía de su valor nominal. Una medida de
esta inestabilidad se obtiene en el transmisor promediando
15 el tiempo de espera y transmitiendo el valor obtenido al re-
ceptor en dónde se almacena en un tercer registro. Este re-
ceptor incluye además un bucle de sincronización de fase que
está así controlado por los registros segundo y tercero que
proporciona dicha señal de reloj de lectura a una frecuencia
20 de 60 KHz, que es exactamente igual a la señal de reloj de
escritura a 60 KHz en el transmisor. Como resultado, la señal
de salida del receptor no incluye dicha componente de inesta-
bilidad de tiempo de espera de baja frecuencia.

Los objetivos y características anteriores y otros
25 propios del invento se expondrán con más detalle en la des-
cripción que sigue junto con los dibujos que se acompañan,
en los cuales:

Las figs. 1 a 3 representa esquemáticamente un
circuito de transmisión que forma parte de un sistema de trans-
30 misión según el presente invento;

Las figs. 4 y 5 representan esquemáticamente un circuito receptor que forma parte de este sistema de transmisión;

5 Las figs. 6 a 9 y 15 muestran la evolución del tiempo de espera en un almacenamiento intermedio del transmisor de las figs. 1 a 3,

Las figs. 10 a 14 muestran las formas de onda de los impulsos que aparecen en diferentes puntos del transmisor de las figs. 1 a 3;

10 Las figs. 16 y 17 muestran las formas de onda de los impulsos que aparecen en diferentes puntos del circuito receptor de las figs. 4 y 5.

El presente sistema de transmisión incluye un conjunto de transmisores idénticos y un conjunto de receptores idénticos que están interconectados por elementos de transmisión comunes. El sistema de transmisión funciona en una configuración múltiplex, esto es, en cada transmisor, un flujo de impulsos de entrada o flujo de bits de datos a una frecuencia nominal de 60 KHz o 60 kilobits por segundo (Kb/s) se convierte en un flujo de impulsos intermedio o flujo de bits de datos a 64 KHz ó 64 Kb/s, y estos flujos de bits de datos intermedios se multiplexan por división de tiempo para obtener un flujo de bits de datos común a un bitrate que es un múltiplo de 64 Kb/s. En el lado del receptor, estos flujos de bits intermedios multiplexados, se demultiplexan y, cada uno de ellos se aplica a un receptor correspondiente que convierte este flujo de bits intermedio en un flujo de bits de salida a 60 Kb/s.

15
20
25

En las figs. 1 a 3 y 4, 5 solamente representa respectivamente un transmisor y un receptor, mientras que

30

no se muestran los elementos de transmisión comunes.

La unidad de transmisor mostrada en las figs. 1 a 3 incluye un circuito de interface de línea LIC, un registro de conversión SR, los circuitos multiplexores digitales DMCl a DMC4, los circuitos registros RC1 y RC2, los circuitos sumadores ADC1 a ADC3, el generador de impulsos PG, los contadores BC, GC y FC, los flip-flops-D DH y DF y los circuitos LC1 a LC5.

El circuito interface de línea LIC (fig. 1) está adaptado para decodificar un flujo de bits de datos IS que tiene un bitrate de 60 Kb/s en un flujo de bits de datos DA60 y en dos trenes de impulsos de reloj complementarios de 60 Kb/s (ondas cuadradas) c_{60} y $\overline{c_{60}}$ que se generan en las salidas denominadas DA60 c_{60} y $\overline{c_{60}}$ del LIC. Las salidas c_{60} y $\overline{c_{60}}$ están conectadas ambas al registro de conversión SR y al circuito lógico LC1.

El registro de conversión SR (fig. 1), que se utiliza para almacenar el flujo de bits de datos DA60, está constituido por ocho flip-flops-D interconectados en serie, de los cuales solamente se muestran DS1, DS2, DS7 y DS8, estando conectada la entrada de datos D de DS1 a la salida de datos DA60 del LIC. Las entradas de reloj c de los flip-flops impares y pares DS1 a DS7 y DS2 a DS8 están conectadas a las salidas c_{60} y $\overline{c_{60}}$ del LIC, respectivamente. Las ocho salidas -Q S1 a S8 de los flip-flops-D DS1 a DS8 están conectadas a las ocho entradas de datos del mismo nombre del circuito multiplexor digital DMCl.

Los flip-flops-D DS1 a DS8 y todos los demás, tienen la siguiente tabla de verdad, suponiendo que la entrada de reposición (no mostrada) está en 1:

D	c	Q
0	transición 0 a 1	0
1	transición 0 a 1	1

El circuito multiplexor digital DMC1 (fig. 1) tiene ocho entradas S1 a S8, que están conectadas a las salidas del mismo nombre del registro de conversión SR, tres entradas de control CNO, CN1, CN2 y una salida L. El DMC1 está adaptado para conectar cualquiera de sus entradas S1 a S8 a su salida L. Cada una de estas entradas se identifica por uno de los ocho códigos binarios de 3-bits que pueden formarse por medio de los bits CNO a CN2 que aparecen en las entradas de control del mismo nombre. Cada una de estas entradas puede seleccionarse por el circuito registro RC1 aplicando el código binario respectivo CN2 CN1 CNO a estas entradas de control.

El circuito multiplexor digital DMC2 (fig. 2) tiene las entradas 1 a 7 a las que se aplica un código de serie 0011011, y una entrada 8 que se conecta a la salida $\overline{RP_0}$ del circuito registro RC2.

El circuito multiplexor digital DMC3 (fig. 2) tiene las entradas 1 a 7 a las que se aplica un código de serie auxiliar 0000100 y una entrada 8 que está también conectada a la salida $\overline{RP_0}$ del circuito registro RC2. Finalmente, el circuito multiplexor digital DMC4 (fig. 2) tiene las entradas 1 a 4 que están conectadas a la salida $\overline{RP_5}$ del RC2 y una entrada 8 a la que se aplica el bit binario 0. Las tres entradas de control de los circuitos multiplexores digitales DMC2, DMC3 y DMC4 están conectadas en paralelo a las salidas B0 a B3 del contador de bit BC (fig. 3), mientras que las salidas O2, O3, y O4 de estos circuitos están conecta-

das al circuito lógico LC4.

El circuito registro RC1 (fig. 1) comprende tres flip-flops-D DRC0 a DRC2 cuyas salidas-Q CNO a CN2 están conectadas a las entradas de control del mismo nombre del DMCl. Las entradas-D de estos flip-flops DRC0 a DRC2 están conectadas a las salidas P0 a P2 del circuito sumador ADC1 (fig. 1), mientras que sus entradas de reloj c están conectadas a la salida $\overline{c64}$ del generador de impulsos de reloj PG (fig. 3). El propósito del RC1 es controlar el DMCl por medio de sus salidas CNO a CN2, a fin de que el DMCl conecte una de sus entradas S1-S8 a su salida L.

El circuito registro RC2 (fig. 2) comprende siete flip-flops-D DR-1 a DR5 cuyas entradas-D están conectadas a las salidas RP-1 a RP'5 del circuito sumador ADC3 (fig. 2) respectivamente, mientras que las entradas de reloj c de estos flip-flops están conectadas a la salida T del circuito lógico LC3 (fig. 3). Las salidas-Q RP-1 a RP5 del DR-1 a DR-5 están conectadas a las entradas del circuito sumador ADC3, mientras que la salida-Q $\overline{RP5}$ está conectada al circuito lógico LC3. Las entradas de activación S de los flip-flops -D DR-1, DR0 a DR4 y DR5 están conectadas a las salidas P, P+S y S del circuito lógico LC3 respectivamente, mientras que las entradas de reposición RS de estos flip-flops están conectadas a las salidas R+S, R y P+R de este circuito lógico LC3, respectivamente.

Cada uno de los circuitos sumadores ADC1 (fig. 1) y ADC2 (fig. 2) tiene cuatro entradas de resta A0 a A3, cuatro entradas de suma B0 a B3, una entrada de avance Cin, cuatro salidas suma S0 a S3 y una salida de avance. En la figura solamente se muestran las entradas y salidas que se

utilizan. El circuito sumador ADC3 (fig. 2) está constituido por dos circuitos sumadores conectados en serie, del tipo mencionado anteriormente, estando marcados los terminales respectivos del segundo de estos sumadores con un

5

El circuito sumador ADC1 (fig. 1) está adaptado para sumar las CN2, CN1, CNO que aparecen en los terminales de salida de nombre semejante CN2, CN1, CNO del RC1, a los Z, Y, X, que aparecen en las salidas del mismo nombre Z, Y y X del circuito lógico LC2. La suma de las restas CN2, CN1, CNO y las sumas Z, Y, Z aparece en las salidas P2, P1 y P0 que están conectadas a las entradas-D de los DRC2, DRC1 y DRC0 del RC1, respectivamente, como ya se ha mencionado.

10

15

El circuito sumador ADC2 (fig. 2) está adaptado para sumar las restas CN2, CN1, CNO, 0 aplicadas a las entradas resta A3 A2 A0, a la suma 1001 cuyos bits constituyentes se aplican a las entradas sumadoras respectivas B3 B2 B1 B0. La suma K3, K2, K1, K0, K-1 aparece en los terminales de salida del mismo nombre K3 a K-1. Nótese que las salidas suma están indicadas por K3, K2, K1, K0, K-1, ya que las potencias de dos 3, 2, 1, 0 o -1 están asignadas a ellas.

20

25

El circuito sumador ADC3 (fig. 3) está adaptado para sumar la resta RP5, RP4, RP3, RP2, RP1, RP0, RP-1 proporcionada por el RC2 a la suma $\overline{K3K3K3K2K1K0K-1}$ cuyos bits constituyentes se aplican a las entradas de suma B0 y B3 y B'0 a B'3. La suma RP'6, RP'5, RP'4, RP'3, RP'2, RP'1, RP'0, RP'-1 aparece en los terminales de salida del mismo nombre, asignándose las potencias 2^6 a 2^{-1} a los tres terminales.

30

La salida RP'6 está conectada al circuito lógico LC3 (fig. 3).

El generador de impulsos PG (fig. 3) está adaptado para generar dos ondas cuadradas complementarias $c64$ y $\overline{c64}$ en sus salidas del mismo nombre, teniendo ambas ondas cuadradas una frecuencia de 64 KHz. La salida $\overline{c64}$ del PG está conectada al contador de bit BC, a un circuito registro RC1 y al circuito lógico LC1, mientras que la salida $c64$ está conectada al circuito lógico LC3 y a la entrada c de reloj de los flip-flops DH y DF.

El contador de bit BC está adaptado para contar los 16 bits de cada grupo de serie (que explicaremos después) y tiene las salidas A0 a A3 y $\overline{A0}$ a $\overline{A3}$. La salida del contador de bit BC está conectada a la entrada del contador de grupo GC adaptado para contar 16 grupos G1 a G16 y tiene las salidas B0 a B3 y $\overline{B0}$ a $\overline{B3}$. La salida del GC está conectada a la entrada del contador de serie FC que está adaptado para contar 2 y tiene las salidas \overline{Co} y Co que son 1 para las series impares y pares respectivamente. Las salidas A0 a A3 del BC y B0 a B3 y $\overline{B0}$ a $\overline{B3}$ del GC están conectadas al circuito lógico LC3, mientras que las salidas Co y \overline{Co} del FC están conectadas al circuito lógico LC4 al que están conectadas todas las salidas B3 y $\overline{B3}$ del GC.

El flip-flop-D DH (fig. 1) tiene una entrada-D que está conectada a una salida U del circuito lógico LC1, una entrada de reloj c conectada a la salida $c64$ del generador de impulso PG y las salidas H y \overline{H} que están conectadas al circuito lógico LC2.

El flip-flop-D DF (fig. 1) tiene una entrada-D que está conectada a una salida O5 del LC5, una entrada de reloj c conectada a la salida $c64$ del generador de impulsos PG y una salida-Q que constituye la salida-OUT del transmisor.

El circuito lógico LC1 (fig. 1) que tiene las entradas $c60$, $\overline{c60}$, $c64$, CNo y \overline{CNo} ; proporciona las señales de salida U y V en las salidas del mismo nombre. Estas señales pueden representarse por las funciones de Boolean indicadas y se utilizan para controlar el flip-flop-D DH.

El circuito lógico LC2 (fig. 2) que tiene las entradas H, \overline{H} de DH y AD' del circuito lógico LC4 proporciona las señales de salida X, Y y Z en sus salidas del mismo nombre. Estas señales pueden ser representadas por las funciones de Boolean indicadas y se aplican a las entradas de suma B0 a B3 del ADC1.

El circuito lógico LC3 (fig. 3) tiene las entradas conectadas a las salidas $c64$ de PG y RP5 de RC2 y RP'6 de ADC3 y proporciona las señales de salida AD' , P, R, S, T, P+1, P+S y R+S que pueden ser representadas por las funciones de Boolean mostradas. La señal de salida AD' se aplica al circuito lógico LC5, mientras que las otras señales de salida se aplican al circuito de registro RC2.

El circuito lógico LC4 (fig. 2) tiene las entradas conectadas a las salidas Co , \overline{Co} del contador de serie FC, B3, y $\overline{B3}$ del contador de grupo GC y O2, O3 y O4 del circuito multiplexor digital DMC2, DMC3 y DMC4, respectivamente. El LC4 proporciona la señal AI que puede representarse por la función de Boolean mostrada.

El circuito lógico LC5 (fig. 1) tiene las entradas conectadas a las salidas AI de LC4 y AD' de LC3 y proporciona la señal de salida O5 que puede ser representada por la función de Boolean mostrada.

Los flip-flops-D anteriores, los circuitos sumadores y multiplexores digitales son de la serie CMOS 4000,

disponible generalmente en el mercado Belga, por ejemplo, bajo los números de código 4013, 4512 y 4008 (RCA).

El receptor mostrado en las figs. 4 y 5 incluye un circuito interface de línea LIC1, un registro de conversión SR1, un circuito multiplexor digital DMC5, un circuito de registro RC3, un contador arriba-abajo UDC, un contador de bit BC1, un contador de grupo GC1, un contador de serie FC1, una red de cuadripolos LN, un amplificador diferencial DA, un cuadripolo filtro FN, un oscilador controlado a tensión VCO, los circuitos lógicos LC6 y LC7, un circuito de retardo DC, los flip-flops-D DHO, DH1 y DF1 y los flip-flops J-K, JK y JKCS.

El circuito interface de línea LIC1 (fig. 4) está adaptado para decodificar un flujo de bits de datos de entrada IS1 aplicado a su entrada IS1 y que tiene un bitrate de 64 Kb/s, en un flujo de bits de datos DA64 y dos trenes de impulsos de reloj complementarios (ondas cuadradas) $\overline{c64}$ que se generan en las salidas del mismo nombre DA64, c64 y $\overline{c64}$ del LIC1. La salida DA64 está conectada a la entrada de datos del mismo nombre del registro de conversión SR1, al circuito lógico LC6 y a las entradas de datos D de los flip-flops-D DZ0 a DZ4 del circuito de registro RC3. La salida c64 está conectada a los circuitos lógicos LC6 y LC7, al flip-flop-D DH1 y al circuito de retardo DC, mientras que la salida $\overline{c64}$ está conectada al contador de bit BC1, al flip-flop-D DHO y al flip-flop JK, JKCS.

El registro de conversión SR1 (fig. 4) que se utiliza para almacenar el flujo de bits de datos DA60 está constituido por cuatro flip-flops-D interconectados en serie DS'1 a DS'4, que son del mismo tipo que los DS1 a DS8, están

do conectada la entrada de datos D del DS'1 a la salida de datos DA64 del LIC. Las entradas de reloj de datos flip-flops están conectadas a la salida J del circuito lógico LC7. Las cuatro salidas-Q S'1 a S'4 de los flip-flops-D DS'1 a DS'4 están conectadas a las entradas de datos del mismo nombre del circuito multiplexor digital DMC5.

El circuito multiplexor digital DMC5 (fig. 4) es del mismo tipo que los DMC1 a DMC4 pero solamente se utilizan cuatro de sus entradas S'1 a S'4 que se conectan a las salidas-Q del mismo nombre del registro de conversión SRL. Este tiene también tres entradas de control CN'0, CN'1 y CN'2 que están conectadas a las salidas del mismo nombre del contador arriba-abajo UDC, y una salida L'.

El contador arriba-abajo UDC es de la serie CMOS 4000 (por ejemplo del número de código 4516 fabricado por RCA). Este tiene una entrada arriba-abajo UD, una entrada de señal CI, una entrada de reloj CL, las entradas de activación y reposición (no mostradas), y tres terminales de salida CN'0, CN'1 y CN'2. Este contador tiene la siguiente tabla de verdad (cuando las entradas de activación y reposición son 0):

CI	UD	Acción
Transición de 0 a 1	1	Cuenta arriba
Transición de 0 a 1	0	Cuenta abajo

Las entradas UD, CI y CL están conectadas a las salidas del mismo nombre del circuito lógico LC7, mientras que las salidas CN'0 a CN'2 están conectadas a entradas del mismo nombre del DMC5 y de la red de cuadripolos LN.

Los contadores BC1, GC1 y FC1 (fig. 5) de los cuales BC1 está controlado por la salida $\overline{c64}$ del LIC1, son

idénticos a los contadores BC, GC y FC utilizados en el transmisor y tienen el mismo fin. Las salidas A0 a A3 de BC1, B0 a B3 y $\overline{B0}$ a $\overline{B3}$ del GC1 están conectadas al circuito lógico LC6.

5 El flip-flop-JK, JK (fig. 4) es de la serie CMOS 4000 (por ejemplo el número de código 4027 fabricado por RCA). Tiene las entradas J y K a las que se aplica continuamente un binario 1 (5 voltios), mientras que su entrada de reloj c está conectada a la salida 0 del oscilador controlado a tensión VCO (fig. 14) que proporciona una señal de reloj 10 de 120 KHz. Ya que ambas entradas J y K están en 1, el flip-flop JK actúa como un contador de escala-de-dos que proporciona a su salida las ondas cuadradas complementarias $c60$ y $\overline{c60}$ que tienen ambas una frecuencia de 60 KHz. La salida 15 $\overline{c60}$ está conectada a los flip-flops-D DH0, DH1 y DF1.

El flip-flop-D DH0 (fig. 4) tiene las entradas D y c que están conectadas a las salidas $\overline{c64}$ y $\overline{c60}$ del LIC1 y el flip-flop JK, respectivamente, una entrada de reposición RS conectada a la salida CS del flip-flop-JK JKCS y la 20 salida-Q Ho y \overline{Ho} . La salida Ho está conectada a la entrada-J del flip-flop-JK, JKCS.

El flip-flop-D DH1 (fig. 4) tiene las entradas D y c que están conectadas a las salidas $c64$ y $\overline{c60}$ del LIC1 y del flip-flop-JK, respectivamente, una entrada de 25 reposición RS conectada a la salida \overline{CS} del flip-flop-JK JKCS, y las salidas-Q H1 y $\overline{H1}$. La salida H1 está conectada a la entrada-K del flip-flop-JK, JKCS.

El flip-flop-D DF1 (fig. 4) tiene las entradas D y c que están conectadas a la salida L' del DMC5 y a la 30 salida $\overline{c60}$ del flip-flop-JK, respectivamente. La salida-Q

del flip-flop-D DF1 consituye la salida OUT del receptor.

El flip-flop JKCS (fig. 4) tiene las entradas J y K que están conectadas a las salidas HO y HI' de DHO y DHI y una entrada de reloj c que está conectada a la salida $\overline{c64}$ de LIC1. Las salidas CS y \overline{CS} del JKCS están conectadas a las entradas de reposición RS de DHO y DHI, respectivamente. Además, la salida CS está conectada a la entrada del mismo nombre de la red de cuadripolos LN.

El circuito de retardo DC (fig. 4) proporciona un retardo de un cuarto de período del tren de reloj de 64 KHz aplicado a su entrada. Su salida $c64'$ está conectada al circuito lógico LC7.

El circuito lógico LC6 (fig. 5) tiene las entradas conectadas a la salida DA64 de LIC1, a la salida $\overline{RP5}$ del circuito de registro RC3, a la salida $c64$ del LIC1 y a las salidas AO-A3, BO-Be y BO-B3 del BC1, GC1. Este proporciona las señales de salida Z0 a Z5, G2 y AD' que pueden representarse por las funciones de Boolean mostradas. Las salidas Z0 a Z5 y G2 están conectadas al circuito de registro RC3, mientras que la salida AD' está conectada al circuito lógico LC7.

El circuito lógico LC7 (fig. 4) tiene las entradas conectadas a las salidas CS y \overline{CS} del flip-flop-JK, JKCS, a la salida $c64$ de LIC1, a la salida $c64'$ de DC, a la salida UD, CI, CL y J que pueden ser representadas por las funciones de Booleana mostradas. Las salidas UD, CI y CL están conectadas a las entradas del mismo nombre del contador arriba-abajo UDC, mientras que la salida J está conectada a la entrada de reloj c del registro de conversión SRL.

El circuito de registro RC3 (fig. 5) comprende

site flip-flops-D DZ0 a DZ'5, las entradas de datos D de
 los DZ0 a DZ4 están conectadas a la salida de datos DA64
 del LIC1, mientras que las entradas de reloj c de estos
 flip-flops DZ0 a DZ4 están conectadas a las salidas Z0 a
 5 Z4 del circuito lógico LC6. Los flip-flops-D DZ'5 y DZ5
 están interconectados a fin de formar un divisor-por-cuatro
 estando la entrada de reloj del flip-flop DZ'5 conectada a la
 salida Z5 del LC6. Las entradas de reposición RS de DZ'5
 y DZ5 están conectadas a la salida G2 de LC6. Las salidas
 10 RPO a RP4 del circuito de registro RC3 están conectadas a
 las entradas del mismo nombre de la malla de cuadripolos LN,
 mientras que la salida $\overline{RP5}$ de DZ5 está conectada a la entra-
 da del mismo nombre de LC6.

La malla de cuadripolos LN (fig. 5) comprende las
 15 resistencias R1 a R25, las resistencias R1 a R14 están co-
 nectadas en serie entre tierra en R1 y tierra en R14. El
 punto de unión de las resistencias R6 y R7 está a tierra a
 través de la resistencia R15, mientras que el punto de unión
 de las resistencias R7 y R8 está conectado a +5 Volts (bina-
 20 rio 1) a través de la resistencia R16. Los puntos de unión
 de las resistencias R2, R3; R3, R4; R4, R5; y R5, R6 están
 conectados a los terminales de salida CS de JKCS y CN'0 a
 CN'2 del UDC a través de las resistencias R17 a R20, res-
 pectivamente. Los puntos de unión de las resistencias R3,
 25 R9; R9, R10; R10, R11; R11, R12; R12, R13 están conectados
 a los terminales de salida RP4 a RPO del circuito de regis-
 tro RC3. El punto de unión de las resistencias R5 y R6 cons-
 tituye la salida de la malla de cuadripolos LN y está co-
 nectado a una entrada del amplificador diferencial DA a
 30 través del cuadripolo filtro paso bajo FN. La otra entrada

de DA está conectada a un potencial de referencia REF, mientras que su salida está conectada al amplificador controlado a tensión VCO que funciona a una frecuencia nominal de 120 KHz.

5 Nótese que la malla de cuadripolos LN incluye dos convertidores digital-a-analógico, el primero comprende las resistencias R1 a R5 y R17 a R20, y el segundo comprende las resistencias R9 a R14 y R21 a R25. La salida del primer convertidor digital-a-analógico está conectada a una entrada del amplificador diferencial DA a través de FN, mientras que la salida del segundo convertidor digital-a-analógico está conectada a la misma entrada del DA a través de las resistencias conectadas en serie R8, R7 y R6 y el FN. Los puntos de unión de R8, R7 y de R7, R6 están conectados a +5 Volts (valor binario 1) y tierra (valor binario 0) respectivamente.

15 El valor de las resistencias R2 a R13 es de 33 Kilo-ohmios, mientras que el valor de las R1, R14 y R17 a R25 es de 68 kilo-ohmios.

20 Nótese que el receptor también incluye un circuito de detección de serie (no mostrado) que está conectado a varias salidas del multicircuito anterior.

25 Como se ha mencionado anteriormente, el transmisor está adaptado para convertir un flujo de bits a una frecuencia de 60 KHz en un flujo de bits intermedio a una frecuencia de 64 KHz por la inserción de bits de justificación, mientras que el receptor está adaptado para recuperar el flujo de bits de entrada de este flujo de bits intermedio por la extracción de estos bits de justificación. En esto se utiliza un proceso de justificación positivo/negativo.

30

Considerando el transmisor, el flujo de bits de entrada DA60 proporcionado por el LIC se escribe en el registro de conversión SR al bitrate de 60 Kb/s y aparece a la salida de una etapa de este registro de conversión SR y, como consecuencia, también a la salida L del DMCl a través del cual el RCl selecciona esta etapa. Este flujo de bits se aplica a la entrada de datos D del fli-flop-D DF a través del circuito lógico LC5 y se escribe en el DF al bitrate de 64 Kb/s. Este aparece entonces como un flujo de bits intermedio a la salida OUT del transmisor. Está claro que para tener un funcionamiento correcto, los bits de datos escritos sucesivamente en el registro de conversión SR y, como consecuencia, también en el almacenaje intermedio que comprende SR, DMCl y LC5, deben escribirse sucesivamente en el DF o, en otras palabras, leerse sucesivamente en el almacenaje intermedio. Sin embargo, con el circuito de registro RCl en una cierta condición, los tiempos de espera que transcurren entre los instantes en los que se escriben los sucesivos bits de datos en el almacenaje intermedio y los instantes correspondientes en los que se leen estos bits en este almacenaje intermedio, disminuye gradualmente debido a la diferencia de frecuencia entre 60 KHz y 64 KHz. Consecuentemente, existe entonces el peligro de leer un mismo bit de datos dos veces. Para impedir tal anomalía, se comprueba continuamente el tiempo de espera que transcurre entre los instantes de escritura y lectura, y cuando alcanza un valor crítico de alrededor de la mitad de un período de bit, se avanzan los instantes de escritura en medio período de bit, disminuyendo en 1 el valor almacenado en el circuito de registro RCl que registra así la evolución del tiempo de

espera. Como consecuencia, la posición de RCl es una medida de este tiempo de espera o, en otras palabras, el RCl mantiene la pista de este tiempo de espera. Por supuesto que no se puede continuar de esta manera, ya que la capacidad del registro RCl no es infinita y, como consecuencia, los bits adicionales o bits de relleno se insertan en el flujo de bits intermedio y, más concretamente, en cada abertura de tiempo de orden 16 de este flujo de bits, para compensar una abertura de tiempo para la disminución del tiempo de espera en una abertura de tiempo. Cuando los bitrates de los flujos de bits de entrada e intermedio son exactamente iguales a sus valores nominales, su relación es exactamente igual a 15/16 de tal manera que tal disminución del tiempo de espera igual a una abertura de tiempo del flujo de bits intermedio, se alcanza cada vez que han pasado 16 aberturas de tiempo de este flujo de bits. Esta compensación se obtiene aumentando en 2 el valor registrado en el RCl, ya que esto tiene como efecto que los instantes de escritura de los bits de datos en el almacenaje intermedio se retrasen en una abertura de tiempo.

La inserción de los bits de relleno compensaría exactamente el cambio del tiempo de espera si los bitrates de los flujos de bits de entrada e intermedio fueran iguales a sus valores nominales. Desafortunadamente, por lo menos uno de ellos se desvía de su valor nominal de tal manera que la variación del tiempo de espera no se compensaría completamente por la inserción de los bits de relleno. Más concretamente, cuando el bitrate de 60 Kb/s del flujo de bits de entrada es más lento que 15/16 veces el bitrate 64 Kb/s del flujo de bits intermedio, está claro que el tiempo de espera que transcurre entre los momentos de escritura y

lectura de un bit en y del anterior almacenaje intermedio SR, DMCl, LC5 disminuirá más rápido que en el caso en que ambos bitrates sean iguales a sus valores nominales. La transmisión de series de 15 bits de información y un bit de relleno tendrá que interrumpirse de vez en cuando por una serie de 14 bits de información y 2 bits adicionales, esto es, por dos, así denominados, bits de justificación positiva para aumentar el tiempo de espera en 2 aberturas de tiempo. En caso contrario, cuando el bitrate de 60 Kb/s es más rápido que 15/16 veces el bitrate de 64 Kb/s, el tiempo de espera que transcurre entre los momentos de escritura y lectura de un bit en y del almacenaje intermedio, disminuirá más lentamente que en el caso en que los bitrates de 60 Kb/s y de 64 Kb/s son exactos. Como consecuencia, la transmisión de series de 15 bits de información y 1 bit de relleno tendrá que interrumpirse de vez en cuando por una serie de 16 bits de información para disminuir el tiempo de espera en 2 aberturas de tiempo. En este caso, el bit de información original y el bit de relleno, que ahora se utiliza como un bit de información, deben considerarse como bits de justificación negativa.

Como ya hemos mencionado, el último proceso de justificación mencionado introduce una inestabilidad de tiempo de espera de baja frecuencia en el flujo de bit intermedio a la salida del transmisor.

Este proceso de justificación o relleno se realiza solamente dependiendo de la desviación de, por lo menos, uno de los bitrates de las señales de escritura y lectura de 60 Kb/s y 64 Kb/s, respectivamente, ya que esta desviación debe ser pequeña para ser aceptable, y la frecuencia

del proceso de justificación es en consecuencia baja. Esto significa que en la mayoría de los casos no tiene lugar de justificación, de tal manera que el bit de orden 16 de cada juego de 16 bits transmitidos es entonces un bit ordinario de relleno. Existen por tanto tres tipos de compensación de tiempo de espera: justificación negativa, ninguna justificación y justificación positiva. Sin embargo, se puede prescindir del caso de no justificación si se observa que el efecto neto de dos procesos de justificación opuestos es el mismo que el que proporciona ninguna justificación. De esta manera, se llega a una compensación del tiempo de espera que utiliza un proceso de justificación positivo/negativo en donde las operaciones de justificación positiva negativa normalmente se alternan y en donde esta alternancia se interrumpe por dos procesos de justificación negativa y positiva consecutivos para compensar el hecho de que, por lo menos, uno de los bitrates, se desvía de su valor nominal.

Como explicaremos después, esta alternancia e interrupción de la misma se obtiene automáticamente cuando se mide regularmente el tiempo de espera, al que está sujeto un flujo de bits en el almacenaje intermedio, respecto a un valor predeterminado de tiempo de espera y, cuando el tiempo de espera así medido es demasiado grande (positivo) o demasiado pequeño (negativo) se realiza, respectivamente una operación de justificación negativa o positiva.

La realización práctica del proceso de justificación positivo/negativo anterior, se efectúa para un formato de serie en donde las posiciones de los bits de relleno y justificación está definida de una manera inequívoca. A este

fin, el formato de serie del flujo de bits de salida a 64 Kb/s comprende 16 grupos G1 a G16 que incluye cada uno 16 aberturas de tiempo D1 a D16. Las aberturas de tiempo de orden 16, D16, de los grupos G1 a G15 se utilizan para almacenar los bits de relleno mencionados antes, mientras que las aberturas de tiempo de órdenes 15 y 16, D15 y D16 del grupo G16, se utilizan para almacenar los dos bits de justificación necesarios para una justificación positiva ó negativa. Los 8 bits de relleno almacenados en las aberturas de tiempo D16 de los grupos G1 a G7 y G8 de las series impares, son los bits que forman un código de serie principal 1101100 y el bit $\overline{RP0}$ de un tiempo de espera medido o cambio de fase RP5, RP4, RP3, RP2, RP1, RP0, RP-1, mientras que los 8 bits de rellenos almacenados en las aberturas de tiempo D16 de los grupos G1 a G7 y G8 de las series pares son los bits que forman un código de serie auxiliar 0010000 y el bit $\overline{RP0}$. Finalmente, los 8 bits de relleno almacenados a las aberturas de tiempo D16 de los grupos G8 a G16 de todas las series son $\overline{RP5}$, $\overline{RP5}$, $\overline{RP5}$, $\overline{RP4}$, $\overline{RP3}$, $\overline{RP2}$, $\overline{RP1}$, y el bit 0.

Algunos de los aspectos anteriores se ilustran en las figs. 6 a 9.

La fig. 6 muestra como los tiempos de espera que transcurren entre los instantes en que 15 bits sucesivos se escriben en el almacenaje intermedio SR, DMCl, LC5, DF a 60 Kb/s y los instantes en los que se leen del almacenaje a 64 Kb/s disminuye gradualmente durante un intervalo de tiempo igual a 16 aberturas de tiempo D1 a D16 de este flujo de bits de salida.

Si suponemos que las frecuencias de 60 KHz y 64 KHz son iguales a sus valores nominales, la disminución en

el tiempo de espera es entonces exactamente igual a una
 abertura de tiempo, lo que corresponde a un cambio de fase
 de 2π .

La fig. 7 muestra como varía este tiempo de espera
 5 durante la transmisión de los bits de cada uno de los grupos
 G1 a G16 de una serie, suponiendo nuevamente las frecuencias
 iguales a sus valores nominales.

Si se dibuja una curva que representa la evolución
 en tiempo del tiempo de espera durante series sucesivas,
 10 esto es, sin mostrar la estructura en diente de sierra deta-
 llada dentro de estas series, ya representada en la Fig. 7
 en el caso en que ambos bitrates sean iguales a sus valores
 nominales, está claro que los impulsos constituyentes de
 esta curva tendrían la misma altura, esto es, representan el
 15 mismo valor del tiempo de espera. Esto no es así cuando, al
 menos uno de estos bitrates se desvía de su valor nominal,
 como se deduce de las figs. 8 y 9.

Está claro que la velocidad con la que varía el
 tiempo de espera disminuye cuando disminuye la desviación
 20 de frecuencia y, ya que esta desviación debe ser pequeña
 para que sea aceptable, la variación del tiempo de espera es
 consecuentemente lenta.

Las figs. 8 y 9 representan la evolución en
 tiempo del valor medio del tiempo de espera o cambio de
 25 fase durante las series sucesivas F1-F18, esto es, sin mos-
 trar la estructura en diente de sierra detallada dentro
 de las series, cuando el bitrate de 60 Kb/s es más lenta
 que $\frac{15}{16}$ del bitrate 64 Kb/s, respectivamente. Por valor
 medio se entiende el valor medido con respecto a un valor
 30 predeterminado representado por las abscisas x-x. El criterio

de justificación aplicado es el siguiente: el tiempo de espera se mide preiódicamente (puntos indicados por círculos y cruces) con respecto al valor de tiempo de espera predeterminado, y cada vez que se encuentra positivo este tiempo de espera medio medido (esto es, demasiado grande), respectivamente negativo, (esto es, demasiado pequeño), se ejecuta una operación de justificación negativa o positiva respectivamente. Por ejemplo, en el punto G⁴ de la serie F1, el valor del tiempo de espera medio medido g^4 es negativo y, como consecuencia, va seguido por una operación de justificación positiva al final de esta serie. De la misma manera, en el punto G⁴ de la serie F2 el tiempo de espera medio medido g^4 es positivo y, como consecuencia, va seguido por una operación de justificación negativa al final de esta serie. Ya que el valor medio del tiempo de espera así medido disminuye lentamente (fig. 8) o aumenta (fig. 9) en lugar de permanecer constante como en el caso en que los bitrates anteriores eran iguales a sus valores nominales, la alternancia de las operaciones de justificación positivas y negativas tendrán que interrumpirse. En los dos puntos de medida sucesivos G⁴ de F5 y G⁴ de F6 de la fig. 8, los tiempos de espera medios medidos G^4 y g^4 son ambos negativos, de tal manera que vienen seguidos cada uno por un proceso de justificación positiva en los finales de las respectivas series F5 y F6. De la misma manera en la fig. 9 se ejecutan dos operaciones de justificación en las finales de las series F15 y F16, porque los valores del tiempo de espera medio medido durante estas series son ambos positivos. Está claro que la frecuencia de tales dos operaciones de justificación semejantes consecutivas disminu

ye cuando disminuye la velocidad con la que varía el tiempo de espera. Ya que esta velocidad es baja, la variación del tiempo de espera tiene una inestabilidad de tiempo de espera de frecuencia baja, que viene provocada por la desviación de frecuencia mencionada anteriormente. Esta inestabilidad aparece en el flujo de bits intermedio a la salida del transmisor y, sin compensación, aparecería también en el flujo de bits de salida del receptor, como explicaremos después. Como consecuencia, para hacer posible la compensación de esta inestabilidad del tiempo de espera de baja frecuencia en el receptor, los valores medios medidos del tiempo de espera que incluyen esta inestabilidad se transmiten regularmente al receptor como bits de relleno durante 16 aberturas de tiempo D16 del flujo de bits intermedio. También se transmiten los bits de código de serie mencionados anteriormente como bits de relleno durante las aberturas de tiempo D16. Por esta razón, el circuito de registro RC2 proporciona cada valor de tiempo de espera medido bajo la forma RP5, RP4, RP3, RP2, RP0, RP-1, mientras que el circuito lógico LC4 proporciona una señal AI que puede ser representada por la función de Boolean

$$AI \equiv (\overline{Co.02} + Co.03) \overline{B3} + B304$$

en donde $Co \equiv 0$ para las series impares F1, F3,
 $Co \equiv 1$ para las series pares F2, F4,

$B3 \equiv 0$ para los grupos G1 a G8;
 $B3 \equiv 1$ para los grupos G9 a G16,

02, 03, 04 indican las señales que aparecen sucesivamente en las salidas del mismo nombre de los circuitos multiplexores DMC2, DMC3 y DMC4. Estas señales 02, 03 y 04 están constituidas cada una por 8 impulsos cada uno de los cuales tiene una duración de 16 aberturas de tiempo y que

tiene los mismos valores que los bits del código de la serie principal 0011011 y el bit $\overline{RP0}$, como los bits del código de la serie auxiliar 0000100 y el bit $\overline{RP0}$, y como los bits $\overline{RP1}$, $\overline{RP2}$, $\overline{RP3}$, $\overline{RP4}$, $\overline{RP5}$, $\overline{RP5}$ y 0, respectivamente.

5 El bit $\overline{RP5}$ mencionado anteriormente es un bit de signo e indica si tiene que realizarse una operación de justificación positiva ($\overline{RP5} \equiv 0$) o negativa ($\overline{RP5} \equiv 1$) requiriendo tal operación la inserción de bits de justificación positivos o negativos en las aberturas de tiempo D15 y D16 del grupo G16. Como consecuencia, el valor de $\overline{RP5}$ se utiliza en el circuito lógico LC3 para calcular la función de Boolean de una señal de control AD' que controla la inserción de los bits de relleno anteriores y de los bits de justificación AD' puede representarse por la función de Boolean:

$$15 \quad AD' \equiv D16 \cdot \overline{G16} + \overline{RP5} (D15 + D16) \cdot G16$$

en dónde D16 $\equiv 1$ para la abertura de tiempo D16 de cada uno de los grupos G1-G16

D15 + D16 $\equiv 1$ para las aberturas de tiempo D15 y D16 de cada uno de los grupos G1-G16;

20 G16 $\equiv 1$ para las aberturas de tiempo D1-D16 del grupo G16;

$\overline{RP5} \equiv 0$ para la justificación positiva de tal modo que AD' es entonces como se muestra en la fig. 10;

25 $\overline{RP5} \equiv 1$ para la justificación negativa de tal manera que AD' es entonces como se muestra en la fig. 11.

En LC5, el flujo de bits L se combina con la información auxiliar AI en función del valor binario de la señal de control AD' para proporcionar el flujo de bits O5 en la salida del mismo nombre O5 del LC5. Este flujo de bits O5 puede ser representado por la función de Boolean:

30

$$O5 \equiv \overline{AD'} \cdot L + AD' \cdot AI$$

$$\text{con } AD' \equiv D16 \cdot \overline{G16} + \overline{RP5} (D15 + D16) \cdot G16$$

Consecuentemente, cuando $AD' \equiv 0$ esto es, para las aberturas de tiempo D1 a D15 de los grupos G1 a G15 y para las aberturas de tiempo D15 y D16 del grupo G16 en el caso de $RP5 \equiv 0$ (justificación negativa), el flujo de bits de salida L aparece en la salida O5 de LC5. En este caso, $O5 \equiv L$. Por el contrario, cuando $AD' \equiv 1$, esto es, para las aberturas de tiempo D16 de los grupos G1 a G15 y para las aberturas de tiempo D15 y D16 del grupo G16 en el caso de $\overline{RP5} \equiv 1$ (justificación positiva), el código de serie principal (para las series impares, para las cuales $Co \equiv 0$) o el código de la serie auxiliar (para las series pares, para las cuales $Co \equiv 1$), el valor de tiempo de espera anterior y el bit 0 aparece sucesivamente en la salida O5 de LC5. En este caso, $O5 \equiv O2 + O4$ para las series impares y $O5 \equiv O3 + O4$ para las series pares.

Describiremos en lo que sigue cómo el RCl mantiene la pista de la variación del tiempo de espera y como se utiliza el contenido del RCl para medir el valor del tiempo de espera. Nos referiremos principalmente a las figs. 1 y 12 a 14 en lo que se refiere a como la variación del tiempo de espera se ajusta regularmente, a fin de asegurar una operación correcta del transmisor y como el circuito de registro RCl mantiene la pista de este tiempo de espera al que está sujeto el flujo de bits de entrada en el almacenaje intermedio SR, DMCl, LC5.

Refiriéndonos a las Fgis. 1 y 12, se supone que el registro de conversión RCl está inicialmente en la posición 3 ($CN2 \equiv 0$, $CN1 = 1$, $CN0 \equiv 0$) de tal manera que el

circuito multiplexor digital DMCl conecta la salida-Q del
 flip-flop-D DS3 (no mostrado) del registro de conversión
 SR a la salida L. Para detectar cómo el tiempo de espera
 entre los instantes en que se escribe el flujo de bits
 5 de entrada en el almacenaje intermedio SR, DMCl, LC5 y los
 instantes en que se lee en el mismo evolucionan, se comparan
 continuamente las fases de los trenes de impulsos de reloj
 c64 y c60 (cuando RC1 está en una posición para la cual
 CNo \equiv 0) o de c64 y $\overline{c60}$ (cuando CNo \equiv 1), debido a que,
 10 cuando CNo \equiv 0 y CNo \equiv 1 el flujo de bits L se temporiza
 en los flip-flops-D DF por los trenes de impulsos de reloj
 c60 y $\overline{c60}$, respectivamente. Debido a que CNo \equiv 0 en el caso
 presente, cuando, por ejemplo, los impulsos 1 de c60 y c64
 coinciden parcialmente, esto indica una disminución del
 15 tiempo de espera igual a la mitad de un período de bits,
 y el peligro de tal disminución es que el bit n podría ser
 leído dos veces. Sin embargo, debido a esta coincidencia,
 el flip-flop-D DH se dispara a su condición 1 en dónde su
 salida-Q H se activa temporalmente. Este flip-flop se repone
 20 cuando se activa temporalmente la señal de reposición
 $V \equiv H \cdot \overline{c64}$ en el borde creciente del impulso 2 de $\overline{c64}$. Tan
 pronto como H \equiv 1 y cuando, por ejemplo AD' \equiv 0 durante la
 abertura de tiempo en dónde se detecta el tiempo de espera
 crítico, el circuito lógico LC2 proporciona las señales de
 25 salida Z \equiv 1, Y \equiv 1 y X \equiv 0, de tal manera que el número
 ZXY con el valor binario 110 y el valor decimal 6 aparece
 a la salida del circuito lógico LC2 y se aplica al circuito
 sumador ADCl. Aquí se suma al número binario CN2, CN1, CNO
 almacenado en el circuito de registro RC1, despreciando
 30 un posible dígito portador. Ya que ZYX tiene el valor decimal

6 y ya que el registro RC1 puede contar de 0 a 7, añadir el valor 6 al contenido del registro RC1 y despreciar el dígito portador es equivalente a restar el valor 1 de este contenido. Los bits constituyentes P2, P1 y P0 de la suma obtenida aparecen en las salidas del mismo nombre P2, P1, P0 del circuito sumador ADC1 y se aplican a las entradas-D de los flip-flops-D DRC2, D DRC1 y DRC0 del circuito de registro RC1, respectivamente. Consecuentemente, el valor registrado en el registro RC1 se disminuye en 1, por ejemplo, de la posición 3 a la posición 2, al aparecer el borde creciente del impulso 2 de $\overline{c64}$. Como consecuencia, el DMCl conecta la salida S2 del registro de conversión SR con la salida L, de tal manera que el control del flip-flop-D DH se cambia de $\overline{c60}$ a $\overline{c60}$. Como se muestra en la fig. 12, esto tiene por efecto que el bit n+1 aparezca medio período de bit antes, en la salida L del DMCl, que lo normal, de tal manera que ya no existe peligro de leer el bit n dos veces. Los bits n-1, n, se temporizan en el DF en el borde creciente del tren de impulsos de reloj $\overline{c64}$ y aparecen en la salida OUT, como se muestra. Ya que la disminución detectada del tiempo de espera en la mitad de un período de bit ha sido registrada en el RC1, puede decirse que el RC1 mantiene la pista del tiempo de espera.

Nótese que la detección de un tiempo de espera crítico de la mitad de un período de bit, como se describió antes, tendrá lugar cada vez que hayan pasado 8 aberturas de tiempo y cuando los bitrates de 60 Kb/s y 64 Kb/s sean iguales a sus valores nominales. Sin embargo, cuando esto no es así, está claro que esta detección tendrá lugar más rápida o más lentamente.

En el ejemplo anterior, se ha considerado el caso en el que se detecta un tiempo de espera crítico de la mitad de un período de bit ($H \cong 1$) durante una abertura de tiempo en donde $AD' \cong 0$. Sin embargo puede ocurrir que se tenga simultáneamente $AD' \cong 1$ y $H \cong 0$ ó $AD' \cong 1$ y $H \cong 1$. Como se describió anteriormente cuando $H \cong 1$ el tiempo de espera registrado en el RCl tiene que disminuirse en 1 unidad. Ya que cuando $AD' \cong 1$ tiene que insertarse un bit de relleno o de justificación en el flujo de bits de salida y ya que tal inserción introduce un aumento del tiempo de espera en un período de bit, está claro que, en este caso el contenido de RCl tiene que aumentarse en 2 unidades. Como consecuencia, cuando se tiene simultáneamente $AD' \cong 1$ y $H \cong 0$ ó $AD' \cong 1$ y $H \cong 1$, el contenido del RCl debe aumentarse en 2 unidades y una unidad, respectivamente. Estos casos se describirán después con más detalles.

Refiriéndonos a la fig. 13 consideremos el caso en el que un bit de relleno o de justificación, por ejemplo, el bit de relleno $\overline{RP3}$, tiene que insertarse en la abertura de tiempo D16 del grupo G11 del flujo de bits intermedio, suponiendo que no se detecta un cambio de fase crítico durante esta abertura de tiempo, esto es, $H \cong 0$. Durante esta abertura de tiempo se tiene $AI \cong 04 \cong \overline{RP3}$, ya que $B3 \cong 1$ y DMC4 está en la posición 2, mientras que $AD' \cong 1$ ya que D16 $\cong 1$ y G16 $\cong 0$. Esta abertura de tiempo D16 comienza en el borde creciente del impulso 2 del tren de impulsos de reloj $\overline{c64}$, y termina en el borde creciente del impulso 3 de $\overline{c64}$. Consecuentemente, durante esta abertura de tiempo D16, el circuito lógico LC2 proporciona las señales $Z=0, Y=1, X=0$, de tal manera que el nº ZYX que tiene el valor binario 010 y el valor decimal 2 se aplica al circuito sumador ADC1.

Aquí se suma al número binario CN2, CN1, CNO almacenado en el circuito de registro RC1, despreciando un posible dígito portador. Como resultado, el número registrado en el circuito registro RC1 se aumenta en 2 al comienzo del impulso 3 del tren de impulsos de reloj $\overline{c64}$, como se requiere. Esto significa que cuando el circuito registro RC1 estaba, por ejemplo, inicialmente en la posición 2, se lleva ahora a la posición 4, de tal manera que el DMCl conecta ahora la entrada S4 a su salida L. Consecuentemente los bits n-1, n, n+1 y nuevamente n y n+1 aparecen sucesivamente en el flujo de bits L a la salida L del DMCl. Estos bits $\overline{RP3} \equiv 0$ ó 1 están temporizados en el flip-flop-D DF por el tren de impulsos de reloj $\overline{c64}$, de tal manera que en el flujo de bits intermedio a la salida OUT del transmisor, el bit $\overline{RP3}$ aparece entre los bits n-1 y n. Esto significa que el tiempo de espera del bit n y, por lo tanto, de los bits siguientes, se ha aumentado en un período de bit.

Nótese que las últimas operaciones descritas tienen lugar cada vez que tiene que insertarse un bit de relleno o de justificación en el flujo de bits intermedio y cuando, simultáneamente, no se detecta un tiempo de espera crítico.

Por el contrario, cuando se detecta un tal tiempo de espera crítico durante una abertura de tiempo en dónde debe insertarse un bit de justificación o de relleno en el flujo de bits intermedio, se ejecutan las siguientes operaciones, refiriéndonos a la fig. 12 y suponiendo que $AI \equiv \overline{RP3}$ durante la abertura de tiempo delimitada por los bordes crecientes de los impulsos 1 y 2 de $\overline{c64}$.

Debido a que $AD' \equiv 1$ y $H \equiv 1$, el circuito lógico LC2 proporciona las señales de salida $Z \equiv 0$, $y \equiv 0$, $X \equiv 1$, de tal

manera que el número ZYX correspondiente que tiene el valor binario 001 se aplica al circuito sumador ADC1 en donde se suma al número binario CN2, CN1, CNO almacenado en el circuito de registro RC1, despreciando un posible dígito portador. Ya que ZYX tiene el valor decimal 1, se añade un 1 al número registrado en el circuito de registro RC1, y la suma resultante se inscribe en este circuito de registro RC1 a través de las salidas P2, P1 y P0. Consecuentemente, el circuito de registro RC1 que estaba inicialmente por ejemplo, en la posición 3 (fig. 12) se lleva a la posición 4, de tal manera que el DMCl conecta ahora la entrada S4 a su salida L. Aunque no se muestra explícitamente en la fig. 12 está claro que cuando tiene lugar la transición de la posición del registro 3 a la posición 4, en el momento de la transición entre las posiciones del registro 3 a 2 tuvo lugar en el ejemplo de la fig. 12, los bits $n-2$, $n-1$, $n-1$, n aparecen sucesivamente en la salida L del DMCl. Estos bits y el bit $\overline{RP3} \equiv 0$ se temporizan en el flip-flop-D DF por el tren de impulsos de reloj c64, de tal manera que, en el flujo de bits intermedio a la salida OUT del transmisor, el bit $\overline{RP3}$ aparece entre los bits $n-2$ (no mostrado) y $n-1$ los bits $n-1$, n , etc. que aparecen en el flujo de bits L la mitad de una abertura de tiempo antes que lo normal.

Otro ejemplo que puede considerarse es el de una operación de justificación positiva. En este caso, deben insertarse dos bits de justificación en las aberturas de tiempo D15, y D16 del grupo G16. Esto tiene lugar de la siguiente manera, refiriéndonos a la fig. 14. Durante las aberturas de tiempo D15 y D16 del grupo G16, y ya que se requiere una justificación positiva, se tiene $D15 + D16 \equiv 1$,

$G16 \equiv 1$ y $\overline{RP5} \equiv 1$, de tal manera que $AD' \equiv 1$ durante $D15$ y $D16$. Por otra parte, $AI \equiv 04 \equiv 0$ durante $G16$ y, por lo tanto, también durante las posiciones de bit $D15$ y $D16$ de $G16$, de tal manera que los bits de justificación son ambos

 5 0. Debido a que $AD' \equiv 1$ y ya que $H \equiv 0$ se tiene $Z \equiv 0$, $Y \equiv 1$ y $X \equiv 0$, de tal manera que el circuito sumador $ADC1$ suma 2 al valor almacenado en el circuito de registro $RC1$ al final de cada una de las aberturas de tiempo $D15$ y $D16$. Como resultado, este circuito de registro $RC1$ pasa de la posición

 10 2 a la posición 4 y luego a la 6, de tal manera que se aumenta el tiempo de espera en dos aberturas de tiempo. Consecuentemente, los bits $n-i$, n , $n-1$, n , $n-1$, n aparecen sucesivamente a la salida OUT del transmisor, como se muestra.

15 En el caso de una justificación positiva, $AD' \equiv 0$ durante las aberturas de tiempo $D15$ y $D16$ del grupo $G16$, de tal manera que, cuando también $H \equiv 0$, se tiene $Z \equiv 1$, $Y \equiv 1$, $X \equiv 1$ y, como consecuencia, el valor registrado en el $RC1$ no se modifica.

20 De los ejemplos anteriores se deduce que $RC1$ mantiene la pista de la evolución del tiempo de espera debido a que:

 - cuenta hacia arriba 2 unidades cuando se inserta un bit de relleno o de justificación en el flujo de bits intermedio;

 25 - cuenta hacia abajo una unidad cuando se detecta un tiempo de espera crítico de la mitad de un período de bit;

 - cuenta hacia arriba 1 unidad cuando se inserta simultáneamente un bit de relleno o de justificación en el flujo de bits intermedio y se detecta un tiempo de espera crítico.

30 Teniendo en cuenta lo anterior, nos referiremos

ahora a la fig. 15 que representa en detalle la evolución del tiempo de espera o cambio de fase durante un intervalo de tiempo representado esquemáticamente por un círculo o por una cruz en las figs. 8 y 9. En otras palabras, la fig. 15 muestra la evolución del tiempo de espera durante un intervalo de tiempo que cubre las aberturas de tiempo D1 a D16 del grupo G4. Cada unidad sobre los ejes de abscisas y ordenadas representa un tiempo de espera de la mitad de un período de bit o un cambio de fase correspondiente de π radianes, aunque hayan sido utilizadas dos escalas diferentes. Las curvas en diente de sierra A'B'E'F' y A''B''E''F'' representan ejemplos de las variaciones reales del tiempo de espera mientras que las curvas rectangulares ABCDEF y AGHIJKFLMN muestran como el RCl mantiene la pista de estas variaciones. Ya que cada unidad, sobre el eje de ordenadas, representa un tiempo de espera de la mitad de un período de bit, la misma representa una posición de RCl. Estas posiciones se indican con respecto a una referencia 0 (a la izquierda del eje de ordenadas) y a una referencia igual a 3,5 (derecha del eje de ordenadas) que es la posición central (ficticia) del RCl. Esta posición central corresponde al eje x-x en las figs. 8 y 9.

Considerando en primer lugar la curva en diente de sierra A'B'E'F' y la curva rectangular ABCDEF, nótese que la variación total del tiempo de espera, como se representa por esta curva en diente de sierra, es igual a una abertura de tiempo cuando ambas frecuencias de 60 KHz y de 64 KHz son iguales a sus valores nominales, pero ligeramente diferentes de una abertura de tiempo cuando, por lo menos una de estas frecuencias, difiere de su valor nominal. Sin embar-

go, esta diferencia no es visible en el dibujo. Como se describió anteriormente, el RCl mantiene la pista de la evolución del tiempo de espera y, cuando se detecta un tiempo de espera crítico durante las aberturas de tiempo sucesivas D16, D1 y D16, la posición del RCl varía, como se representa por la curva rectangular ABCDEF, en dónde:

- AB indica que RCl permanece en la posición 3, ya que no se detectó un tiempo de espera crítico;

- CD indica que el RCl pasa de la posición 3 a la posición 2 al final de la abertura de tiempo D8, debido a la detección de un tiempo de espera crítico igual a la mitad de un período de bit durante esta abertura de tiempo D8, como se describió anteriormente refiriéndonos a la fig. 12. Este RCl mantiene exactamente la pista de la variación del tiempo de espera;

- DE indica que el RCl permanece en la posición 2;

- EF indica que el RCl se lleva a la posición 3 al final de la abertura de tiempo D16, y de una manera similar, a como al final de la abertura de tiempo precedente D16 (línea AB).

Debido a que el RCl mantiene exactamente la pista de la variación del tiempo de espera, como se muestra, ambas curvas A'B'E'F' y ABCDEF tienen la misma área bajo ellas, y por lo tanto, representan también el mismo valor medio del tiempo de espera. Este valor medio se indica por "a" que, por ejemplo, corresponde a la "a" mostrada en la fig. 8.

Como se explicó anteriormente refiriéndonos a las figs 8 y 9, este valor medio varía cuando por lo menos, una de las anteriores frecuencias de 60 KHz y 64 KHz no es igual a su valor nominal. Por ejemplo, al anterior curva en

diente de sierra A"B"E"F" representa una variación del tiempo de espera que tiene un valor medio igual a "a". Se supone que la diferencia entre "a" y "a'" es igual a 1/16 de un período de bit. Debido a esto, la detección de un tiempo de espera crítico tendrá lugar al final de los períodos de bits D1, D9 y D1 y el RCl mantendrá la pista de las variaciones de espera variando su posición, como se representa por la curva rectangular AGHIJKELMN. En dónde:

- AG indica que el RCl pasa de la posición 2 a la posición 4 al final de la abertura de tiempo D16, como se describió refiriéndonos a la fig. 13, para el caso en que $AD' \cong 1$ y $H \cong 0$;
- GH indica que el RCl permanece en la posición 4,
- HI indica que el RCl pasa de la posición 4 a la 3 al final de la abertura de tiempo D1, debido a la detección de un cambio de fase crítico de una manera similar a la descrita con referencia a la fig. 12;
- IJ indica que el RCl permanece en la posición 3;
- JK indica que el RCl pasa de la posición 3 a la posición 2 al final de la abertura de tiempo D9 debido a la detección de un tiempo de espera crítico, de una manera similar al descrito con referencia a la fig. 12;
- KE indica que el RCl permanece en la posición 2;
- EL indica que el RCl pasa de la posición 2 a la posición 4 al final de la abertura de tiempo D10 de una manera similar a la representada por la línea AG;
- LM indica que el RCl permanece en la posición 4;
- MN indica que el RCl pasa de la posición 4 a la posición 3 de una manera similar a la representada por la línea HI.

Ya que la superficie de B'B"E"E' es igual a la

suma de BHGI y DCJK, que tienen ambas una superficie igual a la unidad de superficie 1, ambas curvas A"B"E"F" y AGHIJKEL tienen la misma área bajo ellas y, por lo tanto, representa el mismo valor medio "a'" del tiempo de espera.

De lo anterior se deduce que puede obtenerse una medida del valor medio del tiempo de espera midiendo el valor bajo la curva que representa la posición del registro RC1. De la fig. 15 se deduce que, cuando este valor medio varía de 1,5 a 5,5, en pagos de $1/16$ de una abertura de tiempo, el área bajo las curvas anteriores varía de -32 a +32 unidades de superficie en pasos de 2 unidades de superficie.

Por ejemplo:

RC1	(RC1)-3,5	Area
1,5	-2	-32
2,5	-1	-16
3,5	0	0
4,5	+1	+16
5,5	+2	+32

En relación con esta tabla, nótese que el valor medio del tiempo de espera puede hacerse solo temporalmente menor que 1,5 ó mayor que 5,5. En otras palabras, la desviación de este valor medio respecto al valor central 3,5 medido como se explicó con las figs. 8 y 9, puede, temporalmente, hacerse menor que -2 ó mayor que +2, de tal manera que el RC1 puede llevarse solo temporalmente a sus posiciones extremas 0 y 7, como consecuencia, cuando el valor medio medido es, por ejemplo, mayor que +2, se ejecutará un proceso de justificación negativa como se explicó en relación con las figs. 8 y 9. Como resultado esta valor medio se mide en el siguiente instante y se encontrará mayor que 0 y, como con-

secuencia, se ejecutará otro proceso de justificación negativa para llevar el tiempo de espera medido a un valor algo mayor que -2. A partir de este momento alternarán los procesos de justificación negativa y positiva y el valor medio del tiempo de espera variará entre alrededor de -2 y 0, pero estos límites cambiarán de nuevo hacia arriba o hacia abajo dependiendo de la desviación de, por lo menos, una de las frecuencias, de su valor nominal.

Volviendo a las figs. 1 a 3 describiremos ahora con detalle como se mide o calcula el valor del tiempo de espera medio durante cada intervalo de tiempo G_4 , para obtener una medida de la inestabilidad del tiempo de espera de baja frecuencia mencionada anteriormente.

Este valor del tiempo de espera medio se mide, más concretamente, calculando en cada una de estas aberturas de tiempo del grupo G_4 la desviación de la posición del registro RC1 de su posición central 3,5 y haciendo cada vez, la suma acumulada de la diferencia obtenida y del contenido del registro RC2, que se preselecciona al valor de 31,5, a fin de que pueda ocuparse de los valores positivos solamente y no necesitar ningún bit del valor binario 64. Como se describió en relación con la fig. 15, la suma acumulada de las desviaciones puede tomar cualquiera de los valores de -32 a 32, a través de 0, en pasos de 2, de tal manera que la suma acumulada total del último valor y 31,5 puede tomar cualquiera de los valores de -0,5 a 63,5, con un pequeño error, de 0 a 63,5. Como consecuencia, el criterio de justificación dado en relación con las figs. 8 y 9 puede formularse como sigue: cuando una suma acumulada almacenada en el registro RC2

- es por lo menos, igual a 32, esto significa que el valor del tiempo de espera medio es demasiado elevado, ya que es más elevado que el que corresponde al circuito de registro RCl estando en su posición central (representado por el eje x-x en las figs. 8 y 9). Consecuentemente, este tiempo de espera medio tendría que ser disminuido por una operación de justificación negativa;

- es menor que 32, esto significa que el valor del tiempo de espera medio es demasiado pequeño, de tal manera que se requiere una operación de justificación positiva para aumentar este tiempo de espera medio;

- excepcionalmente disminuye por debajo de 0.6 y aumenta por encima de 64, y un 0 y un 64 se inscribe en el RCl respectivamente.

15 Cuando el resultado acumulado está representado por el valor binario

RP5, RP4, RP3, RP2, RP1, RP0, RP-1

está claro que el anterior criterio de justificación puede modificarse así:

20 $\overline{\text{RP5}} = \overline{0}$: justificación negativa. En este caso los bits de información se transmiten durante las aberturas de tiempo D15 y D16 del grupo G16, $\text{AD}' \equiv 0$

$\overline{\text{RP5}} \equiv 1$ justificación positiva. En este caso, se transmiten dos bits de justificación con valor 0 en las aberturas de tiempo D15 y D16 del grupo G1, G16, ya que

25 $\text{AD}' \equiv 1$.

La medida anterior se realiza con detalle de la manera siguiente:

30 Durante las aberturas de tiempo D15 y D16 del grupo G1 de cada serie, el circuito lógico LC3 (fig. 3)

proporciona una señal de salida P que puede representarse por la función de Boolean

$$P \cong (D15 + D16).G1 \cong 1$$

así como las señales de salida $P + R \cong P + S \cong P$, ya que

$$R \cong S \text{ O debido a que } G4 \cong 0.$$

Consecuentemente, los flip-flops-D, DR4, DR3, DR2, DR1, DR0 y DR-1, del circuito de registro RG2 (fig. 2), se ponen en su condición-1, de tal manera que el código binario que tiene el valor decimal 31,5, se almacena en este circuito registro cuando se asignan las potencias $2^4, 2^3, 2^2, 2^1, 2^0, 2^{-1}$ a los flip-flops-D, DR5 a DR-1, respectivamente.

Durante las aberturas de tiempo D1 a D16 del grupo G4 de cada serie, el circuito lógico LC3 proporciona una señal de reloj T para el circuito de registro RC2. Este señal T puede representarse por la función de Boolean

$$T \cong \overline{G4c64} \cong \overline{c64}$$

de tal manera que la información aplicada al circuito de registro RC2 se temporiza al ritmo del tren de impulsos de reloj $\overline{c64}$. Fuera del grupo G4 esto es imposible, ya que en este caso, $T \cong 1$.

El propósito del circuito sumador ADC2 (fig. 2) es calcular, en cada una de las aberturas de tiempo D1 a D16 del grupo G4, la diferencia entre el valor del tiempo de espera almacenado en el circuito de registro RC1 y el valor del tiempo de espera predeterminado 3,5 mientras que el papel del circuito sumador ADC3 (fig. 2) es hacer la suma reiterativa de los diferentes valores proporcionados por ADC2 y almacenar el resultado acumulado, obtenido cada vez, en el circuito de registro RC2, que está presituado en el valor 31,5.

El circuito sumador ADC2, en lugar de calcular la diferencia entre el valor almacenado en RC1 y 3,5, computa la suma de este valor y 4,5, teniendo esta suma el valor binario $K_3, K_2, K_1, K_0, K_{-1}$. Estos bits tienen las potencias $2^3, 2^2, 2^1, 2^0$ y 2^{-1} , respectivamente. El circuito sumador ADC3 calcula la suma de los valores $RP_5, RP_4, RP_2, RP_1, RP_0, RP_{-1}$ almacenados en el RC2 y el valor binario $\overline{K_3}, \overline{K_2}, \overline{K_1}, K_0, K_{-1}$ y proporciona la suma con el valor binario $RP'_6, RP'_5, RP'_4, RP'_3, RP'_2, RP'_1, RP'_0, RP'_{-1}$. Los bits RP'_5 a RP'_{-1} de la última suma se inscriben en el registro RC2 por la señal de reloj T.

Procediendo de esta manera se obtiene el resultado correcto. No cabe duda de que, debido a que el ADC2 computa la suma de los valores almacenados en RC1 y 4,5, en lugar de la diferencia de este valor y 3,5, la suma obtenida es demasiado grande. Como consecuencia, en lugar de aplicar el valor binario $K_3, K_2, K_1, K_0, K_{-1}$ al ADC3, se aplica el valor binario $\overline{K_3}, \overline{K_2}, \overline{K_1}, K_0, K_{-1}$. Esto es correcto, ya que en el caso en que la suma con el valor binario $K_3, K_2, K_1, K_0, K_{-1}$ es mayor que 8, esto es, $K_3 \equiv 1$, se resta 8 aplicando K_2, K_1, K_0, K_{-1} al ADC3 que proporciona así el resultado correcto $RP'_6, RP'_5, RP'_4, RP'_3, RP'_2, RP'_1, RP'_0, RP'_{-1}$. El valor binario del bit RP'_6 es normalmente 0 y, como consecuencia solamente se inscriben en el RC2 los bits RP'_5 a RP'_{-1} . Sin embargo, cuando este resultado se hace, excepcionalmente, al menos igual a 64 ($RP'_6 \equiv 1$), debido a que el valor medio medido mostrado en la fig. 15 se hace mayor que +2, el circuito de registro RC2 se sitúa en una condición en la que todas sus etapas están en la condición-1 por la señal

de control $S \equiv K_3.RP'6.G4.c64 = 1$. Esto tiene lugar en el borde decreciente del impulso del tren de impulsos de reloj $\overline{c64}$ por medio del cual la suma proporcionada por el ADC3 se ha almacenado en el RC2. Nótese que DR-1, DR0 a DR4 y DR5 se sitúan, de hecho, por las señales de control $R+S \equiv S$, $P+S \equiv S$ y S , respectivamente;

- es menor que 8, esto es, $K_3 \equiv 0$, se suma 56 aplicando el valor binario 1, 1, 1, K_2 , K_1 , K_0 , $K-1$ a ADC3.

Por supuesto que, en este caso, el resultado $RP'6$, $RP'5$, $RP'4$, $RP'3$, $RP'2$, $RP'1$, $RP'0$, $RP'-1$ proporcionado por el ADC3 es $56+8 = 64$, demasiado grande.

Por lo tanto el bit $RP'6$ tiene generalmente un valor binario de 1, de tal manera que, se obtiene el resultado correcto simplemente ignorando $RP'6$.

Esta es la razón por la que de nuevo solamente los bits $RP'5$ a $RP'-1$ se inscriben en el RC2. Sin embargo, cuando excepcionalmente $RP'6 \equiv 0$, debido a que el valor medio medido mostrado en la fig. 15 se hace menor que -2, todas las etapas del circuito registro RC2 pasan a la condición 0 por la señal de control $R \equiv \overline{K_3.RP'6.G4.c64} \equiv 1$. Esto ocurre en el borde decreciente del impulso del tren de impulsos de reloj $\overline{c64}$ por medio del cual la suma proporcionada por ADC3 se ha almacenado en el RC3. Nótese que DR-1, DR0 a DR4 y DR5 están, de hecho situados por las señales de control $RTS \equiv R$, $P+S \equiv P$ y S , respectivamente.

Consideraremos seguidamente el funcionamiento del receptor descrito anteriormente, refiriéndonos a las figs. 4, 5, 16 y 17.

Cuando un flujo de bits de entrada IS1, que es el flujo de bits intermedio del transmisor, se aplica a la en-

trada del circuito interface de línea LIC1, este último proporciona un flujo de bits intermedio DA64 y los trenes de impulsos de reloj c64, y $\overline{c64}$. Este flujo de bits DA64 se aplica al circuito lógico LC6 (fig. 5), al registro RC3 y al registro de conversión SRI que, junto con el DMC5, forma un almacenaje intermedio. En este registro de conversión, cada bit del flujo de bits intermedio DA64 se escribe por el tren de impulsos de reloj J proporcionado por el circuito lógico LC7 (fig. 4) a un bitrate instantáneo de 64 KB.s. El flujo de bits aparece a la salida L' del DMC5 que está conectado a la etapa del SRI que se selecciona por el UDC a través del DMC5. Finalmente, el flujo de bits L' se escribe en el flip-flop-D, DF1 o se lee del almacenaje intermedio SRI, DMC5 a un bitrate de 60 Kb/s por el tren de impulsos de reloj $\overline{c60}$ proporcionado por el JK.

Para contar los bits del flujo de bits intermedio DA64 aplicado al circuito lógico LC6 los contadores BC1, GC1 y FC1 proporcionan los impulsos de salida indicados. Estos impulsos se aplican a este circuito lógico LC5 que, como consecuencia, proporciona las diversas señales de control mostradas, y más concretamente, la señal de control AD' que se aplica al circuito lógico LC7 en donde se utiliza para calcular la función de Boolean del tren de impulsos de reloj J mencionado anteriormente para controlar el cambio del flujo de bits DA64 en el registro de conversión SRI. Ya que

$$J = AD' (c64.c64'.CS + \overline{c64}'.\overline{CS})$$

en donde $AD' = D16.\overline{G16} + \overline{RP5}.(D15+D16).G16.$

Los impulsos de justificación y relleno recibidos desde el transmisor durante las aberturas de tiempo D16 de G1-G15 y, posiblemente, durante D15-D16 de G16 se les impide

entrar en el registro de conversión SRL, ya que en este caso $AD' \equiv 0$.

El objeto del multicircuito que comprende los flip-flops-D DHO y DHL así como el flip-flop-JK JKCS, es detectar un valor crítico del tiempo de espera que transcurre entre los instantes en que los bits del flujo de bits intermedio es escriben en el almacenaje intermedio SRL, DMC5 al bitrate de 64 Kb/s, y los momentos en que estos bits se temporizan en el flip-flop-G DF1 o se leen de este almacenaje intermedio al bitrate de 60 Kb/s. La aparición de un tal tiempo de espera crítico se comprueba alternativamente por los flip-flops-D DHO y DHL, dependiendo de que el flip-flop-JK, JKCS esté en la condición-1 o en la condición-0 respectivamente, y la condición del JKCS se invierte después de cada detección de un tiempo de espera crítico o cambio de fase. Esto es:

- cuando $\overline{CS} \equiv 1$ el flip-flop-D, DHO se activa, ya que su entrada de reposición RS está entonces desactivada. El cambio de fase entre los trenes de impulsos de reloj $\overline{c64}$ y $\overline{c60}$ se compara entonces por este flip-flop-D, DHO. Esto se hace porque el flujo de bits intermedio DA64 entra en el registro de conversión SRL por el tren de impulsos de reloj $J \equiv \overline{c64}$ que, según se muestra en las figs. 16 y 17, está retrasado un cuarto de una abertura de tiempo con respecto al tren de impulsos de reloj $\overline{c64}$;
- cuando $CS \equiv 1$ se activa el flip-flop-D, DHL, ya que su entrada de reposición RS está entonces desactivada. El cambio de fase entre los trenes de impulsos de reloj $c64$ y $\overline{c60}$ se compara entonces por el flip-flop-D, DHL. Esto se hace porque el flujo de bits intermedio DA64 entra en el registro de conversión SRL por el tren de impulso de reloj de control

$J \equiv c64.c64'$, cuyos bordes delanteros están retrasados en un cuarto de una abertura de tiempo con respecto al tren de impulso de reloj $c64$, como se muestra en las figs. 16 y 17. Cada vez que uno de los flip-flops-DHO y DHL se dispara a su condición-1 en el borde trasero de un impulso de tren de impulsos de reloj $\overline{c60}$ a la detección de un tiempo de espera crítico, el flip-flop-JK, JKCS se dispara por el borde decreciente del impulso que le sigue inmediatamente del tren de impulsos de reloj $\overline{c64}$, para invertir la condición de sus salidas \overline{Q} y Q , CS y \overline{CS} .

Lo anterior se representa claramente en las figs. 16 y 17 y lo describiremos después con más detalle junto con el modo como el UDC mantiene la pista del tiempo de espera cuando se detecta un tiempo de espera crítico o se aplica un bit de relleno o justificación al almacenaje intermedio SRI, DMC5.

La parte izquierda de la fig. 16 muestra el caso para el que $AD' \equiv 0$ (no se recibe ningún bit de relleno o de justificación). Inicialmente, $CS \equiv 1$, de tal manera que, el cambio del flujo de bits $DA64$ en el registro de conversión SRI está controlado por los bordes crecientes del tren de impulsos de reloj $J \equiv c64.c64'$. Así, el contenido de las etapas DS1, DS2 y DS3 del registro de conversión SRI evoluciona como se muestra y, ya que el contador hacia abajo UDC se supone que está inicialmente en la posición 2, el flujo de bits L' es como se muestra en el dibujo. En el momento en que tiene lugar una coincidencia entre los impulsos 2 de los trenes de impulsos de reloj $c64$ y $\overline{c60}$, esto significa que se está detectando un tiempo de espera o cambio de fase crítico demasiado grande y que este tiempo de espera tiene que ser disminuido a fin de no perder bits. Esto tiene lugar

como sigue: debido a la detección de la coincidencia, el flip-flop-D, DHL se dispara a su condición-1 en donde su salida H está activada. Consecuentemente, el flip-flop-JK, JKCS se dispara a su condición-0, en donde $CS \equiv 0$, por el borde creciente del impulso que le sigue inmediatamente del tren de impulsos de reloj $\overline{c64}$. En este momento también el flip-flop-D, DHL, se dispara a su condición-0 debido a que su entrada de reposición RS está entonces activada, mientras que el flip-flop-D, DHO, se activa debido a que su entrada de reposición RS está entonces desactivada. Debido a que $\overline{CS} \equiv 1$ el tren de impulsos de reloj $J \equiv \overline{c64}'$, de tal manera que el cambio del flujo de bits DA64 en el registro de conversión SRL está entonces controlado por los bordes ascendentes de estos impulsos de reloj, como se muestra. Esto significa que los instantes de escritura en el SRL están avanzados en la mitad de un período de bit, de tal manera el tiempo de espera se aumenta en el mismo período. Sin embargo, en el momento en que $R1 \equiv 1$ y ya que $AD' \equiv 0$ y $CS \equiv 1$, el LC7 proporciona las siguientes señales

20

$$UD = AD' = 1$$

$$CI = H1 \cdot AD' = 0$$

$$CL \equiv (H1 + AD')(\overline{c64} \cdot c64' \cdot CS + \overline{c64}' \cdot \overline{CS}) \equiv c64 \cdot c64'$$

de tal manera que el contador UDC avanza de la posición 2 a la posición 3 en el momento que la señal de reloj CL cambia de 0 a 1. Consecuentemente, el resultado del cambio del control del cambio de SRL y del avance de UDC es que la aparición de los bits $n+1$ en el flujo de bits L' se retrasa en la mitad de un período de bit, de tal manera que el tiempo de espera disminuye, como se requería. Este flujo de bits L' se muestra en el flip-flop-D, DF1 al ritmo

30

del tren de impulsos de reloj $\overline{c60}$ y aparece como el flujo de bits de salida DA60 a la salida OUT del receptor.

La parte izquierda última de la fig. 17 muestra el caso para el cual $AD' \equiv 0$ y para el cual inicialmente $CS \equiv 0$ de tal manera que el cambio del flujo de bits DA64 en el registro de conversión SRL está controlado por los bordes ascendentes del tren de impulsos de reloj $J = \overline{c64}'$. Así, el contenido de las etapas DS1, DS2 y DS3 del registro de conversión SRL evoluciona como se muestra y ya que el contador arriba-abajo UDC se supone que está inicialmente en la posición 2, el flujo de bits L' se representa en la figura. En el momento en que ocurre una coincidencia entre los trenes de impulsos de reloj $\overline{c64}$ y $\overline{c60}$, esto significa que se está detectando un tiempo de espera o un cambio de fase crítico demasiado grandes y que el tiempo de espera tiene que ser disminuido. Esto tiene lugar como sigue: debido a la detección de la coincidencia se dispara el fli-flop-D, DH0 a la condición-1 en donde su salida HO está activada. Consecuentemente, el flip-flop-JK, JKCS se dispara a su condición-1, en donde $CS \equiv 1$ por el borde creciente del impulso que sigue inmediatamente, del tren de impulsos de reloj $\overline{c64}$. En este momento, también el flip-flop-D DH1 se activa debido a que su entrada de reposición RS está entonces desactivada, mientras que el flip-flop-D DH0 se repone debido a que su entrada de reposición RS está entonces activada. Debido a que $CS \equiv 1$ el tren de impulsos de reloj $J \equiv c64.c64'$ de tal manera que el cambio del flujo de bits DA64 en el registro de conversión SRL está entonces controlado por los bordes crecientes de estos impulsos de reloj, como se muestra. Así, los instantes de escritura en el RSl están re-

trasados en la mitad de un período de bit, de tal manera que el tiempo de espera se disminuye en el mismo período.

En el momento en que $H_0 \equiv 1$ y ya que $H_1 \equiv 0$, $A'D' \equiv 0$ y $CS \equiv 1$, el LC7 proporciona las siguientes señales:

$$UD \equiv \overline{AD'} \equiv 1$$

$$CI = H_1 \cdot AD' \equiv 0$$

$$CL \equiv (H_1 + AD')(c64 \cdot c64' \cdot CS + \overline{c64'} \cdot \overline{CS}) \equiv 0$$

de tal manera que el contador UDC permanece en la posición 2.

De lo anterior se deduce que cuando se detecta un tiempo de espera demasiado largo crítico, este tiempo de espera se reduce en la mitad de un período de bit pero que el UDC avanza un paso solamente cuando esta detección tiene lugar cuando $CS \equiv 1$. El UDC registra una disminución del tiempo de espera igual a un período de bit. Así, este UDC mantiene la pista del tiempo de espera en pasos que corresponden a una abertura de tiempo.

Las partes de la derecha de las figs. 16 y 17 muestran los casos en los que el flujo de bits de entrada contiene dos bits de justificación P y Q en las aberturas de tiempo D15 y D16 del grupo G16, $AD' \equiv 1$ durante estas aberturas de tiempo. Ya que estos bits no se inscriben en el registro de conversión SRL, está claro que de esta manera el tiempo de espera de los bits de información que siguen a estos bits se disminuye normalmente en dos aberturas de tiempo y que esto debe registrarse en el UDC. Por supuesto que, cuando durante una de estas aberturas de tiempo D15 y D16 se detecta un tiempo de espera crítico, la cuenta del UDC tendrá que ajustarse posiblemente. Esto se muestra en la última de las figs. mencionadas.

Refiriéndonos a la parte de la derecha de la fig. 16, en ella se muestra como durante la abertura de tiempo D15 de las aberturas de tiempo D15 y D16 durante las cuales $AD' \equiv 1$, se detecta un tiempo de espera demasiado grande crítico, siendo CS inicialmente igual a 1. Después de esta detección se dispara el fli-flop-D, DH1 a su posición-1 de tal manera que el LC7 proporciona entonces las siguientes señales

$$UD \equiv AD' \equiv 0$$

$$10 \quad CI \equiv H1.AD' \equiv 1$$

$$CL \equiv \overline{c64.c64'}$$

Consecuentemente, el contador UDC permanece en su posición 2. Sin embargo, en el momento en que el flip-flop -D, DH1 se repone a su condición-0 en donde $H1 \equiv 0$ y el flip-flop-JK, JKCS se dispara a su condición-0 en donde $CS \equiv 0$, el LC7 proporciona las siguientes señales

$$UD \equiv AD' \equiv 0$$

$$CI \equiv H1.AD' \equiv 0$$

$$CL \equiv \overline{c64'}$$

20 de tal manera que el contador UDC pasa entonces de la posición 3 a la posición 2 en el momento en que la señal CI cambia de 0 a 1. Así, el tiempo de espera se aumenta en una abertura de tiempo para tener en cuenta la disminución del tiempo de espera U en dos aberturas de tiempo debido a la presencia de los bits P y Q y al hecho de que se detecta un tiempo de espera crítico cuando inicialmente $CS \equiv 1$ (en este caso se registra normalmente un incremento del tiempo de espera en una abertura de tiempo).

30 Refiriéndonos a la parte derecha de la fig. 17 en ella se muestra como durante la abertura de tiempo D15

de las aberturas de tiempo D15 y D16, durante las cuales $AD' \equiv 1$, se detecta un tiempo de espera crítico, siendo ahora inicialmente CS igual a 0. Después de esta detección el flip-flop-D, DHO se dispara a su condición-1 de tal manera que el LC7 proporciona las siguientes señales

$$UD' \equiv \overline{AD'} \equiv 0$$

$$CI \equiv H1.AD' \equiv 0$$

$$CL \equiv c64'$$

Consecuentemente, el contador UDC pasa de la posición 2. Después, cuando $Ho \equiv 0$ y $CS \equiv 1$ avanza hasta la posición 1. De esta manera el tiempo de espera se aumenta en dos aberturas de tiempo para tener en cuenta la disminución (2 aberturas de tiempo) del tiempo de espera por los bits P y Q y por el hecho de que se detecta un tiempo de espera crítico cuando inicialmente $CS \equiv 0$ (normalmente no se realiza ajuste del tiempo de espera en este caso).

Consideraremos ahora la recepción de los bits de relleno, y, más concretamente, de los bits de relleno que definen un valor que es una medida de la inestabilidad del tiempo de espera de baja frecuencia.

A la recepción de los bits del grupo G2 del flujo de bits intermedio DA60, la salida G2 del circuito lógico LC6 se activa para reponer los flip-flops-D DZ'5 y DZ5.

La recepción de los bits de relleno que definen el código de serie o el código de serie auxiliar, dependiendo de que la serie sea impar o par, no lo describiremos aquí porque no tiene importancia en relación al invento.

A la recepción del tiempo de espera medido que indica los bits $\overline{RP0}$, $\overline{RP1}$, $\overline{RP2}$, $RP3$ y $RP4$ durante las aberturas de tiempo D16 de los grupos G8 a G12, se activan

- las salidas Z0, Z1, Z2, Z3 y Z4 del circuito lógico LC6, de tal manera que estos bits se registran en los correspondientes flip-flops-D DZ0, DZ1, DZ2, DZ3 y DZ4 del RC3, respectivamente. A la recepción de los tres bits de información de cambio de fase o de tiempo de espera medido $\overline{RP5}$, $\overline{RP5}$, $\overline{RP5}$ (bits de signo) durante las aberturas de tiempo D16 de los grupos G13, G14, y G15 del flujo de bits intermedio DA64, estos bits de signo se almacenan sucesivamente en el contador formado por los flip-flops-D, DZ'5 y DZ5, de tal manera que el bit $\overline{RP5}$ que aparece finalmente en la salida-Q del DZ5 es el de la mayoría de las aberturas de tiempo D16 de G13, G14 y G15, esto es 0, si los bits de signo recibidos son 000, 001, 010 y 100 y 1 si los bits de signo recibidos $\overline{RP5}$ son 011, 101, 110 y 111. El bit RP5 registrado en el flip-flop-D DZ5 se aplica entonces al circuito lógico LC5 en donde se utiliza para calcular la función de Boolean AD' que controla la inscripción de los bits en el SRL, como se describió antes.

Las salidas del UDC y del RC3 están conectadas a los convertidores digital-a-analógico R1-R5, R17-R20 y R8-R14, R21-R25 que forman parte del cuadripolo LN. Para aumentar la precisión, también la salida CS del flip-flop-JK JKCS está conectada al primer convertidor digital-a-analógico mencionado, ya que su salida CS, cuando está activada, indica una variación del tiempo de espera igual a la mitad de una abertura de tiempo. Ambas salidas de los convertidores digital-a-analógico están conectadas a la entrada del cuadripolo filtro FN que, junto con los circuitos DA, VCO, JK, DHO, DH1, JKCS, LC7, UDC y LN forma un bucle de sincronización de fase. El último incluye el comparador de fase DHO, DH1 JKCS que compa

ra continuamente la fase del tren de impulsos de reloj de escritura con la del tren de impulsos de reloj de lectura y UDC mantiene la pista de la variación del cambio de fase a través del LC7. La salida del UDC se realimenta al VCO junto con la salida del RC3 y a través del FN y del DA, en la forma descrita anteriormente. Este VCO genera una señal de reloj de 120 KHz, cuya frecuencia se divide por dos en el JK, proporcionando los trenes de impulsos de reloj $\overline{c60}$ y $c60$ que tienen una frecuencia igual al valor real del reloj de escritura utilizado en el transmisor. Como consecuencia, la lectura del tren de impulsos de salida del almacenaje intermedio SR1, DMC5 no contiene la componente de baja frecuencia mencionada anteriormente, ya que el efecto de la inestabilidad del tiempo de espera de baja frecuencia contenida en la señal almacenada en el UDC se compensa con el valor de esta inestabilidad almacenada en el RC3.

Lo anterior puede también explicarse como sigue. Supongamos que no se transmite información relativa a la componente de la inestabilidad de baja frecuencia del tiempo de espera (bits RP5 a RP0) del transmisor al receptor y que, como consecuencia, se omite el convertidor digital-a-analógico R8-R14, R21-R25. En este caso, ocurre lo siguiente cuando, por ejemplo, el reloj de escritura de 60 KHz en este transmisor se desvía de su valor nominal y de lugar en el flujo de bits intermedio transmitido al receptor, a una inestabilidad del tiempo de espera de baja frecuencia que tiene un período del orden de la constante de tiempo más larga del bucle de sincronización de fase mencionado. Dentro de tal período este bucle de sincronización de fase no aprecia la anterior desviación de frecuencia del reloj de escritura en el trans-

misor que es la causa de la inestabilidad, esto es, no aprecia la anterior interrupción del diagrama de justificación regular. Consecuentemente, el bucle de sincronización de fase proporciona un reloj de lectura que tiene una primera frecuencia que corresponde al diagrama de justificación regular en lugar de ser igual al valor real de la primera frecuencia del reloj de escritura en el transmisor. Como consecuencia, la fase del reloj de lectura en el receptor se desvía gradualmente respecto de la fase del reloj de escritura en el transmisor. Sin embargo, después de cada período de las interrupciones anteriores el receptor es informado de la desviación de frecuencia existente por la recepción de un impulso de justificación. El bucle de sincronización de fase ajusta en consecuencia su fase de tal manera que el valor medio de la primera frecuencia del reloj de lectura se hace igual al valor real de la primera frecuencia del reloj de escritura. Es claro que, como consecuencia, también el tiempo de espera del anterior flujo de bits intermedio en el segundo almacenaje intermedio está sujeto a una variación de baja frecuencia de tal manera que el flujo de impulsos de salida del receptor también contiene tal componente de inestabilidad de tiempo de espera de baja frecuencia. Nótese que esta componente varía en una dirección que es opuesta a la que varía la componente de inestabilidad del tiempo de espera de baja frecuencia del flujo de bits intermedio. Esto se debe a la inversión de los relojes de lectura y escritura en el transmisor y en el receptor.

Suministrando regularmente al receptor la información acerca de esta componente de inestabilidad del tiempo de espera de baja frecuencia y aplicándola al bucle de sin-

cronización de fase de tal manera que compense la componente de baja frecuencia del flujo de impulsos intermedio recibido del receptor, el bucle de sincronización de fase proporciona un reloj de lectura que tiene una primera frecuencia igual al valor de la primera frecuencia del reloj de escritura en el transmisor. Así, el tiempo de espera al que está sujeto el flujo de bits intermedio en el segundo almacenaje intermedio no tiene componente de baja frecuencia.

Volviendo a las figs. 4 y 5 nótese que en el cuadripolo LN los bits RP4 y CS tienen el mismo peso, ya que ambos están conectados a la entrada del FN a través de tres resistencias iguales R3 a R5 y R8 a R6, respectivamente. Esto es correcto ya que de la fig. 15 se deduce que cada paso unidad de RC1 corresponde a un valor de RP5, RP4, RP3, RP3, RP2, RPO igual a 32, esto es, CNO tiene el mismo peso que RP4. El valor referencia REF, al que está conectado la otra entrada del DA, se ha elegido para que el VCO proporcione una señal de salida que sea exactamente igual a 120 KHz cuando el RC1 y el UDC estén en su posición central. En este caso RP4, RP3, RP2, RP1, RPO tiene el valor binario 0111, mientras que CN'2, CN'1, CN'0, CS tiene el valor binario 1111. Aplicando estos valores binarios al LN, pueden ajustarse el DA y el VCO.

Finalmente, nótese que el hecho de que los diferentes bits que pertenecen a una misma medida no se apliquen simultáneamente al LN, no tiene efecto en la compensación, debido a que los bits se aplican al LN a una frecuencia que es mucho mayor que la de la componente de inestabilidad del tiempo de espera de baja frecuencia.

Ha de quedar entendido que la anterior descripción de una forma determinada del invento, se hace a modo de ejemplo y no debe considerarse como limitación a su alcance.

El presente invento corresponde a una solicitud de Patente formulada en Holanda el día 5 de Junio de 1975 señalada con el Nº 75 06657 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de 20 años son los siguientes:

1.- Un sistema de transmisión, con un transmisor que incluye primeros elementos de conversión para convertir un flujo de impulsos de entrada que tiene una primer frecuencia, en un flujo de impulsos intermedio con una segunda frecuencia, un receptor, y elementos de transmisión que enlazan el transmisor y el receptor incluyendo dicho receptor segundos elementos de conversión para, por una parte, recuperar la primera frecuencia a partir del flujo de impulsos intermedio recibido desde el transmisor a través de los elementos de transmisión y, por otra parte, convertir dicho flujo de impulsos intermedio en un flujo de impulsos de salida a la primera frecuencia recuperada. Dicho flujo de impulsos intermedio incluye un componente de ruido debido a dicha conversión, caracterizado porque el transmisor incluye además elementos de medida (ADC2, ADC3, RC2, LC3) para asegurar que una señal (RP5, RP4, RP3, RP2, RP1, RP0) que es una medida de dicha componente de ruido se adapta para transmitir la señal a los segundos elementos de conversión e impedir que la componente de ruido aparezca en el

flujo de impulsos de salida.

2.- Un sistema de transmisión, según el punto 1, caracterizado porque los elementos de conversión del transmisor y del receptor realizan dicha conversión por la inserción y extracción de impulsos de justificación y relleno mediante un proceso de justificación y dejustificación de impulso que se aplica al flujo de impulsos de entrada y al flujo de impulsos intermedio respectivamente, dando lugar a la inserción de los impulsos de justificación a un componente de ruido debida a la desviación de, por lo menos, una de las primera y segunda frecuencias de su valor nominal.

3.- Un sistema de transmisión, según el punto 2, caracterizado porque los elementos de conversión del transmisor incluyen un primer almacenaje intermedio (SR, DMCl, LC5) en donde se escribe el flujo de impulsos de entrada (DA60) a la primera frecuencia (60 Kb/s) y de donde se lee a la segunda frecuencia (64 Kb/s), un primer registro (RC1) y primeros elementos de control (LC1, LC2, LC3, DH, ADC1) para controlar en dicho registro el tiempo de espera que pasa entre los instantes de escritura y de lectura de cada impulso de entrada en el primer almacenaje intermedio, y para ajustar el tiempo de espera de tal manera que permanezca dentro de unos primeros límites predeterminados, incluyendo la evolución de dicho tiempo de espera en el primer registro la componente de ruido, que es una componente de ruido de fase de baja frecuencia, y porque dichos elementos de conversión del receptor incluyen un segundo almacenaje inter-

medio (SR1, DMC5) en el que se escribe el flujo de impulsos intermedio (DA64) en el valor instantáneo de la segunda frecuencia y del que se lee a la primera frecuencia recuperada; un segundo registro (UDC), y segundos elementos de control (DHO, DH1, JKCS, DC, LC7) para controlar en el segundo registro el tiempo de espera que pasa entre los instantes de escritura y lectura de cada impulso del flujo de impulsos intermedio en el segundo almacenaje intermedio y para ajustar el tiempo de espera de tal manera que permanezca entre unos segundos límites predeterminados, implicando dicho ajuste en el transmisor y receptor la ejecución del proceso de justificación-dejustificación, y porque los elementos de medida (ADC2, ADC3, RC2, LC3) en el transmisor aseguran dicha señal midiendo la componente de ruido de fase de baja frecuencia del tiempo de espera en el primer registro (RC1); estando controlados dichos segundos elementos de control por el segundo registro (UDC) así como por el tercer registro (RC3), almacenando dicha señal recibida desde el transmisor de tal manera que la primera frecuencia recuperada es igual a la primera frecuencia utilizada en el transmisor.

4.- Un sistema de transmisión, según el punto 3, caracterizado porque los elementos de medida (ADC2, ADC3, RC2, LC3) aseguran dicha componente de ruido de fase de baja frecuencia del tiempo de espera midiendo periódicamente dicho tiempo de espera almacenado en el primer registro (RC1).

5.- Un sistema de transmisión, según el punto 4,

caracterizado porque dicha medida periódica se realiza a una frecuencia mayor que la componente de ruido de fase de baja frecuencia (figs. 8, 9).

5 6.- Un sistema de transmisión, según el punto 5, caracterizado porque cada medida del tiempo de espera consiste, en promedio, del tiempo de espera almacenado en el primer registro sobre una medida de intervalo de tiempo (C4) que comprende un conjunto de períodos de impulsos sucesivos (D1-D16) del flujo de impulsos intermedio a la
10 segunda frecuencia.

7.- Un sistema de transmisión, según el punto 6, caracterizado porque para medir dicho tiempo de espera medio, los elementos de medida (ADC2, ADC3, RC2, LC3) durante cada conjunto de períodos de impulso sucesivos, miden
15 (ADC2) la desviación del tiempo de espera almacenado en el primer registro (RC1) con respecto a un valor de tiempo de espera predeterminado y acumulan (ADC3) los valores obtenidos.

8.- Un sistema de transmisión, según el punto 7,
20 caracterizado porque los elementos de medida (ADC2, ADC3, RC2, LC3) proporcionan dicho tiempo de espera medio bajo la forma de un código binario (RP5, RP4, RP3, RP2, RPO) que comprende un conjunto de bits que se transmiten al receptor
25 bajo la forma de impulsos de relleno que se insertan en el flujo de impulsos intermedio por un proceso de justificación

9.- Un sistema de transmisión, según el punto 8,
30 caracterizado porque el transmisor transmite dicho flujo de impulso intermedio bajo la forma de un cuadro que comprende

conjuntos de impulsos de datos separados por los impulsos de relleno y justificación, cubriendo cada juego un intervalo de tiempo de medida.

5 10.- Un sistema de transmisión según el punto 8, caracterizado porque dicho código comprende un bit de signo (RP5) cuyo valor binario indica si dicho tiempo de espera medio es mayor o menor que el valor del tiempo de espera medio predeterminado, siendo transmitido dicho bit de signo al receptor con redundancia.

10 11.- Un sistema de transmisión, según el punto 9, caracterizado porque el proceso de justificación positivo, negativo, según el cual un par de impulsos de justificación (justificación positiva) o un par de impulsos de datos (justificación negativa) se insertan alternativamente en
15 dos períodos de impulsos consecutivos predeterminados (D15, D16, de G16) de un cuadro del flujo de impulsos predeterminados, siendo interrumpida esta alteración para realizar dos operaciones de justificación semejantes en sucesión cuando sea necesario debido a que, por lo menos,
20 una de las frecuencias primera y segunda se desvía de su valor nominal.

12.- Un sistema de transmisión, según el punto 10 y 11, caracterizado porque las operaciones de justificación positiva o negativa se realizan de acuerdo con el
25 valor binario del bit de signo (RP5).

13.- Un sistema de transmisión, según el punto 3, caracterizado porque el primer almacenaje intermedio (SR, DMCl, LC5) incluye un cuarto registro (SR) con una
30 entrada (DA60) y con varias salidas (S1-S8) conectadas

a dicha entrada a través de diferentes elementos de retardo (DS1; DS1, DS2;....DS1 a DS8), y elementos (DMC1) para seleccionar y conectar cualquiera de dichas salidas (S1-S8) al cuarto registro (SR) con la salida (O5) del primer almacenaje intermedio bajo el control del primer registro (RC1).

5

10

15

20

14.- Un sistema de transmisión, según el punto 13, caracterizado porque el cuarto registro (SR) es un primer registro de conversión que tiene dicho conjunto de salidas (S1-S8) y cuya entrada de conversión está controlada por el reloj de escritura ($c60$, $\bar{c}60$) a dicha primera frecuencia, y porque los primeros elementos de control (CL1, LC2, LC3 DH, ADC1) incluyen elementos (DH) para comprobar continuamente el tiempo de espera o cambio de fase entre las frecuencias primera ($c60$, $\bar{c}60$) y segunda ($c64$), elementos para (LC1) para conmutar alternativamente el control de escritura del primer registro de conversión de un primero ($c60$) a un segundo ($\bar{c}60$) reloj de escritura y viceversa, cuando se detecta un tiempo de espera crítico por los elementos de comprobación, y elementos (LC2, LC3, ADC1) para perseguir el tiempo de espera así detectado en el primer registro de conversión (RC1).

25

15.- Un sistema de transmisión, según el punto 14, caracterizado porque las entradas de conversión de las etapas impares (DS1, DS3,....) y pares (DS2, DS4,...) del registro de conversión (SR) están controladas por los relojes primero ($c60$) y segundo ($\bar{c}60$), respectivamente.

30

16.- Un sistema de transmisión, según los puntos 12 y 14, caracterizado porque los elementos (LC2, LC3, ADC1)

para perseguir el tiempo de espera en el primer registro (RC1) están controlados por el bit de signo (RP5) y se activan cada vez que tiene que insertarse un par de impulsos de justificación en el flujo de impulsos intermedio.

5 17.- Un sistema de transmisión, según el punto 3, caracterizado porque el segundo almacenaje intermedio (SR1, DMC5) incluye un quinto registro (SR1) con una entrada (DA64) y con un conjunto de salidas (D'1-S'8) conectadas a dicha entrada a través de diferentes elementos de retardo. 10 (DS'1; DS'1, DS'2; ... DS'1 a DS'4) y elementos (DMC5) para seleccionar y conectar cualquiera de las salidas (S'1.. S'8) del quinto registro (SR1) con la salida (L') del segundo almacenaje intermedio bajo el control del segundo registro (UDC).

15 18.- Un sistema de transmisión, según el punto 17 caracterizado porque el quinto registro (SR1) es un segundo registro de conversión que tiene el conjunto de salidas (S'1 -S'8) y cuya entrada de conversión está controlada por un tercer ($J \equiv \bar{A}\bar{D}' \cdot c64 \cdot c64' \cdot CS$) o un cuarto ($J \equiv \bar{A}\bar{D}' \cdot \bar{c}64' \cdot \bar{c}S$) 20 reloj de escritura a la segunda frecuencia (64 KHz), estando estos trenes de impulsos de reloj cambiados en fase uno respecto del otro, y porque los segundos elementos de control (JK, JKCS, DHO, DHL, DC, LC7) incluyen elementos (DHO, DHL) para comprobar continuamente el tiempo de espera o 25 cambio de fase entre la segunda frecuencia y la primera frecuencia recuperada, elementos (JKCS, LC7) para conmutar alternativamente el control de escritura del segundo registro de conversión de un tercero o un cuarto tren de 30 impulsos de reloj y viceversa, cuando se detecta un tiempo

de espera crítico por los elementos de comprobación y elementos (LC6, LC7) para perseguir el tiempo de espera así detectado en el segundo registro de conversión (UDC).

5 19.- Un sistema de transmisión, según los puntos 12 y 18, caracterizado porque dichos elementos (LC6, LC7) para perseguir el tiempo de espera en el segundo registro (UDC) están controlados por el bit de signo (RP5) recibido desde el transmisor y se actúan cada vez que aparece un impulso de justificación en el flujo de impulsos intermedio
10 recibido desde el transmisor.

20.- Un sistema de transmisión según el punto 3, caracterizado porque incluye un bucle de sincronización de fase que incluye dichos segundos elementos de control (DHO, DHL, JKCS, DC, LC7), los registros segundo (UDC) y
15 tercero (RC3) y la conexión serie de un cuadripolo filtro (FN), un amplificador (DA) y un oscilador controlado a tensión (VSO, JK) sintonizado el valor nominal de la primera frecuencia y que proporciona la primera frecuencia recuperada, que se aplica a los segundos elementos de control, es-
20 tando acopladas las salidas de los registros segundo (UDC) y tercero (RC3) a la misma entrada del cuadripolo filtro (FN) por donde la componente de ruido de fase de baja frecuencia del tiempo de espera a la que está sujeto el flujo de impulsos intermedio en el segundo almacenaje intermedio
25 y que se almacena en el segundo registro (UDC) se compensa con la componente de ruido de fase de baja frecuencia almacenada en el tercer registro, y en donde la primera frecuencia recuperada está sincronizada en fase con la
30 utilizada en el transmisor.

21.- Un sistema de transmisión, según el punto 20, caracterizado porque los registros segundo (UDC) y tercero (RC3) están acoplados al cuadripolo filtro (FN) a través de un primero (R1-R5, R17-R20) y un segundo (R9-R14, R21-R25) convertidor digital-a-analógico.

22.- Un sistema de transmisión, según el punto 20, caracterizado porque la salida del cuadripolo filtro (FN) está conectada a una entrada del amplificador (DA) que es un amplificador diferencial, y la otra entrada (REF) del mismo está conectada a una tensión de referencia tal que dicho oscilador controlado a tensión proporciona la primera frecuencia a la que está sintonizado cuando el segundo registro (UDC) y el primer registro (RC1) están en las correspondientes posiciones predeterminadas (3,5).

23.- Un sistema de transmisión.

Tal y como se ha descrito en la memoria que antecede representado en los dibujos que se acompañan y a los fines especificados.

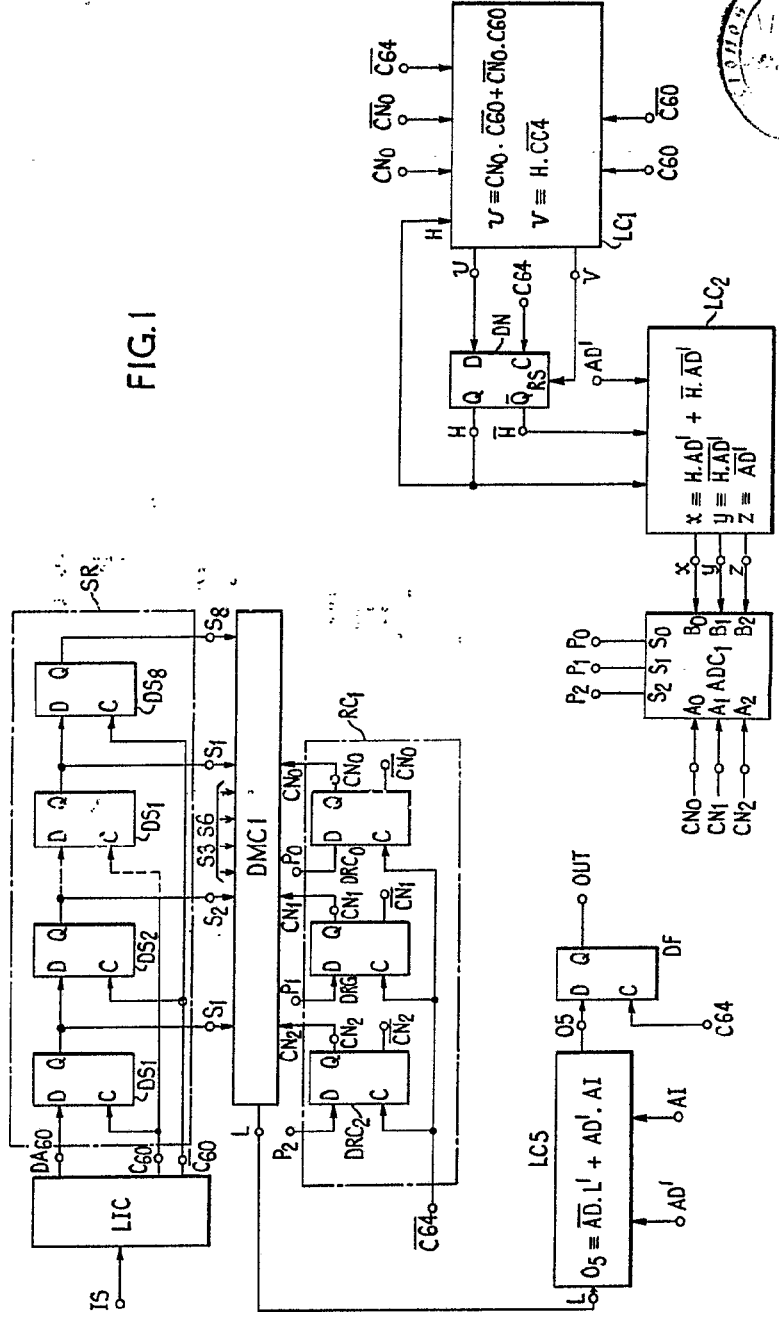
Esta memoria consta de setenta hojas escritas por una sola cara.

Madrid,



Eugenio Barroso
EUGENIO BARROSO
 Secretario General

FIG. 1



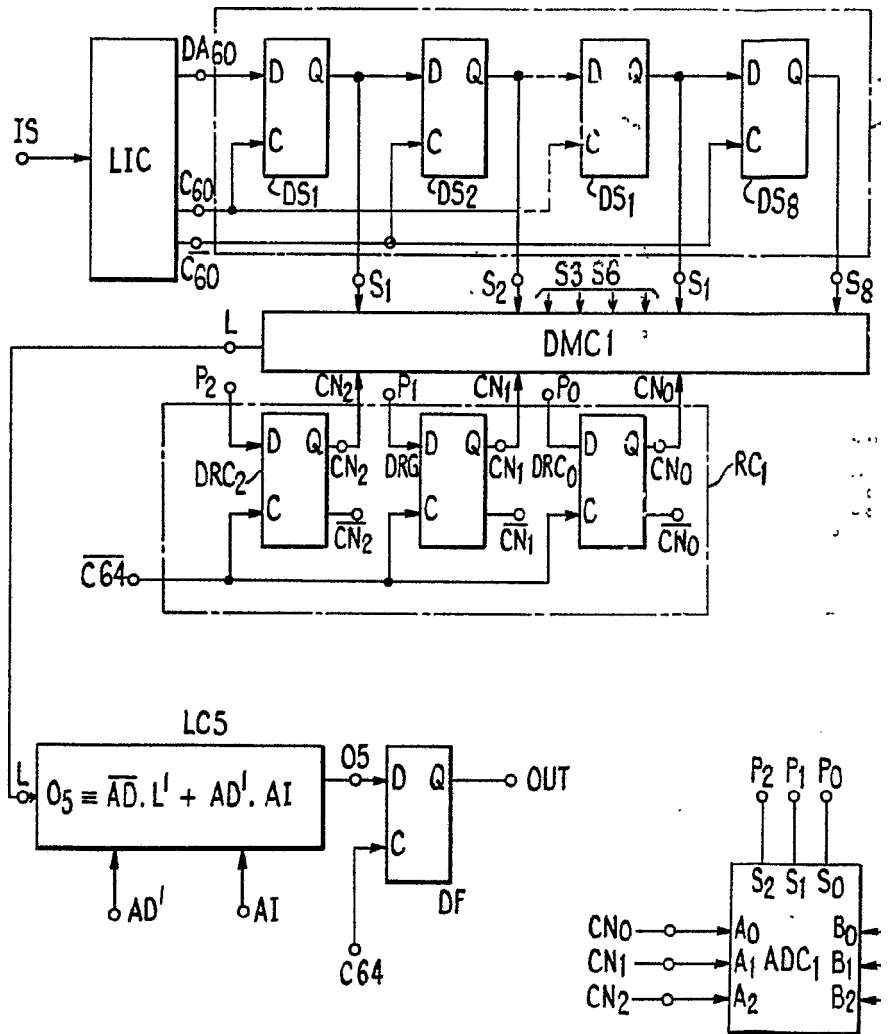
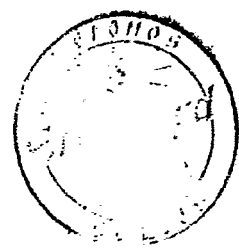
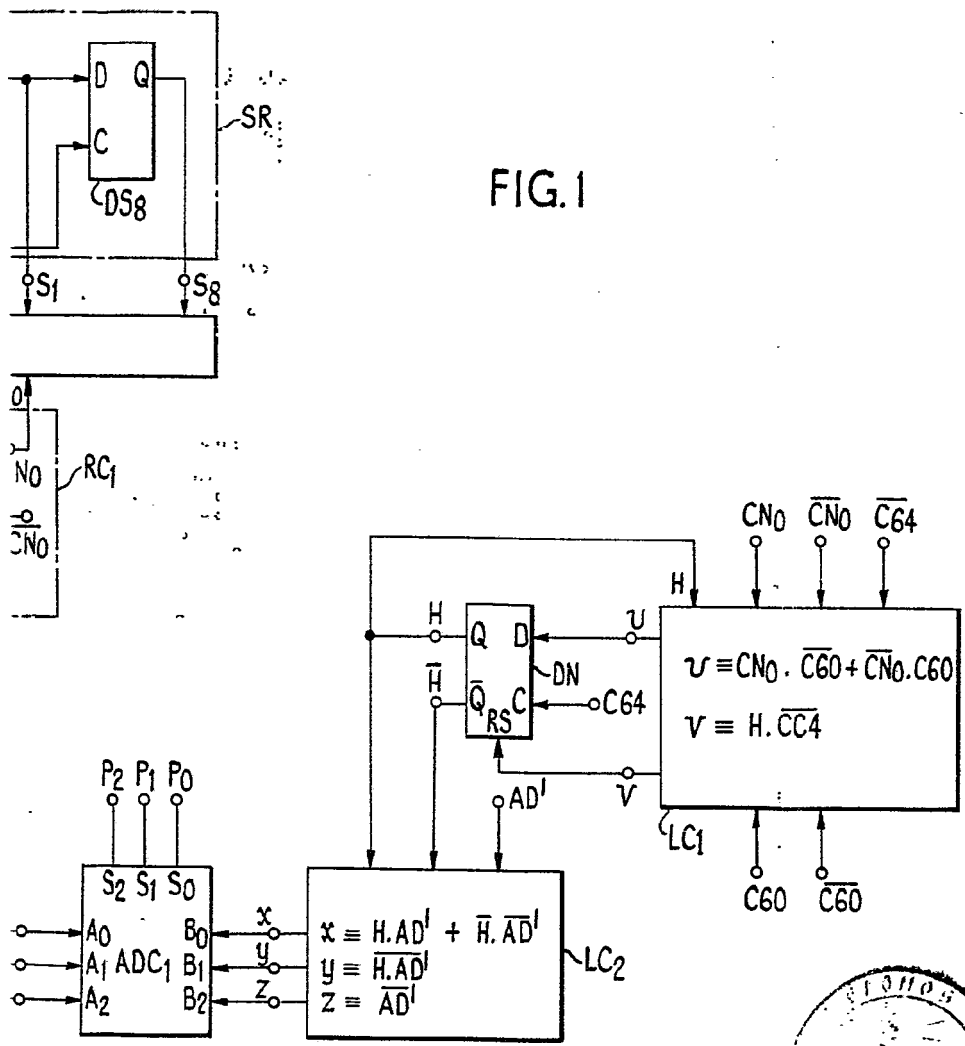
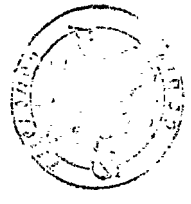
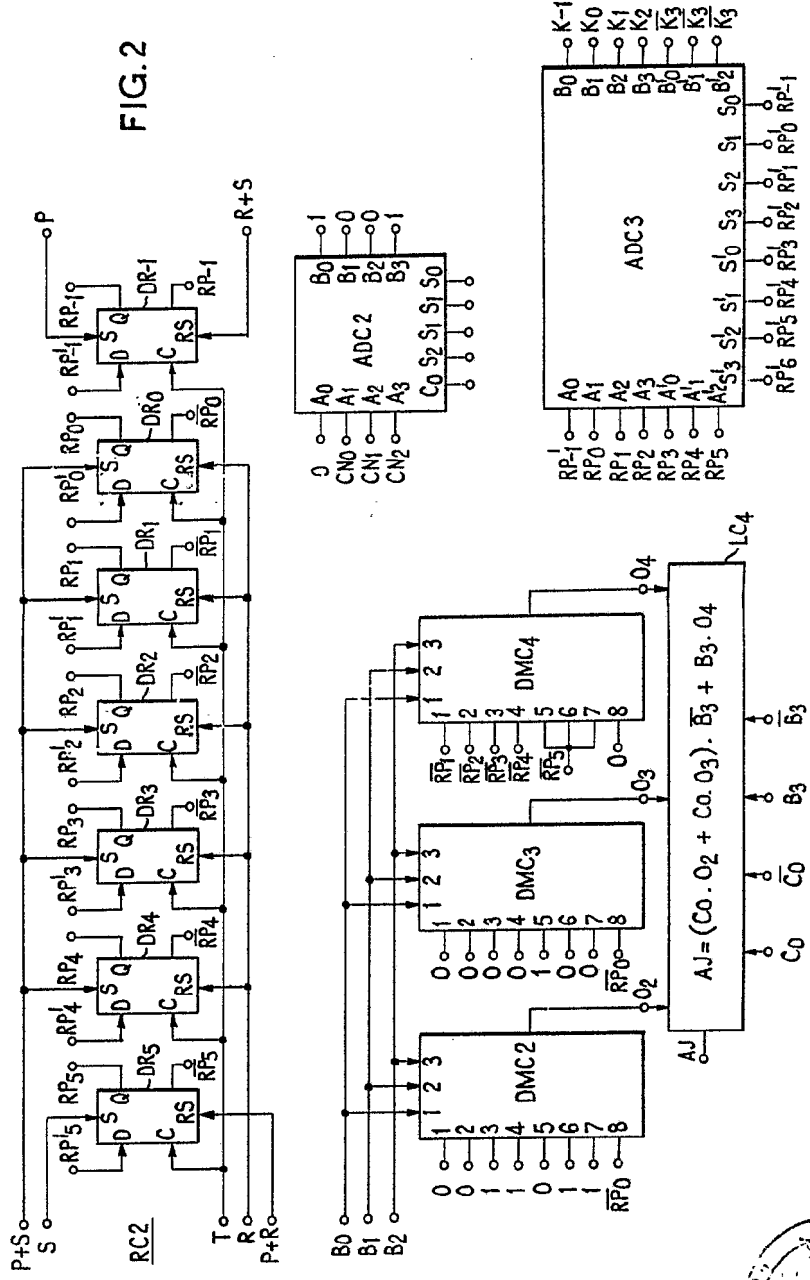


FIG. 1

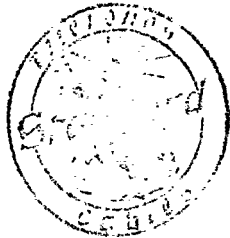
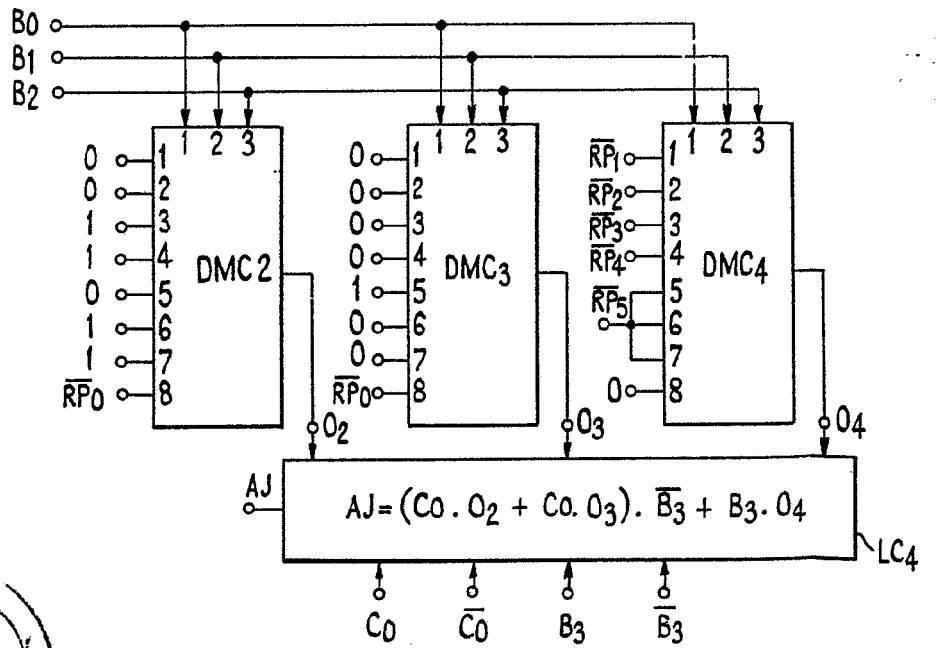
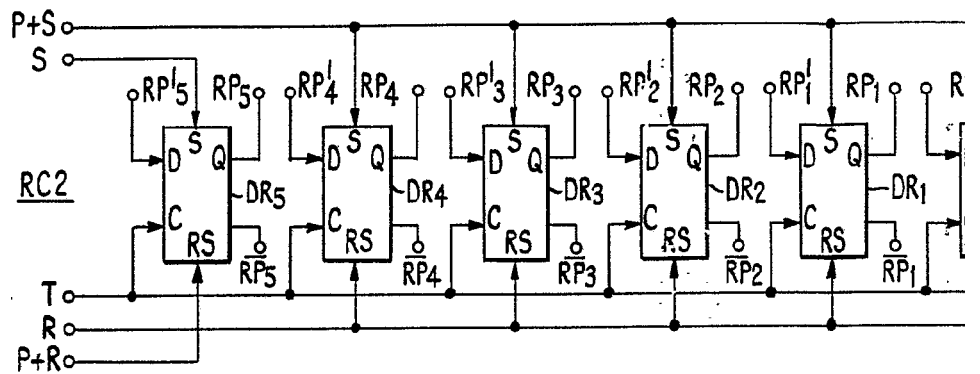


Eugenio Barroso
EUGENIO BARROSO
Secretario General

FIG. 2



P. J. ...
 EUGENIO BARRIOS
 Secretario General



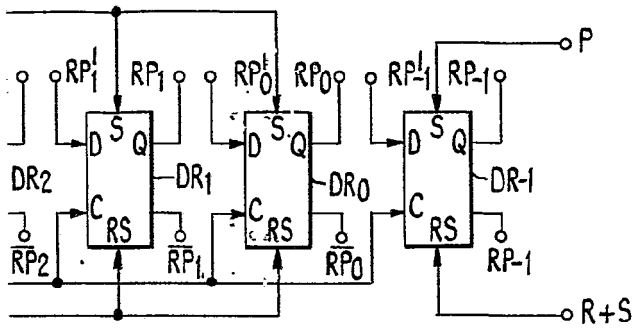
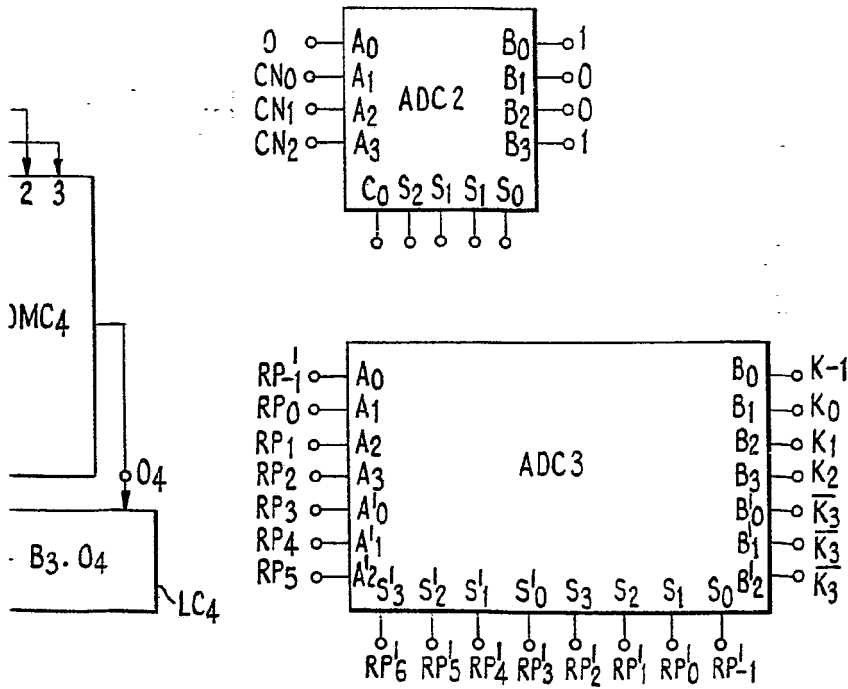
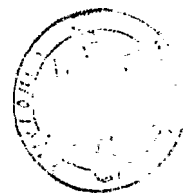
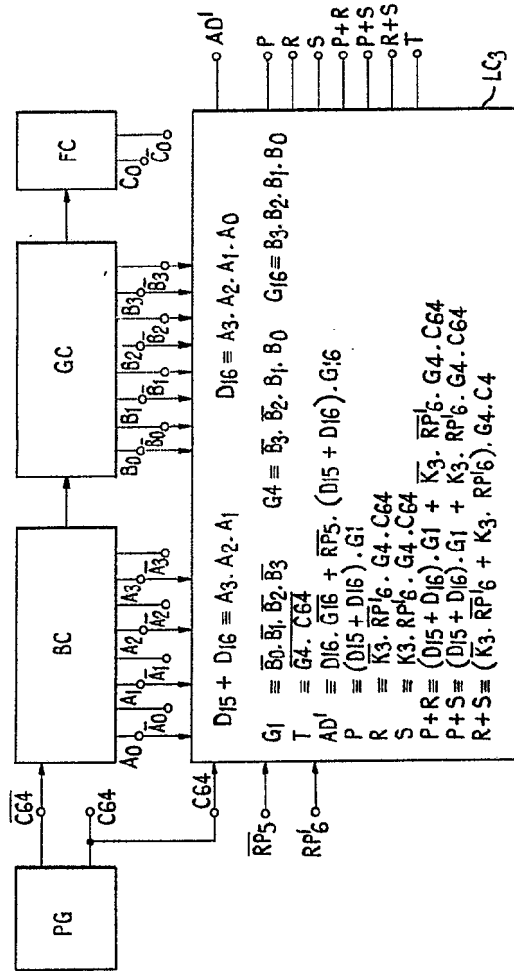


FIG. 2



Eugenio Barrosc
EUGENIO BARROSC
Secretario General

FIG. 3



Handwritten signature
STANDARD ELECTRONICS, S. A.

FIG. 3

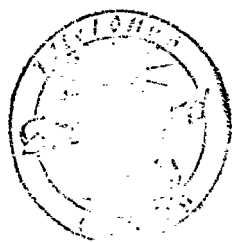
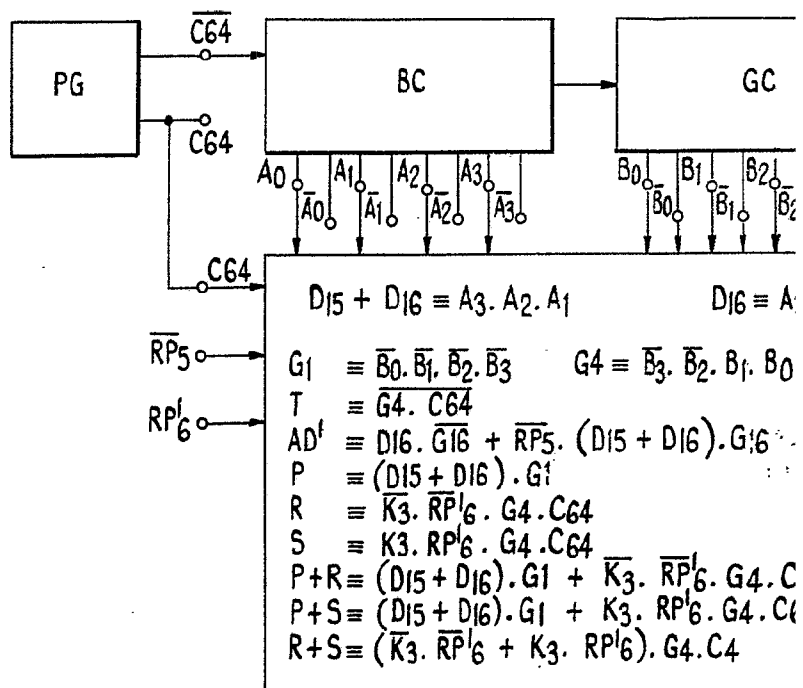
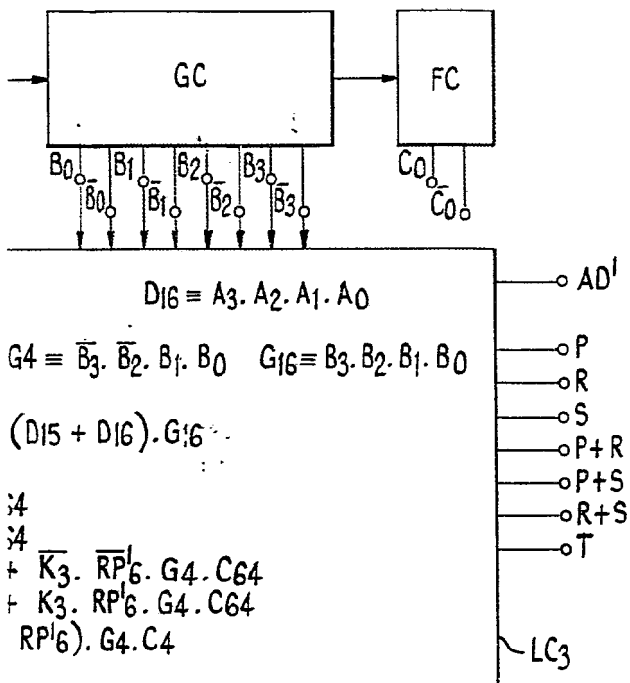
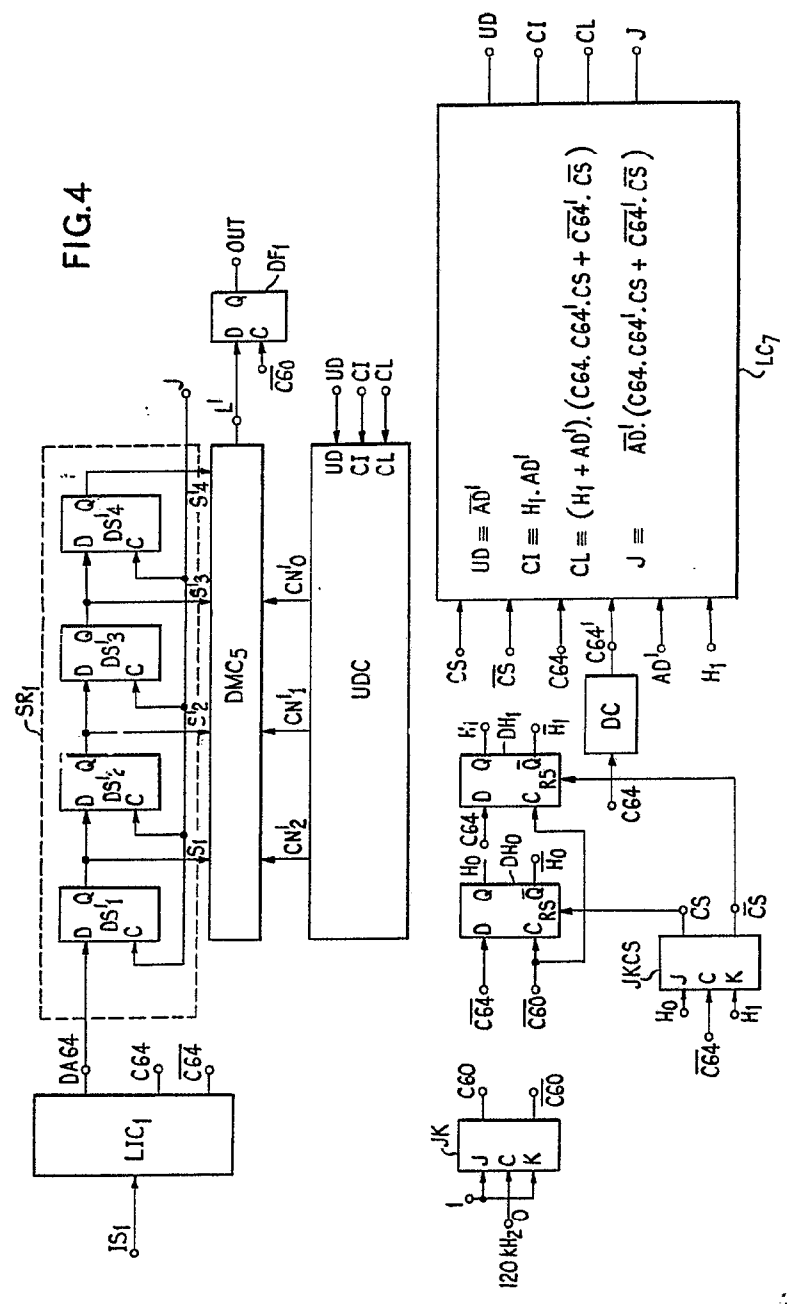


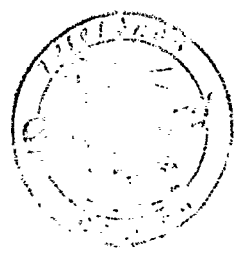
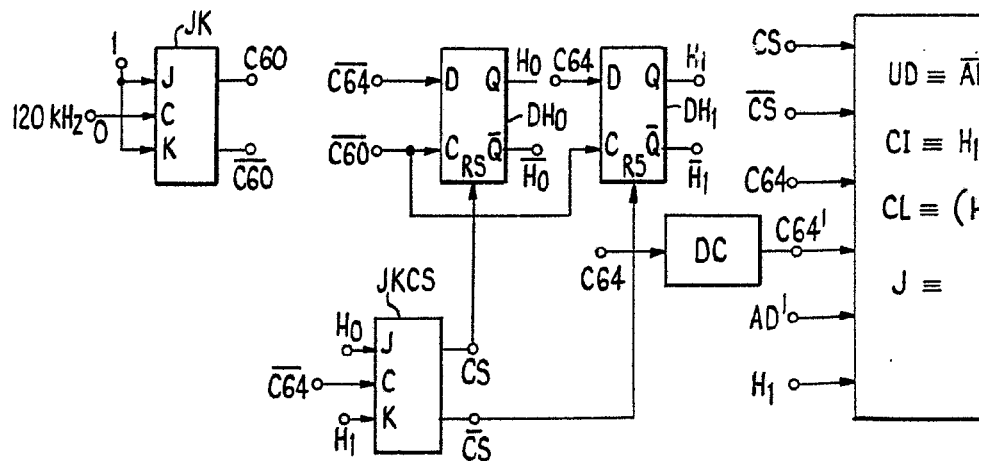
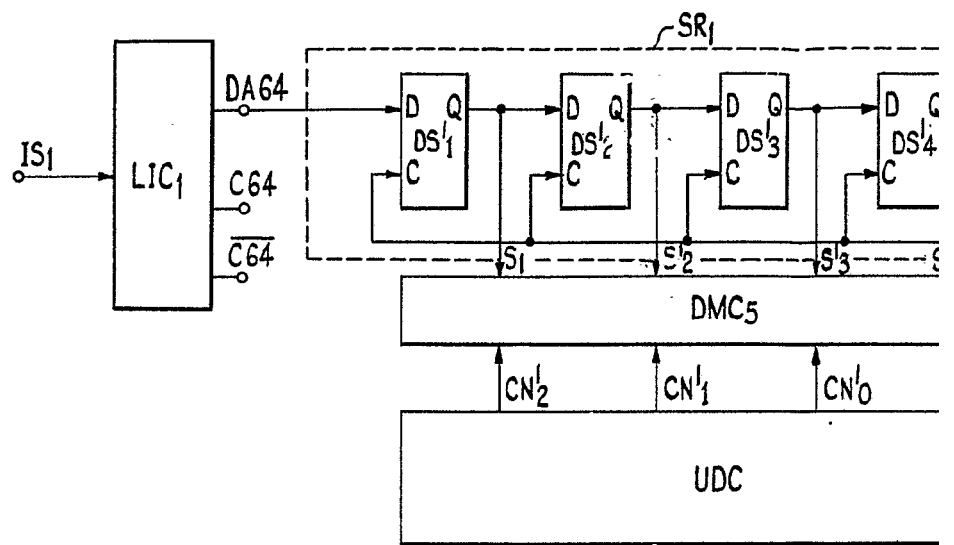
FIG. 3



E. Haas
EUGENIO HAAS
Ingeniero en Electricidad

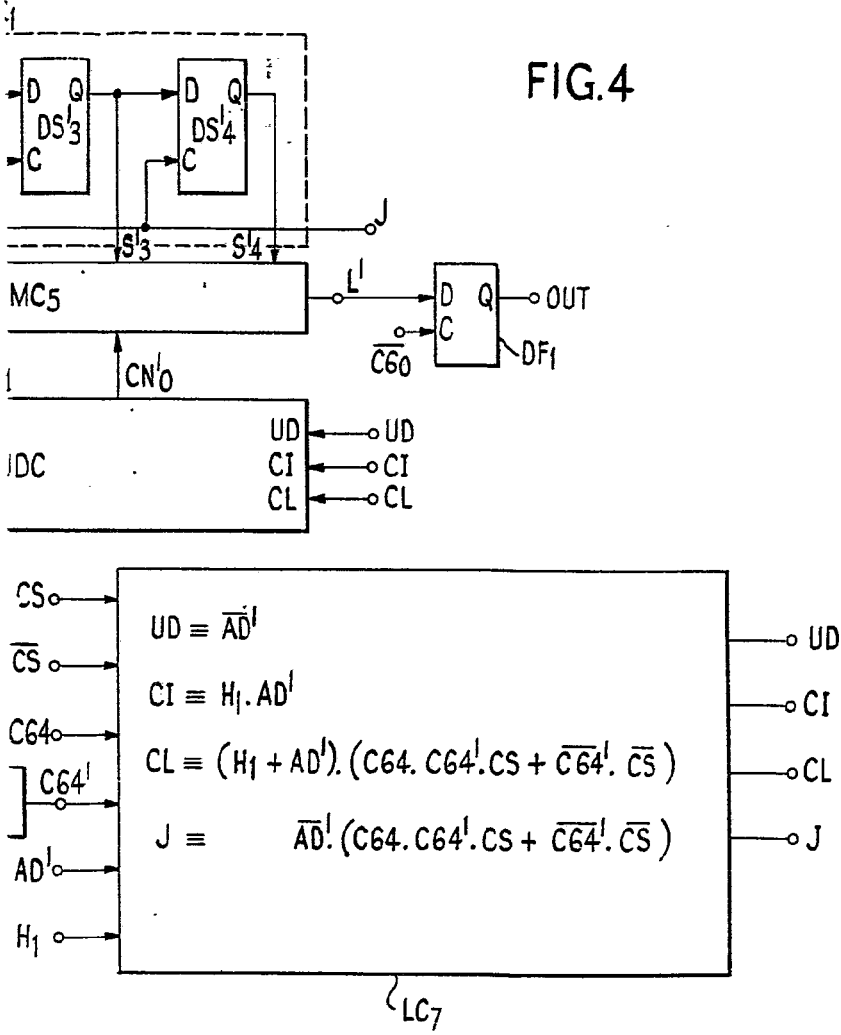


Blanco
 EUGENIO BLANCO
 Secretario General



11/14

FIG. 4



Eugenio Barroso
 EUGENIO BARROSO
 Secretario General

Fluor

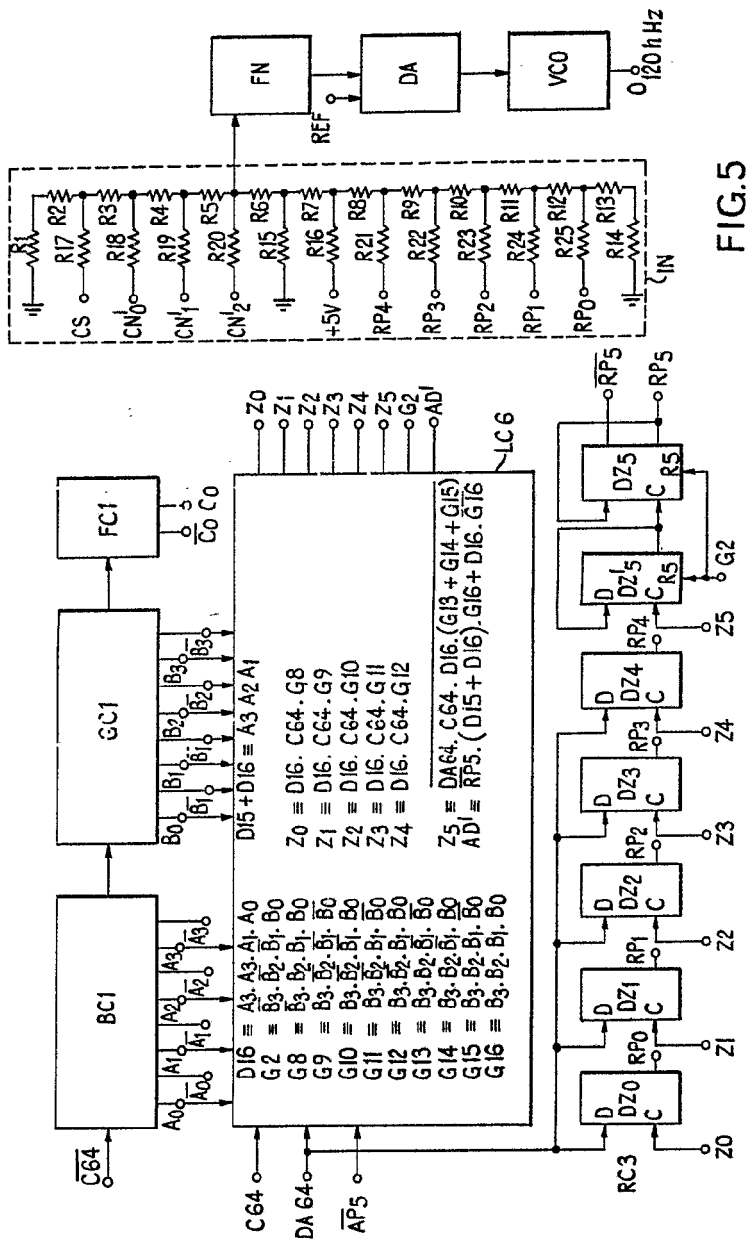
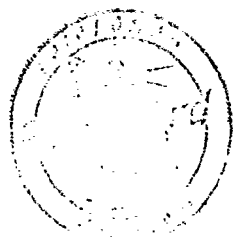
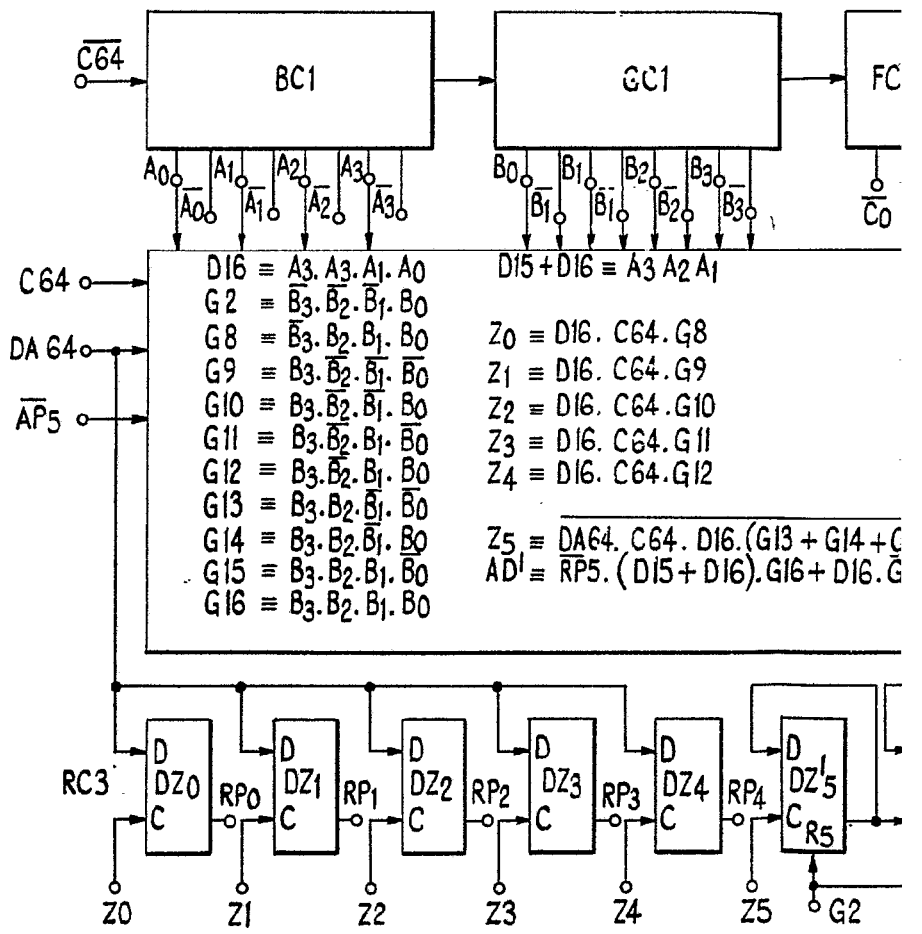


FIG. 5





11/5

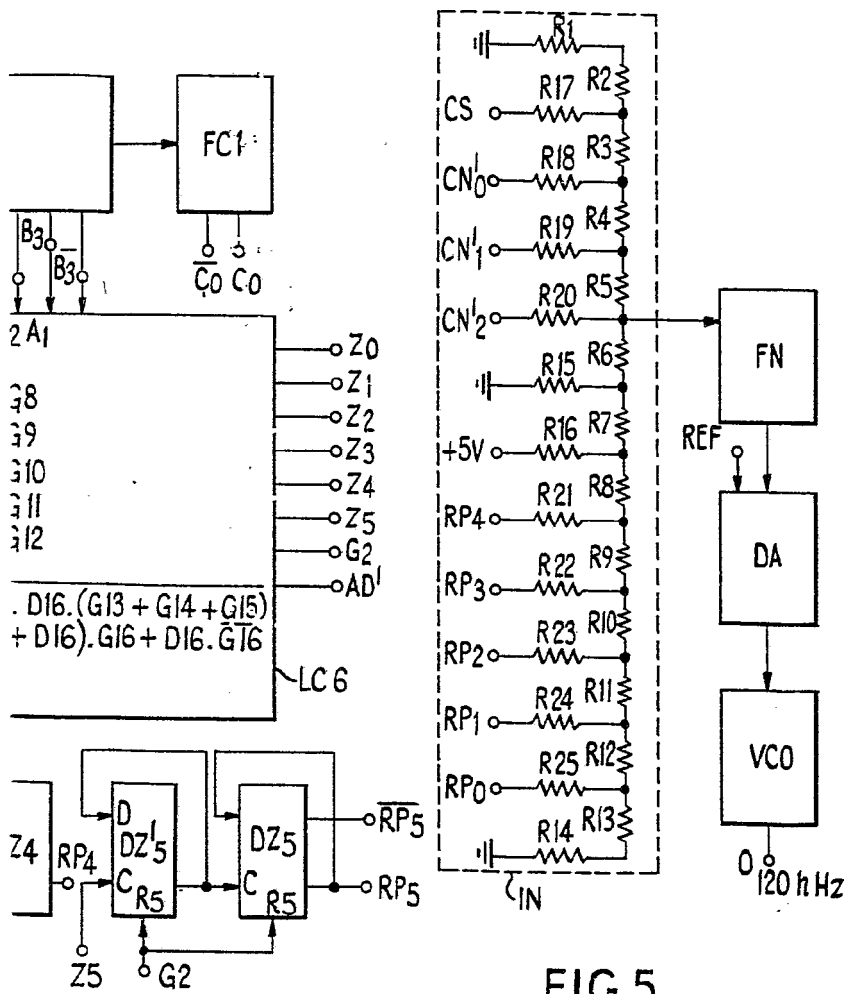


FIG. 5

Eugenio Barroso

EUGENIO BARROSO
Secretario General

FIG.6

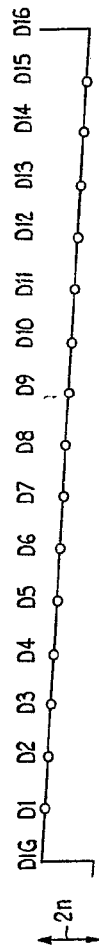


FIG.7

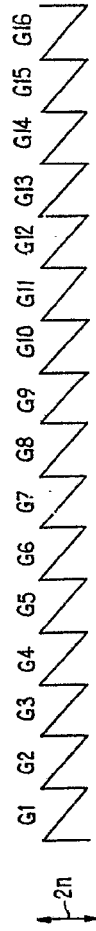
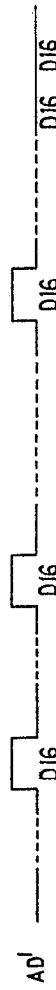


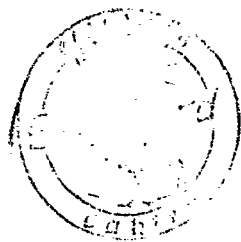
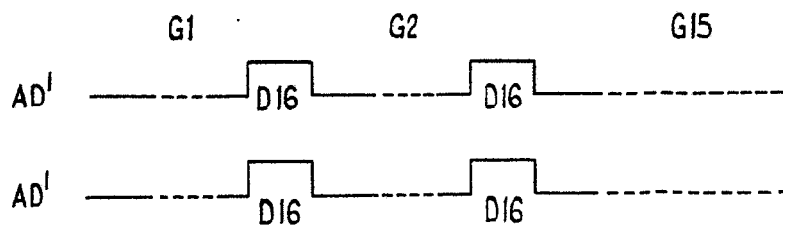
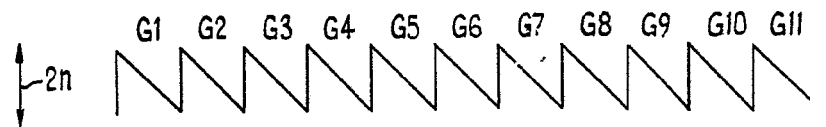
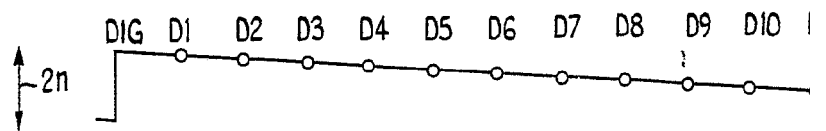
FIG.10



FIG.11



Edwards
 1950



11/6

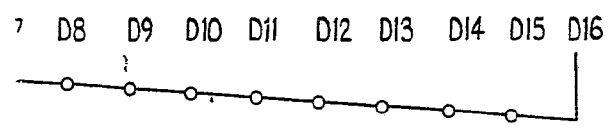


FIG.6

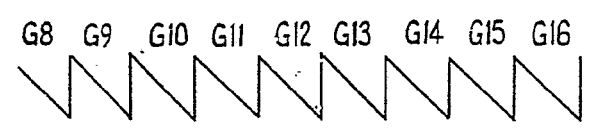


FIG.7

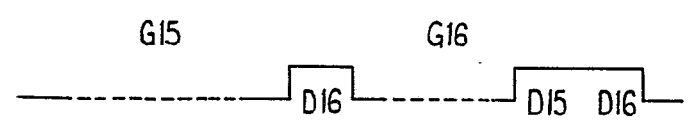


FIG.10

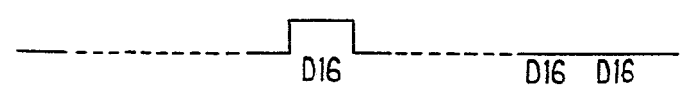


FIG.11

Handwritten signature
SECRET
4, Secret

117

STANDARD ELECTRICAL

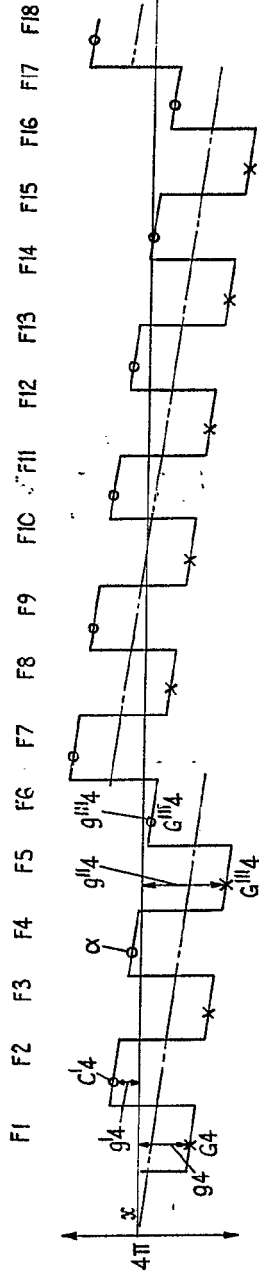


FIG. 8

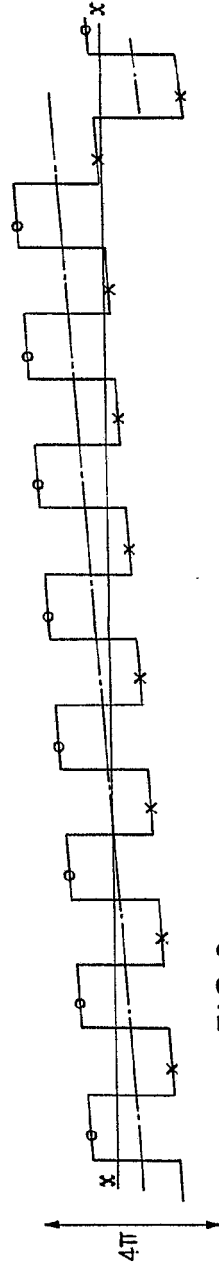


FIG. 9



E. M. Carrasco
 EUGENIO CARRASCO
 Secretario General

F1 F2 F3 F4 F5 F6 F7 F8 F9 I

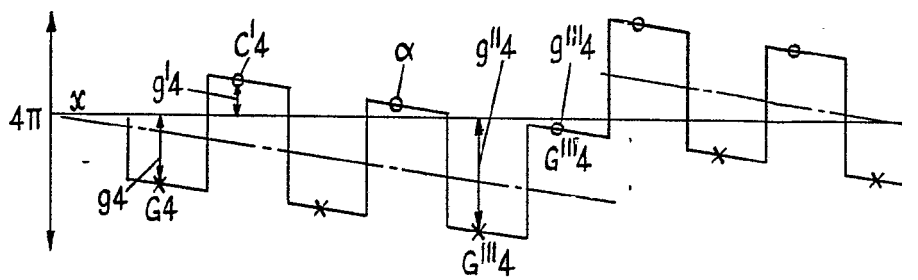


FIG. 8

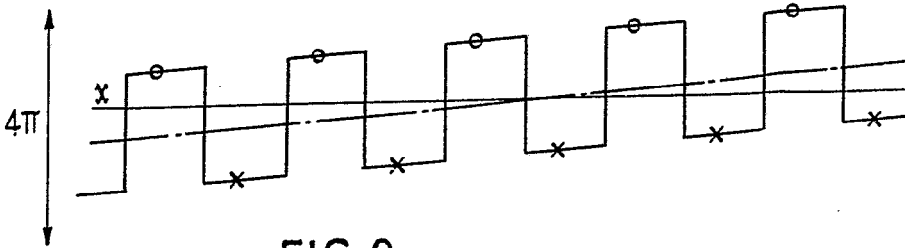
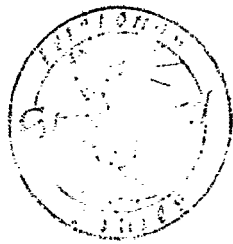
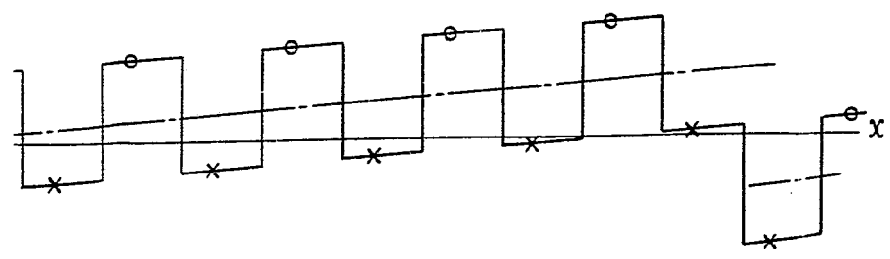
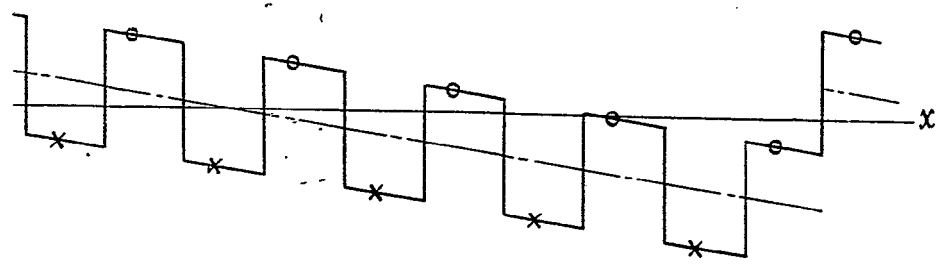


FIG. 9



197

F8 F9 F10 F11 F12 F13 F14 F15 F16 F17 F18



Eugenio Barroso
EUGENIO BARROSO
Secretario General

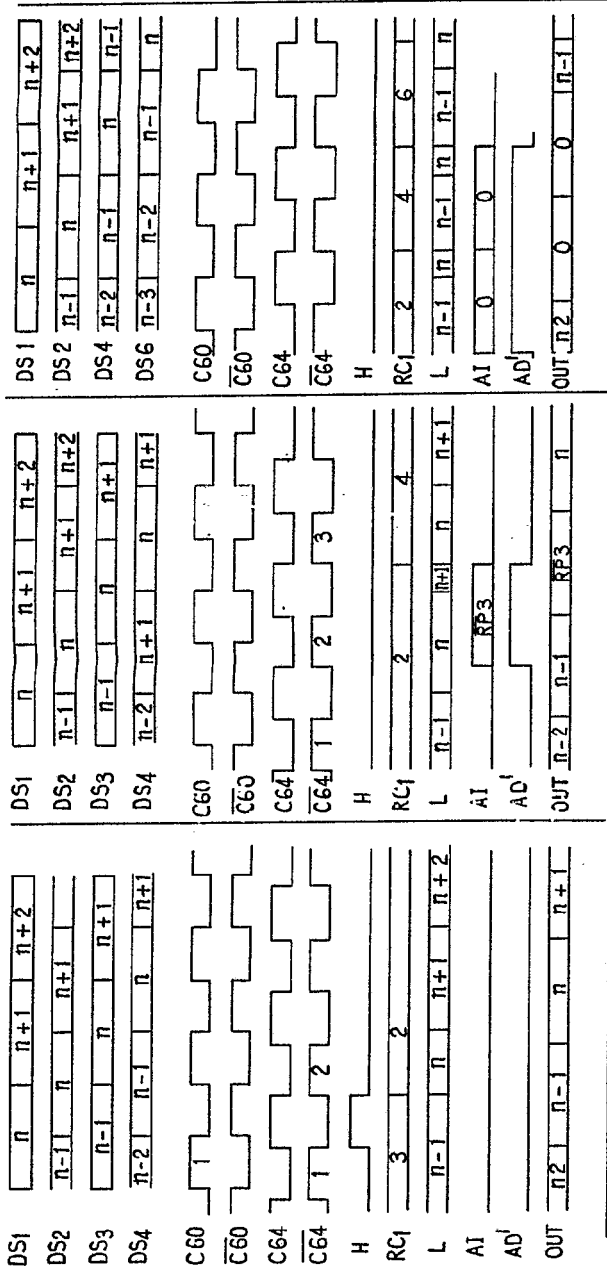


FIG. 12

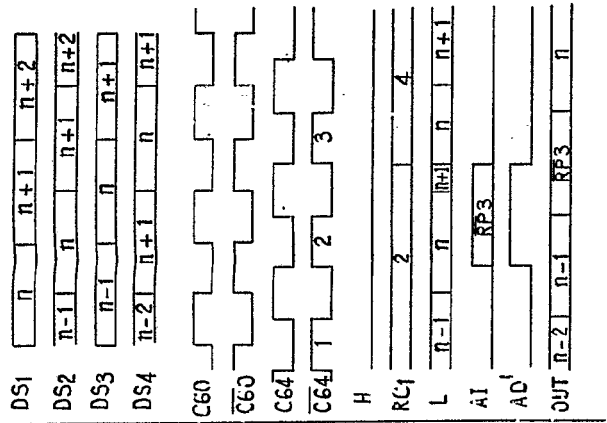


FIG. 13

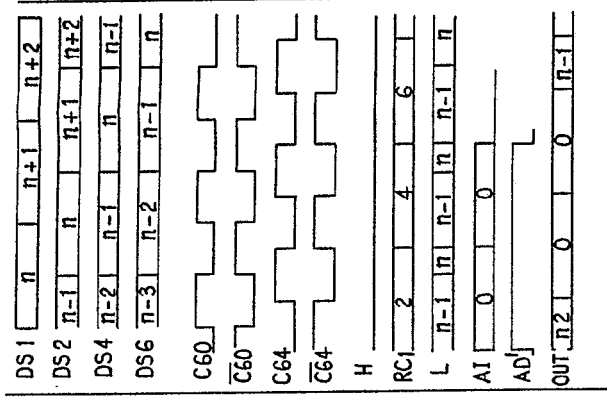


FIG. 14



Standard
ELECTRICA S.A.
S.A. ELECTRICA

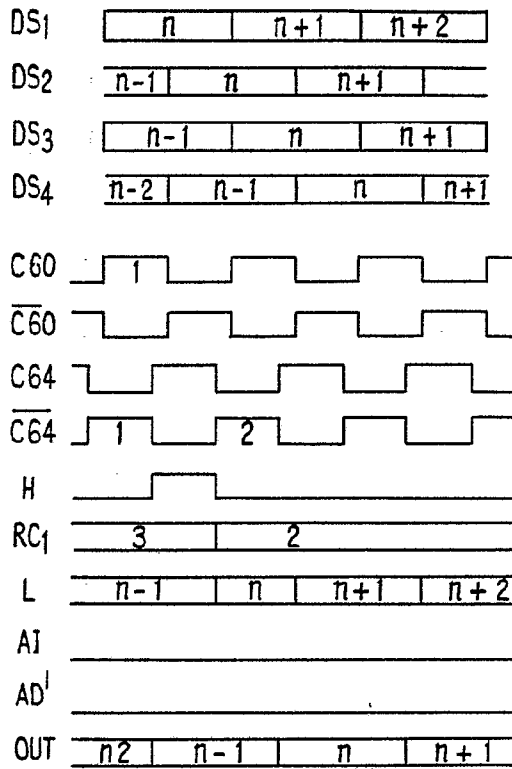


FIG.12

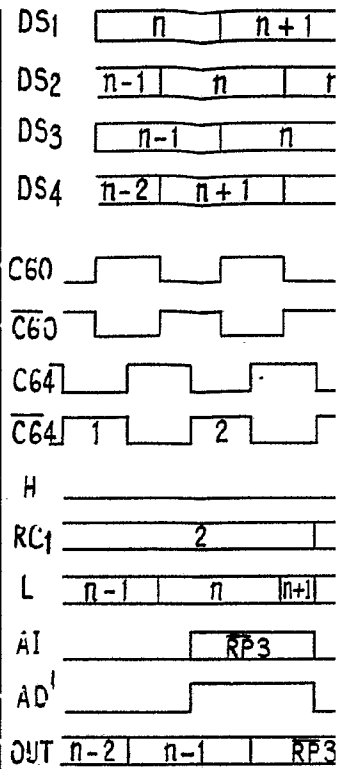


FIG.13



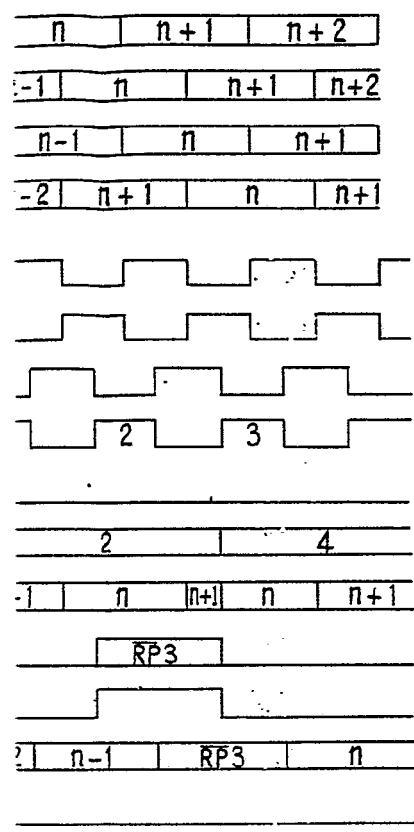


FIG. 13

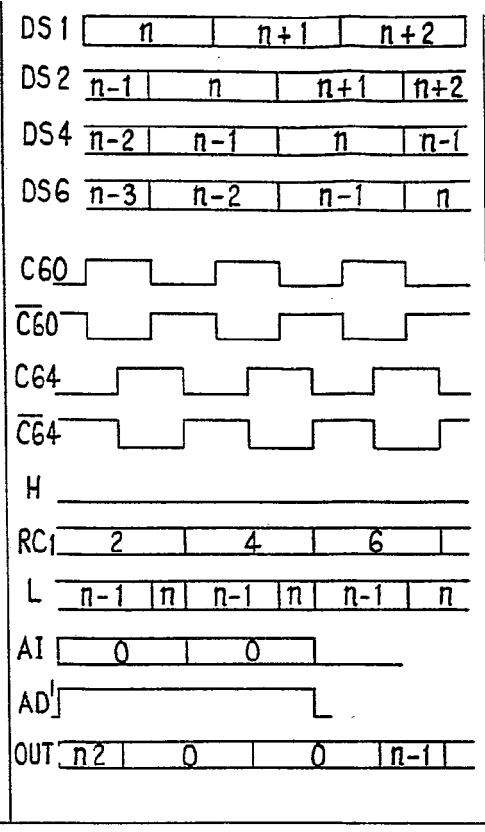
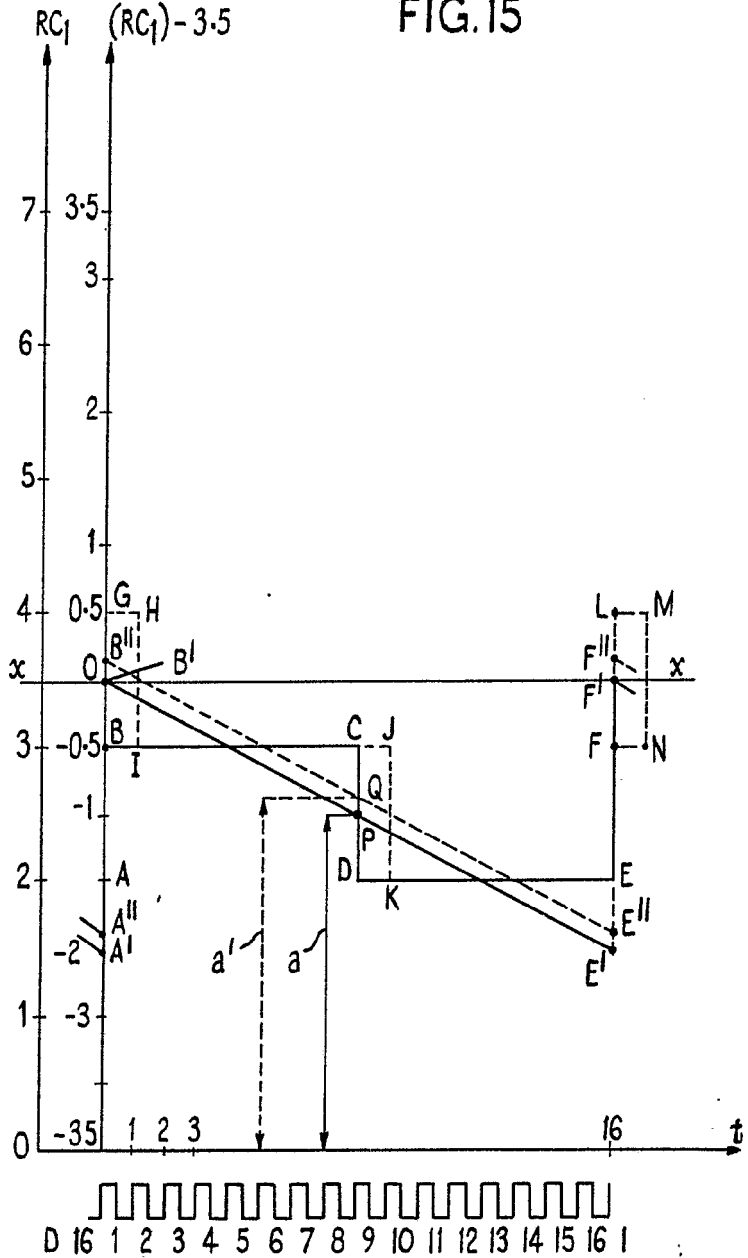


FIG. 14

Eugenio Ferrero
 EUGENIO FERRERO
 Secretario General

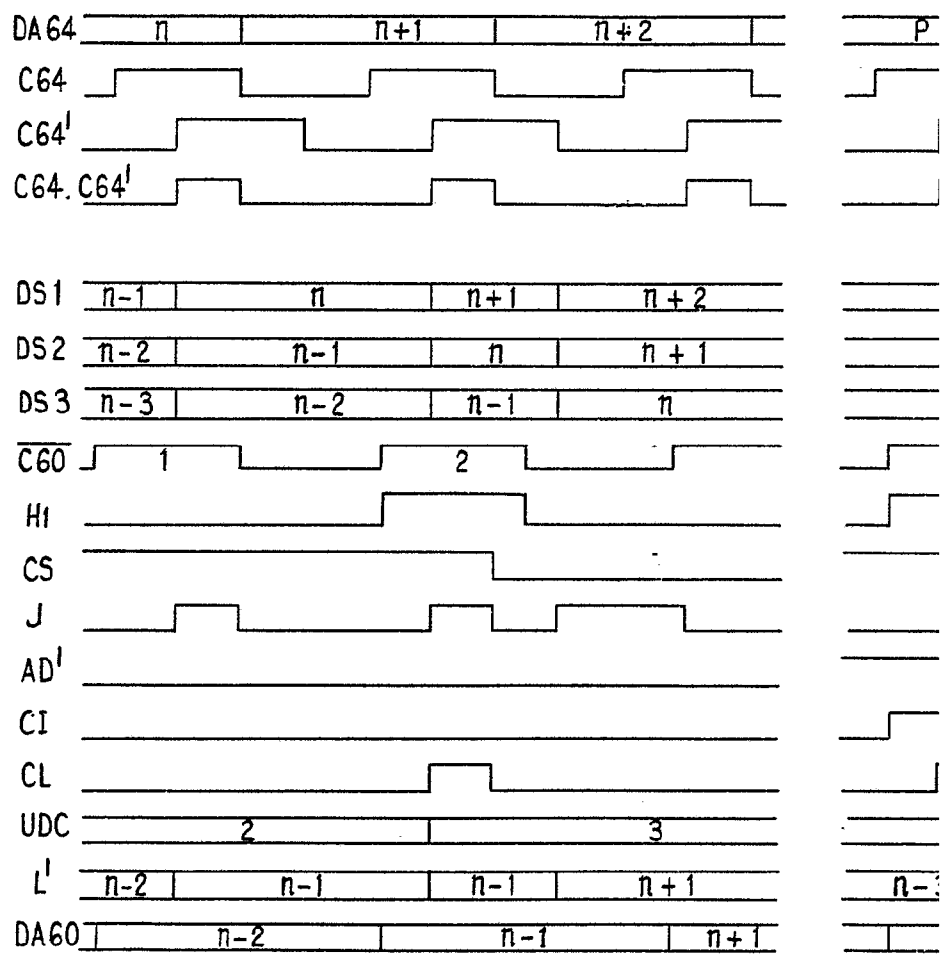
11/9

FIG. 15



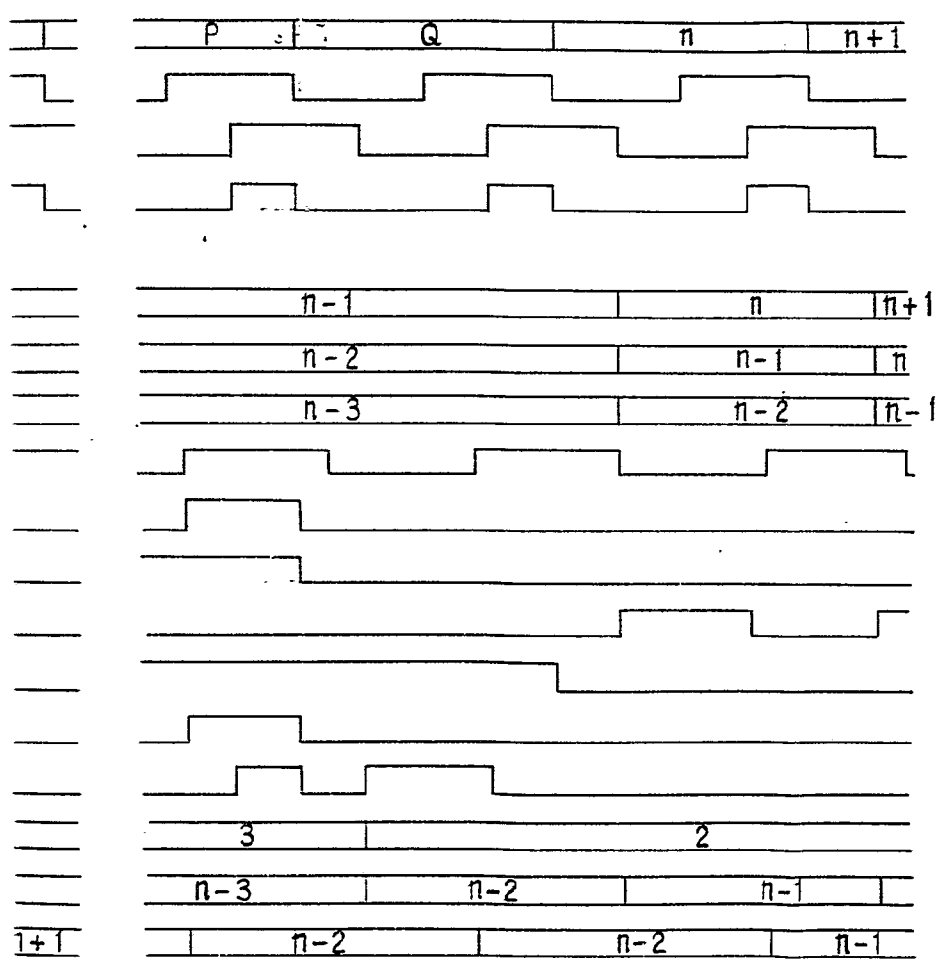
E. Bruschi
 EUGENIO BRUSCHI
 Secretario General

FIG.16



41/10

FIG.16



Eugenio Barroso
EUGENIO BARROSO
Secretario General

FIG.17

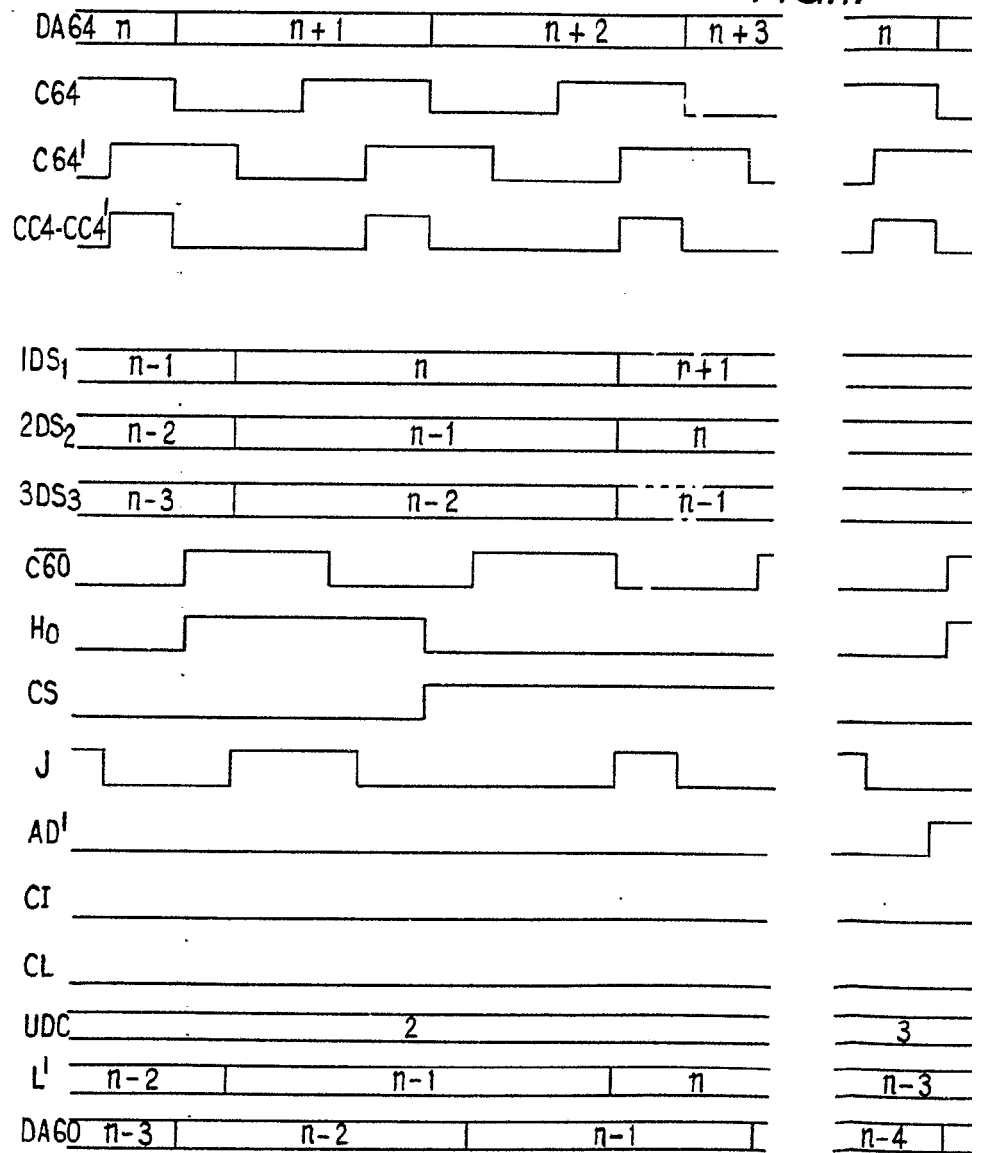
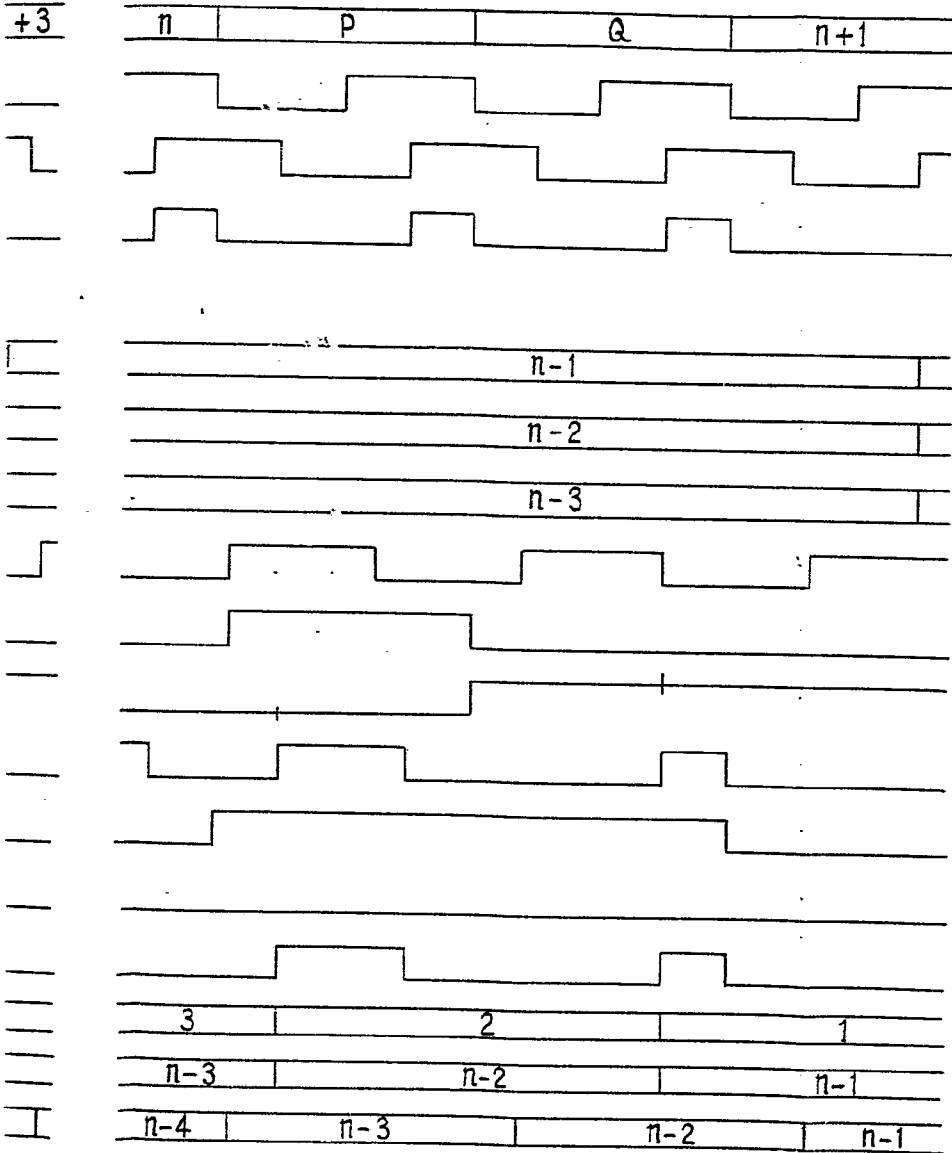


FIG.17



Eugenio Carrasco
 EUGENIO CARRASCO
 Secretario General