



ESPAÑA

19	ES	448348	10	A1
FECHA DE PRESENTACION				

21 ABR. 1977
CONCEDIDA
PATENTE DE INVENCION

30	PRIORIDADES:	32	FECHA	33	PAIS
31	NUMERO				
	581.996		29-5-75		U.S.A.

47	FECHA DE PUBLICACION	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H03K		

64	TITULO DE LA INVENCION
"APARATO DOTADO DE UN TRANSDUCTOR MEDIDOR DE POSICIONES QUE GENERA UNA SEÑAL DE ERROR EN FUNCION DE UN ESTADO POSICIONAL DEL TRANSDUCTOR".	

71	SOLICITANTE (S)
La Corporación organizada de acuerdo con la leyes del Estado de Delaware: FARRAND INDUSTRIES INC.	

DOMICILIO DEL SOLICITANTE	
115 Wall Street VALHALLA, NEW YORK 10595 (U.S.A.).	

72	INVENTOR (ES)
D. Robert W. Tripp.	

73	TITULAR (ES)

74	REPRESENTANTE
D. Francisco GARCIA CABRERIZO.	

**POOR
QUALITY**

"APARATO DOTADO DE UN TRANSDUCTOR MEDIDOR DE POSICIONES QUE GENERA UNA SEÑAL DE ERROR EN FUNCION DE UN ESTADO POSICIONAL DEL TRANSDUCTOR".

La presente invención se relaciona con el terreno de los sistemas medidores de posiciones y particularmente con sistemas tales que emplean convertidores de digital a analógico para aceptar entradas digitales y proporcionar como respuesta 5. señales analógicas a dispositivos medidores de posiciones, tales como transductores Industosyn (R), para aplicaciones de control y lectura de posiciones.

Descripción de la técnica anterior

En la patente estadounidense nº 3.686.487, de Tripp, 10. se describe uno de tales convertidores de la técnica anterior. En dicha patente se describe un generador de senos/cosenos digitales en el que una señal de reloj es contada a través de un primer y un segundo contadores en paralelo. Se dispone un medio generador para aceptar una entrada digital de n dígitos binarios o bits correspondientes a una señal de error generada 15. por el transductor, representativa de un cambio en la posición relativa de dos miembros de un transductor Industosyn (R) medidor de posiciones, y generar en respuesta una diferencia de conteo entre los dos contadores igual a la entrada digital, para 20. cambiar relativamente de fase las salidas de los dos contadores. Las salidas de contadores cambiadas relativamente de fase se combinan luego lógicamente para formar una o más señales de ondas rectangulares moduladas con amplitudes de impulsos, que se usan para excitar los devanados del transductor. En dicho 25. convertidor, el primer y segundo contadores tienen un nivel de conteo de N, de manera que para una entrada digital de n bits, cada una de las señales moduladas con amplitudes de impulsos -

incluye un componente de frecuencia fundamental que tiene una amplitud proporcional a la función trigonométrica (por ejemplo seno o coseno) de un ángulo θ , donde θ es igual a $(n/N) 360^\circ$.

- El convertidor antes citado se usa típicamente para
5. dividir el ciclo de medición periódico de un transductor Inductosyn en N partes. Por ejemplo, para un típico ciclo del transductor Inductosyn de 0,2 pulgadas (5,08 mm) y para un primer y un segundo contadores que tienen un nivel de conteo de 2000, el ciclo de 0,2 pulgada (5,08 mm) se divide en 2000 partes, es
 10. decir, cada bit digital del nivel de conteo representa 1×10^{-4} pulgada ($2,54 \times 10^{-3}$ mm).

- En tales sistemas medidores de posiciones se emplean generalmente dos configuraciones básicas. En la primera configuración se detecta la señal de error en uno de dos estados —
15. (positivo o negativo) sin ninguna "zona muerta" intermedia, en que la señal de error puede variar sin ningún cambio correspondiente en la salida del convertidor. Tal sistema requiere una constante corrección y, como resultado de ello, resulta difícil su estabilización. La segunda configuración común usa una
 20. señal de error en tres estados, que es detectada como positiva, nula o negativa. En el estado nulo intermedio no se efectúa ninguna corrección en el sistema. Como consecuencia, este tipo de sistema es más fácilmente estabilizado, pero la estabilización está en función de la ganancia global del sistema. Por
 25. ejemplo, si la ganancia del sistema es muy elevada, la magnitud predeterminada del estado nulo de la señal de error pasa a ser relativamente insignificante y se alcanza de hecho una configuración de señal de error en dos estados. Sin embargo, si la ganancia del sistema es muy baja, el estado nulo intermedio de
 30. la señal de error se hace relativamente grande y han de produ-

cirse grandes errores posicionales antes de que sean detectados los estados positivos o negativos e instituida la corrección posicional.

Resumen de la presente invencion

5. La presente invención proporciona una mejora en los aparatos convertidores para permitir el uso de un sistema medidor de posiciones en una configuración de señal de error de doble estado, para reducir al mínimo la sensibilidad a la ganancia del sistema, al tiempo que se simula un sistema con --
10. una configuración de señal de error en tres estados, cambiando la salida de la señal de posición de mando analógica en un valor predeterminado, siempre que la señal de error cambie en tre sus dos estados direccionales, produciéndose así un siste ma de estabilidad perfeccionada.
15. Para conseguir este resultado, se establece un aparato convertidor de digital a analógico destinado a ad mi ni str ar una señal analógica a un transductor medidor de posiciones, cuyo transductor genera una señal de error dotada de dos estados direccionales. El aparato convertidor tiene una fuen te de impulsos de reloj y medios que responden a la señal de error generando una fuente de impulsos digitales representati
20. vos de la señal de error. Se disponen medios circuitales que responden a los impulsos de reloj y a los impulsos de entrada generando un primer y un segundo trenes de impulsos escalonados, estando en función de dicha señal de error la diferencia en el número de impulsos de los citados trenes primero y se
25. gundo. Un primer y un segundo contadores, sensibles al primer y segundo trenes de impulsos escalonados, respectivamente, cu en tan y re g is tran ci cl ic ame nte estos impulsos escalonados a
30. través de un determinado nivel de conteo. El aparato con verti

5. dor incluye también medios para demorar las señales registradoras de conteo del primer contador en un tiempo predeterminado siempre que la señal de error se encuentra en el primero de sus dos estados direccionales, y medios para combinar lógicamente las señales registradoras de conteo del primer contador con las señales registradoras de conteo del segundo contador, para formar la señal analógica.

10. Con esta disposición, el convertidor de la presente invención acepta una señal de error digital en dos estados y genera una señal analógica modulada con amplitudes de impulsos en respuesta a aquélla. La amplitud de la señal analógica es normalmente alterada por el período de un bit del reloj por cada impulso de entrada de error. Debido a la demora predeterminada que se introduce en el primer contador, las señales de salida del otro contador, según sea el estado direccional de la señal de error (ascendente o descendente), son demoradas en un tiempo equivalente al que sería producido por la adición de un número predeterminado de bits (superior a uno) al contador (1,3 bits en la versión descrita más adelante), o no son demoradas.

15. Por consiguiente, cuando las señales analógicas que excitan al transductor medidor de posiciones corresponden a la posición efectiva del transductor (es decir, cuando la señal de error se encuentra en un estado nulo y cambia su estado direccional), la salida demorada del primer contador causa al equivalente de un cambio superior a un bit (por ejemplo, 1,3 bits en la versión descrita) en la amplitud de la salida de señal analógica, en lugar de un cambio de un bit. Este cambio relativamente incrementado en la salida del convertidor siempre que cambia de dirección la señal de error, hace que el sistema medidor de posiciones actúe como si existiese una zona

20.

25.

30.

muerta (0,3 bit) entre los estados direccionales ascendente y descendente de la señal de error y tiende a estabilizarse o amortiguarse la oscilación alrededor del estado nulo de esta señal de error. Así, se simula una entrada de error en tres estados para mejorar la estabilidad del sistema, pero de hecho queda retenida una señal de error en dos estados, de manera que no se introduce ninguna sensibilidad en la ganancia del sistema.

El convertidor del sistema incluye también un sistema circuital para disminuir el ritmo de muestreo de la señal de error siempre que ésta se halla en una fase de transición entre sus dos estados direccionales. Esta característica mejora también la fiabilidad y estabilidad del sistema medidor de posiciones.

Finalmente, la invención proporciona un perfeccionado y simplificado sistema circuital para escalonar los contadores del convertidor, a fin de eliminar un desplazamiento de fases entre las salidas de señales analógicas y la salida de referencia del contador, al tiempo que se conserva una elevada frecuencia de reloj.

Se ha observado en general que la estabilidad del sistema medidor de posiciones alrededor del estado nulo de la señal de error tiende a mejorar con el incremento de la magnitud absoluta del cambio en la señal de salida analógica (superior a 1 bit) con cada muestra de la señal de error y con la disminución del ritmo de muestreo del sistema. Uno u otro parámetros del sistema, o ambos, pueden ajustarse para afectar a la estabilidad de rendimiento del sistema cuando la señal de error se halla en su estado nulo o próximo a él.

Breve descripción de los dibujos

La figura 1 es un diagrama en bloques de una versión específica de la presente invención.

La figura 2 es un diagrama esquemático del sistema circuital de entrada de la versión de la figura 1.

5. La figura 3 es un diagrama esquemático del sistema circuital de eliminación de señales de dicha versión.

La figura 4 es un diagrama esquemático del sistema circuital del contador de la citada versión; y

10. La figura 5 es un diagrama esquemático del sistema circuital de combinación lógica de la referida versión.

Descripción de la versión

Descripción general

La figura 1 muestra un sistema medidor de posiciones con un convertidor de analógico a digital de acuerdo con la presente invención. El sistema incluye un transductor Inducto-
15. syn^(R) 50 medidor de posiciones, provisto de dos elementos relativamente móviles 51 y 52. El convertidor suministra a uno de los elementos, al 51, señales analógicas por las líneas 54a, b y 56a, b, teniendo ambas unos componentes fundamentales de
20. 4 kHz con amplitudes respectivamente proporcionales al seno y coseno de un ángulo de mando θ , representativo de una particular colocación relativa entre los elementos 51 y 52 dentro de un ciclo espacial de 0,2 pulgada (5,08 mm) del transductor 50. Cuando la posición relativa y efectiva de los elementos 51 y
25. 52 del transductor difiere del ángulo de mando θ , se genera una señal de error analógica en la línea 58. La fase de la señal de error indica en cuál de dos direcciones ha de efectuarse la corrección del error (es decir, hacia arriba o hacia abajo).

30. La señal de error se pasa a través de un filtro 60 -

- de 4 kHz y se conecta a las etapas 61 y 62 del amplificador. -
La salida de la etapa 61 del amplificador alcanza un valor pre-
determinado siempre que la posición efectiva del transductor -
difiere del ángulo de mando θ en un valor determinado (por - -
5. ejemplo, cuando la señal de error es igual a dos quintos de su
máxima amplitud posible) y se conecta al sistema circuital 100
de entrada del convertidor mediante la línea 63. La salida de
la segunda etapa 62 del amplificador se conecta también al sis-
toma circuital 100 de entrada del convertidor mediante la lí-
10. nea 64. Esta salida es estandarizada por el amplificador 62 -
en un impulso digital indicativo de si la señal de error se en-
cuentra en estado ascendente o descendente, es decir, en una -
de dos posibles direcciones en que han de efectuarse las co- -
rrecciones del error.
15. La misión del sistema circuital 100 de entrada del -
convertidor es muestrear la señal de error amplificada en la -
línea 64 y generar una señal de impulso de posición digital en
la línea 150 siempre que la señal de error permanece en el mis-
mo estado (ascendente o descendente) durante dos sucesivos pe-
20. ríodos de muestreo. El sistema circuital de entrada 100 genera
también señales en las líneas 151 y 152 indicativas de la direc-
ción de la corrección de posición requerida, ascendente o des-
cendente, respectivamente. Asimismo, siempre que la salida de
la primera etapa 61 del amplificador sea igual al valor prede-
25. terminado indicativo de que el error de posición es relativa-
mente grande, se establece un modo de "control auxiliar" y el
sistema circuital de entrada 100 genera un número de impulsos
de corrección, en lugar de un solo impulso, de manera que pue-
da acelerarse la corrección posicional.
30. Los impulsos de posición de la línea 150 y las seña-

- Las de dirección de las líneas 151 y 152 se conectan al sistema circuital 200 de eliminación de impulsos, que es suministrada también con impulsos de reloj digitales de 4 KHz desde el reloj 201. El sistema circuital 200 de eliminación de impulsos -
5. funciona suministrando impulsos de reloj a un contador de referencia 300 en la línea 250, suprimiendo un impulso de reloj al producirse uno de cada dos impulsos de posición. El sistema -
10. del tren de impulsos suministrado al primer contador 400 por la línea 252, siempre que tiene lugar un impulso de posición en un primer estado (ascendente). Se suprime un impulso de reloj del tren de impulsos suministrado al segundo contador 500 siempre que tiene lugar un impulso de posición en un segundo -
15. estado (descendente).

- Cada uno de los tres contadores 300, 400 y 500 tiene un nivel de conteo cíclico y, cuando se les suministran sus -
20. respectivos trenes de impulsos desde el sistema circuital de supresión de impulsos, las salidas de las etapas finales del primer y segundo contadores 400 y 500 son formas de onda rectangulares con relativo cambio de fase en una medida proporcional a la diferencia de conteo digital entre los impulsos de posición en estados ascendente y descendente. La señal de salida del contador de referencia 300 por la línea 350 tiene una -
25. forma de onda rectangular, cuya fase se centra entre las fases de las salidas del primer y segundo contador; el frente de onda ascendente de la señal de la línea 350 se usa por el sistema circuital de entrada del convertidor para efectuar el muestreo de la señal de error.

30. El primer contador 400 incluye también un sistema -

circuital anteriormente descrito para insertar una demora de 325 ns (equivalente a 1,3 veces un bit de 250 ns a un ritmo de reloj de 4 MHz) en las señales de salida del primer contador de 400 siempre que la señal de error cambie de un estado descendente a ascendente, indicado por la señal suministrada por la línea 110 desde el sistema circuital 100 de entrada de error. Es esta demora o cambio en la salida del primer contador lo que cambia las señales de salida analógicas para alterar el ángulo de mando θ en una cantidad predeterminada, simulándose así un funcionamiento del sistema de señales de error en tres estados.

La salida de las etapas finales del primer y segundo contadores 400 y 500 se suministran por las líneas 450 y 550, respectivamente, al sistema circuital de combinación lógica 600 que, tal como se describe en la citada patente estadounidense nº 3.686.487, actúa produciendo señales de salida analógicas por las líneas 54a, 54b y 56a, 56b, que tienen formas de onda rectangulares moduladas con amplitud de impulsos, cada una de las cuales incluye un componente de frecuencia fundamental dotado de una amplitud proporcional a una función trigonométrica de la entrada digital al convertidor (concretamente, seno y coseno del ángulo de mando θ). Las señales de salida analógicas son suministradas al transductor 50, que en respuesta genera la señal de error transmitida a través del filtro 60 y de los amplificadores 61 y 62 al sistema circuital 100 de entrada del convertidor, para formar un sistema de circuito cerrado.

Se comprenderá por los expertos en la materia que el aparato convertidor de la presente invención puede usarse para la medición de posiciones, lectura de posiciones o control de

posiciones al incorporarse en sistemas dotados de adecuados medios servocoleadores o indicadores de lectura, tal como se describe en la citada patente estadounidense nº 3.686.487.

5. La figura 1 muestra el sistema medidor de posiciones conectado al sistema circuital 701 de lectura de posiciones y a un indicador de lecturas 702 por las líneas 217 y 219 desde el sistema circuital 200 de supresión de impulsos. El sistema circuital de lectura 701 es básicamente un contador ascendente-descendente cuyas salidas se conectan a un indicador visual 10. 702. Las entradas en las líneas 217 y 219 controlan, respectivamente, el incremento y decremento del contador y su asociado indicador de lectura de posiciones.

Descripción detallada

15. La figura 2 muestra el sistema circuital de entrada de error de la versión de la presente invención. La salida de la señal de error de la etapa 62 del amplificador se conecta mediante la línea 64 a la entrada D del circuito biestable 111. La salida de "control auxiliar" de la etapa 61 del amplificador se conecta por la línea 63 a la entrada D de otro circuito 20. biestable 112. Estos circuitos biestables y otros incorporados en la versión son de tipo D, tales como los circuitos integrados de tipo SN 7474. Ambos circuitos biestables 111 y 112 tienen sus entradas de reloj conectadas a la línea 350, que transporta una onda cuadrada de 4 kHz generada por el contador de 25. referencia 300, tal como se describe más adelante. La salida Q del circuito biestable 111 se conecta a la entrada D de un circuito biestable 113 cuya entrada de reloj se conecta también a la línea 350. La salida Q del circuito biestable 111 y también la salida \bar{Q} del circuito biestable 113 se conectan a una 30. puerta EXCLUSIVA-O 114. El circuito biestable 111 muestra el

estado de la señal de error en la línea 64 por cada impulso de la línea 350; y cada impulso de la línea 350 cambia el contenido del circuito 111 al circuito 113. La salida de la puerta -- 114 por la línea 150 es por consiguiente un impulso digital indicativo del hecho de que la entrada de la señal de error por la línea 64 ha sido en una dirección (elevada o baja, ascendente o descendente) para dos impulsos de muestreo consecutivos -- en la línea 350.

La salida \bar{Q} del circuito biestable 112 se conecta a una entrada de la puerta Y 117. La otra entrada de la puerta -- 117 se conecta por la línea 315 a una onda cuadrada de 400 kHz del contador de referencia 300. Otra puerta Y 118 tiene una -- entrada conectada al impulso de referencia de 4kHz de la línea 350 y la otra entrada conectada también a la línea 315. Las salidas de las puertas Y 117 y 118 se conectan a las entradas de una puerta NI 119 cuya salida pasa a las entradas de las puertas NI 115 y 116. La otra entrada de la puerta NI 115 se conecta a la salida \bar{Q} del circuito biestable 113 y la otra entrada de la puerta NI 116 se conecta a la salida Q del circuito biestable 113.

En la salida de la puerta NI 115 aparecen señales digitales siempre que la señal de error muestreada por el último impulso de referencia en la línea 350 aparece en estado ascendente; en la salida de la puerta NI 116 aparecen impulsos digitales siempre que la señal de error anteriormente muestreada -- se encuentra en estado descendente. La producción de una condición de "control auxiliar" hace que la salida del circuito -- biestable 112 pase una señal de 400 kHz a través de las puertas 117 y 119 hasta las entradas de las puertas NI 115 y 116, multiplicando así por cien el número efectivo de entrada de impul-

ses escalonados del contador en el sistema, tal como se describe más adelante. Durante cada período de muestreo se pasa un impulso de la señal de 400 kHz de la línea 315 a través de las puertas NI 115 y 116.

5. La figura 3 ilustra el sistema circuital 200 de su-
presión de impulsos de la versión y una fuente 201 de impulsos
digitales de reloj de 4 MHz. La salida de impulsos de posición
del sistema circuital 100 de entrada de error en la línea 150
se conecta a las entradas D de los circuitos biestables 212 y
10. 214. La entrada de reloj del circuito biestable 212 se conecta
mediante la línea 151 a la señal de estado ascendente y la en-
trada de reloj del circuito biestable 214 se conecta mediante
la línea 152 a la señal de estado descendente. Las salidas \bar{Q}
de los circuitos biestables 212 y 214 se conectan a las entra-
15. das D de los circuitos biestables 216 y 218, respectivamente.
Las entradas de reloj de estos últimos circuitos se enlazan a
la salida del reloj 201 de 4 MHz, que alimenta también una en-
trada de cada una de las puertas NI 220, 224 y 240. Las sali-
das Q de los circuitos biestables 216 y 218 se conectan median-
20. te las líneas 217 y 219 a las entradas preajustadas de los cir-
cuitos biestables 212 y 214, respectivamente. Las señales de
las líneas 217 y 219 son transmitidas también a la lógica de
lectura 701 y al indicador 702 para controlar el incremento y
decremento de la lectura.
25. La salida \bar{Q} del circuito biestable 216 se enlaza a
la otra entrada de la puerta NI 220 y también a una entrada de
una puerta NI 222. La salida \bar{Q} del circuito biestable 218 se
conecta a la otra entrada de la puerta NI 222 y a la otra entrá-
da de la puerta NI 224. Como consecuencia de esta disposición
de circuitos, la salida de la puerta NI 220 genera impulsos de
30.

reloj de 4 MHz en la línea 252, con eliminación de un impulso siempre que se genera un impulso de posición en la línea 150 en estado ascendente. Análogamente, se generan impulsos de reloj en la salida de la puerta NI 224 en la línea 256, con eliminación de impulsos siempre que se hallan presentes impulsos de posición en la línea 150 y la señal de error se encuentra en estado descendente.

La salida de la puerta NI 222 se conecta a la entrada de reloj de un contador 230 de división por dos (tal como un circuito integrado SN 74196). La salida Q_A del contador 230 se conecta a la entrada de reloj de un circuito biestable 232 cuya entrada D se enlaza a tierra. La salida Q del circuito biestable 232 pasa a la entrada D de otro circuito biestable 234 que es cronometrado por las señales de reloj de 4 MHz de la línea 202. La salida Q del circuito biestable 234 se devuelve a la entrada libre del circuito biestable 232 y la salida \bar{Q} del circuito biestable 234 pasa a la segunda entrada de la puerta NI 240. La disposición del contador 230 y de los circuitos biestables 232 y 234 permite la aparición de impulsos de reloj estandarizados y sincronizados en la salida de la puerta 240 de la línea 250, siendo suprimido un impulso de reloj por uno de cada dos impulsos de posición generados en la línea 150.

Por consiguiente, con la disposición circuital descrita, el contador de referencia 300 es continuamente incrementado por impulsos de reloj de 4 MHz, con supresión de un impulso al producirse uno de cada dos impulsos de posición, mientras que el primer y segundo contadores 400 y 500 son continuamente incrementados por impulsos de reloj de 4 MHz, siendo suprimido un impulso de la entrada del primer contador siempre que se genera un impulso de posición en estado ascendente y suprimiéndolo

se un impulso de la entrada del segundo contador siempre que se genera un impulso de posición con un estado descendente. Las señales de salida de los dos contadores en las líneas 450 y 550 cambian de fase entre sí en función del número y dirección de los impulsos de posición generados. Como se suprime un impulso de la entrada al contador de referencia 300 por uno de cada dos impulsos de posición, la fase de la salida del contador de referencia por la línea 350 permanece centrada entre las salidas del primer y segundo contadores, de manera que se elimina el desplazamiento de fase entre las salidas de los contadores y puede retenerse una frecuencia de reloj relativamente elevada a efectos de seguimiento a elevada velocidad. Asimismo, como los tres contadores sólo precisan ser incrementados, no se requieren contadores ascendentes-descendentes y se reduce al mínimo la complejidad del sistema circuital.

La figura 4 muestra los tres contadores básicos del sistema: el contador de referencia 300, el primer contador 400 y el segundo contador 500. La señal de la línea 250 se conecta a la entrada de un contador 310 de división por diez (un SN 74192) cuya salida Q se enlaza a la entrada de reloj de un contador 320 de división por cien (tal como dos circuitos SN 74161 conectados en cascada). En la línea 315 se recibe una señal de 400 kHz del contador 310 y se devuelve al sistema circuital de entrada de error 100 descrito en relación con la figura 2.

El contador de referencia 300 incluye también un circuito biestable 330 cuyas entradas D y entrada preajustada se conectan a la línea 150 de impulsos de posición. La salida \bar{Q} del circuito biestable 330 se enlaza a la entrada libre de otro circuito biestable 340, cuya salida \bar{Q} vuelve a su pro-

5. pia entrada D y también a una entrada de una puerta NI 345. La salida final del contador 320 de división por cien se conecta a la otra entrada de la puerta NI 345 y a la entrada de reloj del circuito biestable 340. La salida de la puerta NI 345 por la línea 350 se devuelve a la entrada de reloj del circuito biestable 330 y se transmite como señal de muestreo de referencia al sistema circuital de entrada de error 100.

10. La configuración de los circuitos biestables 330 y 340 y de la puerta 345 permite la generación de una señal de referencia de 4 kHz en la línea 350 siempre que la señal de error permanece en un estado ascendente o descendente firme.

15. Sin embargo, siempre que la señal de error cambia su estado direccional, la salida de la etapa 320 del contador es dividida por dos por el circuito biestable 340, para dar una señal de referencia de 2 kHz en la línea 350 para muestrear la señal de error. Este decrecido ritmo de muestreo se continúa hasta que la señal de error muestreada ha mantenido el mismo estado direccional ascendente o descendente durante dos muestras sucesivas.

20. El decrecido ritmo de muestreo cuando la dirección de la señal de error se encuentra en una fase de transición mejora grandemente la estabilidad y fiabilidad del sistema medidor de posiciones, de manera que, por ejemplo, se elimina la oscilación del último e importante dígito del indicador de lectura de posiciones.

25. El primer contador 400 tiene la señal de la línea 252 conectada a la entrada de reloj de un contador 402 de división por cinco (tal como un circuito SN 74196) cuya salida Q_D pasa a la entrada A de un multivibrador 404 de un disparo (un SN 74123) y a una entrada de una puerta Y 412. El multivibrador de 404 está provisto de una combinación 406 de resistor-ca

30.

pacitor, de manera que siempre que su entrada A se eleva, la salida Q del multivibrador permanece elevada durante 325 ns, que es 1,3 veces el período de 250 ns del reloj de 4 MHz. La salida Q del multivibrador 404 se conecta a la entrada de reloj de un circuito biestable 408 y a una entrada de una puerta Y 410. La entrada D del circuito biestable 408 se aplica por la línea 110 con la salida \bar{Q} del circuito biestable 111 desde el sistema circuital de entrada de error, como se muestra en la figura 2. La salida Q del circuito biestable 408 se enlaza a la otra entrada de la puerta 410 y la salida \bar{Q} del circuito biestable 408 pasa a la segunda entrada de la puerta 412. Cada salida de las puertas 410 y 412 se conecta a una entrada de una puerta NI 414, cuya salida se enlaza a la entrada de un contador 420 de división por cincuenta (tal como dos circuitos SN 74161 conectados en cascada). La salida del contador 420 aparece en la línea 450.

Quando la señal de error es muestreada en estado descendente, los impulsos de la línea 252 son divididos por el circuito divisor 402 y transmitidos a través de las puertas 412 y 414 al siguiente circuito contador 420. Sin embargo, siempre que la señal de error se halla en estado ascendente, indicado por el nivel de la señal de la línea 110, se prepara el circuito biestable 408 y los impulsos de la salida del circuito divisor 402 no pasan directamente a las puertas 412 y 414, sino que las señales de salida demoradas del multivibrador 404 son enviadas a través de las puertas 410 y 414 al circuito contador 420. Como resultado de ello, siempre que la señal de error se encuentra en estado ascendente, la salida del contador 420 en la línea 450 se demora en 325 ns respecto a la fase de los impulsos de salida del contador de referencia por la

línea 350.

El segundo contador 500 tiene una entrada en la línea 256 a la entrada de reloj de un contador 510 de división por cinco (un circuito SN 74196). La salida del contador 510 pasa a un inversor 514 y la salida de ese inversor alimenta un contador de división por cincuenta 520 (también dos circuitos SN 74161 conectados en cascada) para generar una señal de salida por la línea 550.

Como consecuencia de esta disposición de los contadores, la salida del contador de referencia por la línea 350 proporciona un tren de impulsos de 4 kHz. La salida del primer contador por la línea 450 comprende un tren de impulsos de 16 kHz, que son demorados en 325 ns respecto a los impulsos de fase de la línea de salida 350 del contador de referencia, siempre que la señal de error se encuentra en estado ascendente. La salida del segundo contador por la línea 550 comprende un tren de impulsos de 16 kHz; estos impulsos no son nunca demorados o cambiados respecto a la fase de los impulsos de salida del contador de referencia por la línea 350.

La figura 5 muestra el sistema circuital de combinación lógica 600 que recibe las señales de 16 kHz del primer y segundo contadores 400 y 500 y genera en respuesta dos señales analógicas moduladas con amplitudes de impulsos, que tienen componentes de frecuencia fundamentales de 4 kHz proporcionales, respectivamente, al seno y coseno de un ángulo θ , cuyo θ es igual al número de impulsos de entrada digitales n de la etapa 62 del amplificador, divididos por el nivel de conteo total N de 2000 multiplicado por 360° .

El sistema circuital de combinación lógica 600 incluye cuatro circuitos biestables 601 a 604, ocho puertas NI 611

a 618 y ocho resistores de 30 ohmios 621 a 628. La salida del primer contador 400 por la línea 450 se conecta a las entradas de reloj de los circuitos biestables 601 y 602. La salida Q del circuito biestable 601 pasa a una entrada de la puerta NI 5. 613 y la salida \bar{Q} pasa a una entrada de la puerta NI 611 y a la entrada D del circuito biestable 602. La salida \bar{Q} del circuito biestable 602 se enlaza a una entrada de la puerta 615; la salida Q pasa a una entrada de la puerta 617 y a la entrada D del circuito biestable 601.

10. La salida del segundo contador 500 por la línea 550 pasa a las entradas de reloj de los circuitos biestables 603 y 604. La salida Q del circuito biestable 603 se enlaza a la otra entrada de la puerta 611 y la salida \bar{Q} de ese circuito biestable se conecta a la otra entrada de la puerta 613 y a la entrada D del circuito biestable 604. La salida \bar{Q} del circuito biestable 604 se conecta a la otra entrada de la puerta 615; la salida Q pasa a la puerta 617 y a la entrada D del circuito biestable 603. 15.

20. La salida de la puerta 611 pasa a un lado del resistor 621 y a una entrada de la puerta 612. La salida de la puerta 612 se enlaza a un lado del resistor 622. La salida de la puerta 613 se conecta a un lado del resistor 623 y a una entrada de la puerta 614, cuya salida se enlaza a un lado del resistor 624. La salida de la puerta 615 se enlaza a un lado del resistor 625 y a una entrada de la puerta 616. La salida de la puerta 616 pasa a un lado del resistor 626. La salida de la puerta 617 se enlaza a un lado del resistor 627 y a una entrada de la puerta 618, cuya salida pasa a un lado del resistor 628. Las restantes entradas de las puertas 612, 614, 616 y 618 se enlazan a tierra. 25.

30.

Los otros lados de los resistores 621 y 624 se unen por la línea 54a; los otros lados de los resistores 622 y 623 se enlazan entre sí por la línea 54b. La señal analógica correspondiente al seno θ es generada a través de las líneas 54a y -
5. 54b. Análogamente, los otros lados de los resistores 625 y 628 se conectan entre sí por la línea 56a y los resistores 626 y - 627 se unen por la línea 56b. La señal correspondiente al coseno θ aparece a través de las líneas 56a y 56b.

La teoría y funcionamiento de tales medios circuitales de combinación lógica se describen en la patente estadounidense antes mencionada, n^o 3.686.487.

Sin embargo, básicamente los circuitos biestables --
601 y 602 forman un contador anular torcido Johnson que divide la señal de 16 kHz de la línea 450 por 4 para dar señales de -
15. 4 kHz en la salida del circuito biestable 601 y otras señales de 4 kHz con un desfase de 90^o respecto a las señales de las respectivas salidas del circuito biestable 602. Análogamente, los circuitos biestables 603 y 604 forman también un contador anular torcido para dividir la señal de la línea 550 en señas --
20. les de 4 kHz en las salidas del circuito biestable 603 y otras señales de 4 kHz en las salidas del circuito biestable 604 con desfase de 90^o, es decir, en cuadratura, respecto a las señas --
25. para formar las salidas de señales analógicas de senos y cosenos moduladas por amplitudes de impulsos en las líneas 54a-b y 56a-b, respectivamente, mediante conjunción de las salidas fundamentales de los circuitos biestables 601 y 603 para dar la salida de seno, y conjunción de las salidas en cuadratura de --
30. los circuitos biestables 602 y 604 para generar la señal de sa-

lida de coseno.

- Así, la puerta NI 611 discrimina esencialmente las salidas complementarias de los circuitos biestables 601 y 603 para alimentar un lado de la salida de seno (54a) y la puerta NI 613 discrimina la salida verdadera de los circuitos biestables 601 y 603 hacia el otro lado de la salida de seno (54b). Las puertas 615 y 617 discriminan las salidas complementarias y verdaderas, respectivamente, de los circuitos biestables "en cuadratura" 602 y 604 para suministrar la señal de coseno a las líneas 56a-b. Las puertas NI 612, 614, 616 y 618 se conectan como inversores para proporcionar trayectorias de retorno a las corrientes de salida de senos y cosenos transmitidas a los devanados del transductor Inductosyn. Las señales de senos y cosenos moduladas con amplitudes de impulsos y así formadas tienen una frecuencia fundamental de 4 kHz, siendo la amplitud del componente fundamental de la señal de seno en las líneas 54a-b proporcional al seno del ángulo de mando θ , y la amplitud del componente de frecuencia fundamental de la señal de coseno a través de las líneas 56a-b proporcional al coseno de θ .
- Aunque la versión descrita de la presente invención simula un sistema de entradas de error en tres estados, detectando una transición direccional de la señal de error y alterando la amplitud de las señales de salida analógicas moduladas con amplitudes de impulsos en una medida superior al cambio normal de un bit en esa condición, se reconocerá por los expertos en la materia que la invención no se limita a sistemas medidores de posiciones que tienen salidas analógicas moduladas con amplitudes de impulsos. Por ejemplo, la patente estadounidense nº 3.789.393 describe un sistema medidor de posiciones con un convertidor de digital a analógico que usa una modulación tanto

de amplitud como de anchura de impulsos para generar señales de salida analógicas. En ese sistema, el componente de amplitud de impulsos de la señal analógica representa los bits finos (menos importantes) de la posición de mando, y el componente de anchura de impulsos de la señal representa los bits bastos (más importantes). La presente invención puede usarse con tal sistema alterando el componente modulado por amplitud de la salida analógica en una medida predeterminada (por ejemplo, en una medida correspondiente a un cambio de 1,3 bits en la posición de mando), siempre que la señal de error cambie de estado direccional. Además, se comprobó la conveniencia de aumentar la salida analógica del sistema descrito mediante un cambio en la posición de mando de 1,3 bits; sin embargo, esa cifra no es crítica y pueden usarse también otras cantidades superiores a un cambio de un bit.

La presente invención tiene particular aplicación en sistemas seguidores digitales a elevadas velocidades (tales como el descrito en la patente estadounidense nº 3.673.395, de Tripp) que requieran una exactitud constante de los estados de los contadores del convertidor de digital a analógico, incluyendo los tiempos de cambio posicional rápido. Debido a la simulación de una configuración de entrada de "zona muerta" entre estados, los estados del primer y segundo contadores responden exactamente a la posición verdadera del transductor, incluso durante el seguimiento, a elevada velocidad.

Finalmente, aunque la versión descrita reduce el ritmo de muestreo de la señal de error en un factor de dos siempre que esta señal no ha permanecido en un estado direccional durante dos tiempos de muestreo sucesivos, resultará evidente que el ritmo de muestreo puede reducirse por otros factores en tales

condiciones.

N O T A

La Patente de Invención que se solicita por veinte años para España, de acuerdo con la vigente legislación, debe-

5. ra recaer sobre: "APARATO DOTADO DE UN TRANSDUCTOR MEDIDOR DE POSICIONES QUE GENERA UNA SEÑAL DE ERROR EN FUNCION DE UN ESTADO POSICIONAL DEL TRANSDUCTOR", con Prioridad de la solicitud de Patente en U.S.A. nº 581.996, de 29 de Mayo 1975, según -- las características esenciales de las siguientes:

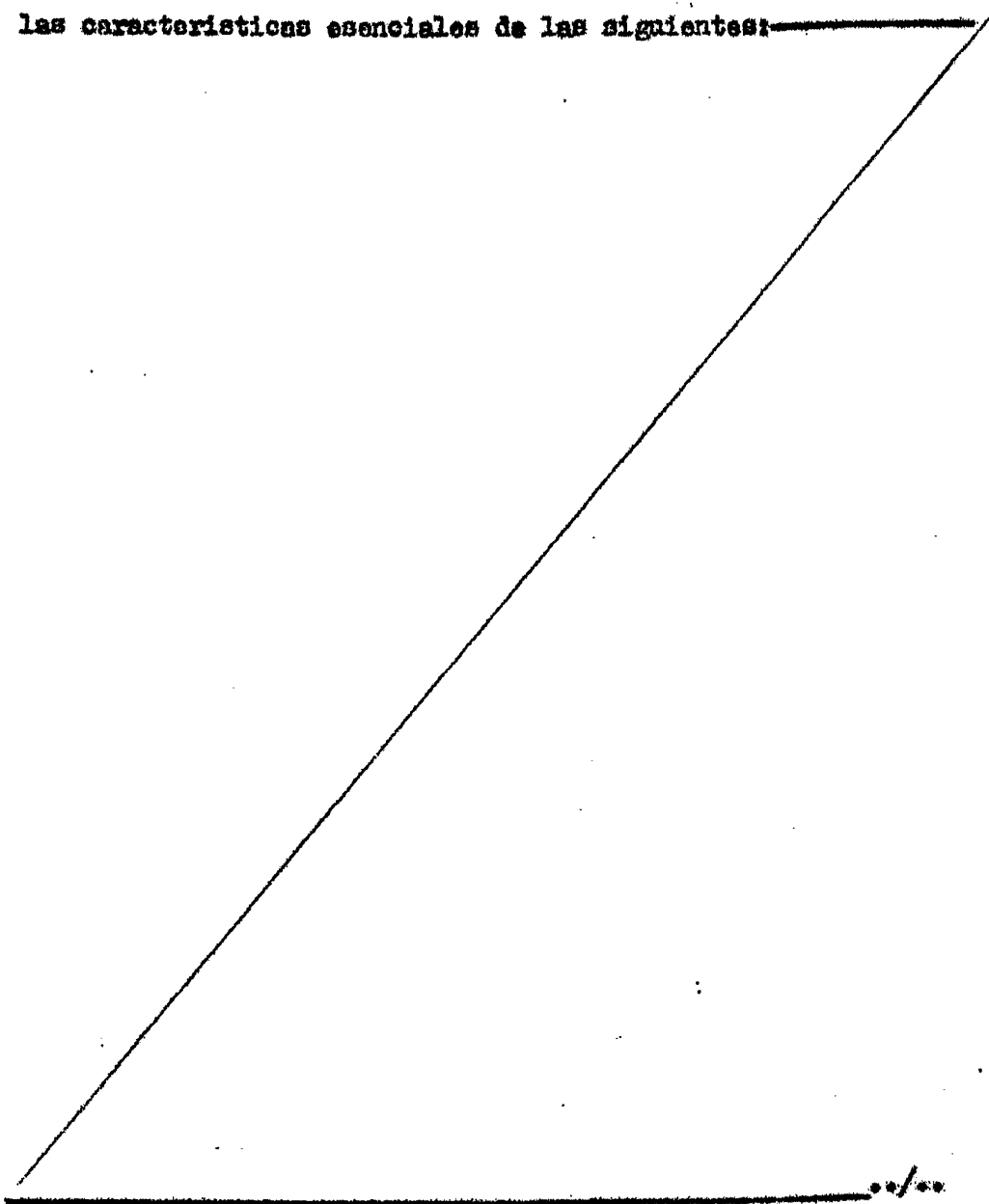
10.

15.

20.

25.

30.



REIVINDICACIONES

13.- Aparato dotado de un transductor medidor de posi-
ciones que genera una señal de error en función de un estado -
posicional del transductor, y en función de la entrada de seña-
les analógicas en tal transductor, teniendo la citada señal de
5. error dos estados direccionales, cuyo aparato comprende: medios
de entrada para muestrear periódicamente la citada señal de -
error y para generar en respuesta señales digitales representa-
tivas del estado direccional de la señal de error; medios con-
10. vertidores que responden a las señales digitales generando las
referidas señales analógicas, siendo cambiadas éstas últimas en
una medida determinada y uniforme tras la producción de cada -
una de las señales digitales; y medios que responden a dichas
señales digitales cambiando las señales analógicas en una medi-
15. da superior a la mencionada medida determinada y uniforme siem-
pre que dicha señal de error cambia su estado direccional.

23.- Aparato según la reivindicación 1, que compren-
de además medios que responden a dichas señales digitales redu-
ciendo el ritmo de muestreo de la señal de error siempre que -
20. ésta no ha permanecido en un estado direccional durante dos -
tiempos de muestreo sucesivos.

33.- Aparato según la reivindicación 1, en el que di-
chos medios convertidores comprenden además: una fuente de im-
pulsos de reloj; medios circuitales que responden a dichos im-
25. pulsos de reloj y a señales digitales generando primeros y se-
gundos trenes de impulsos escalonados, estando la diferencia en
el número de impulsos entre dichos primeros y segundos trenes
en función de la referida señal de error; un primer y un segun-
do contadores que responden a los primeros y segundos trenes -
30. de impulsos escalonados, respectivamente, contando y registran

- do cíclicamente tales impulsos escalonados a través de un nivel de conteo, incluyendo además dicho primer contador medios que respondan a los citados impulsos digitales demorando las señales registradoras de conteo del primer contador durante un tiempo predeterminado cuando la señal de error se encuentra en una dirección determinada; y medios para combinar lógicamente las señales de registro de conteo del primer contador con las de registro de conteo del segundo contador para formar las citadas señales analógicas.
- 5.
10. 4a.- Aparato según la reivindicación 3, que comprende además un contador de referencia que responde a dichos impulsos de reloj contando y registrando estos impulsos de reloj.
- 5a.- Aparato según la reivindicación 4, que comprende además un sistema circuital que responde a dicha señal de error y a señales periódicas de registro de conteo de dicho contador de referencia generando una de las referidas señales de entrada digitales siempre que la señal de error se encuentra en una dirección durante dos señales periódicas consecutivas.
- 15.
20. 6a.- Aparato según la reivindicación 4, en el que dichos medios circuitales comprendan además medios para inhibir el incremento del contador de referencia por un impulso de reloj tras la producción de uno de cada dos impulsos de entrada, y en el que dicho primer tren de impulsos está compuesto por las citadas impulsos de reloj, siendo suprimido uno de éstos del primer tren mencionado al producirse una señal de entrada en un primero de dos estados, y en el que el segundo tren de impulsos está compuesto por dichos impulsos de reloj, siendo eliminado uno de éstos del segundo tren citado al producirse una señal de entrada en un segundo de dos estados.
- 25.
30. 7a.- Aparato según la reivindicación 3, en el que di

cho tiempo de demora predeterminado es superior a un período -
de los mencionados impulsos de reloj.

5. 8a.- Aparato según la reivindicación 3, en el que di
cho tiempo de demora predeterminado está comprendido entre uno
y dos períodos de los impulsos de reloj.

10. 9a.- Aparato según la reivindicación 1, en el que el
ritmo de muestreo de la señal de error es un primer parámetro
del sistema y en el que la citada medida determinada y unifor-
me es un segundo parámetro del sistema, comprendiendo además -
15. dicho aparato medios para cambiar el valor de uno por lo menos
de los dos mencionados parámetros del sistema tras un cambio -
direccional de la señal de error, y para restablecer dicho pa-
rámetro en su valor inicial tras permanecer la señal de error
en un estado direccional durante un número determinado de mues-
15. tras consecutivas.

10a.- "APARATO DOTADO DE UN TRANSDUCTOR MEDIDOR DE -
POSICIONES QUE GENERA UNA SEÑAL DE ERROR EN FUNCION DE UN ESTA-
DO POSICIONAL DEL TRANSDUCTOR".

20. Según queda sustancialmente descrito en la presente

.../...

memoria que consta de veintiseis hojas, escritas a máquina por una sola cara y acompañada de dibujos.

Madrid, 28 MAYO 1976

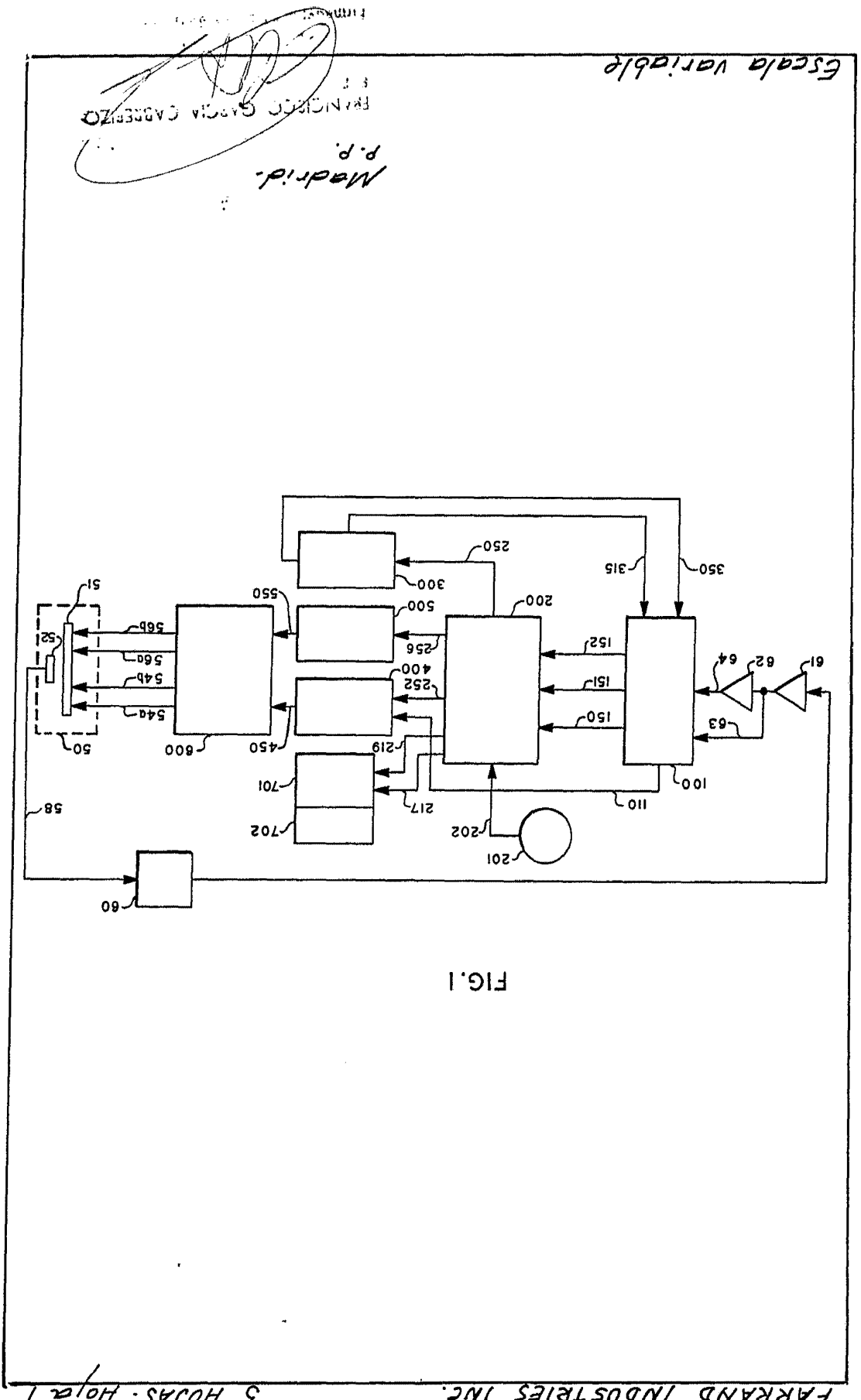
FARRAND INDUSTRIES INC.

P.P.

FRANCISCO GARCIA CABRERIZO

P.P.

Firmado: M. Dolores Jorquera

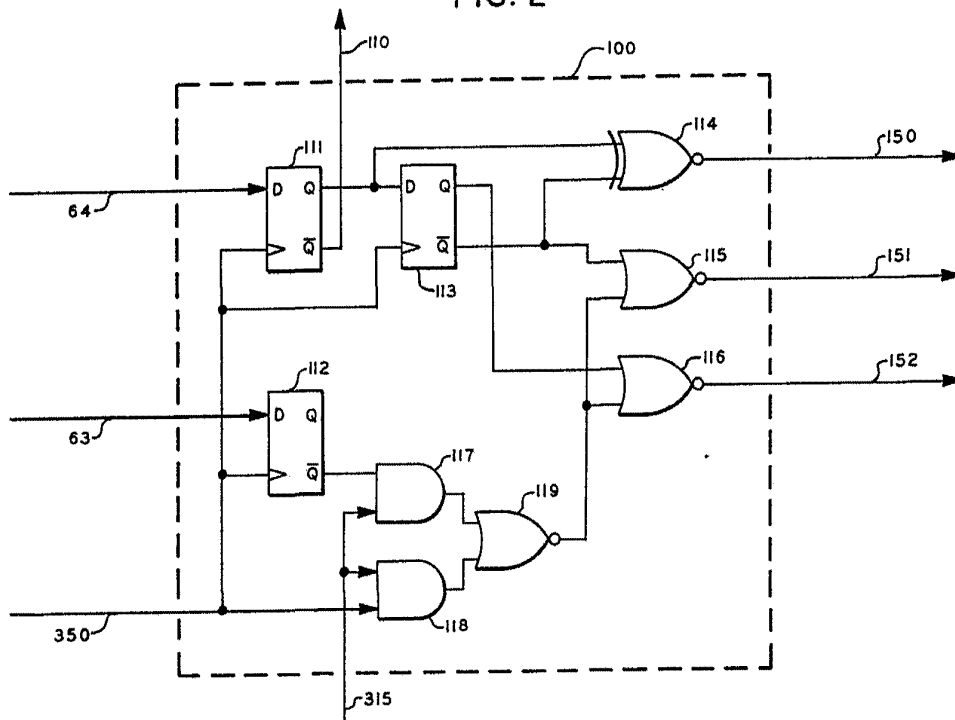


Escala variable

FRANCISCO GARCIA GABRIEL
 P.P. Madrid.

FIG. 1

FIG. 2



Madrid.

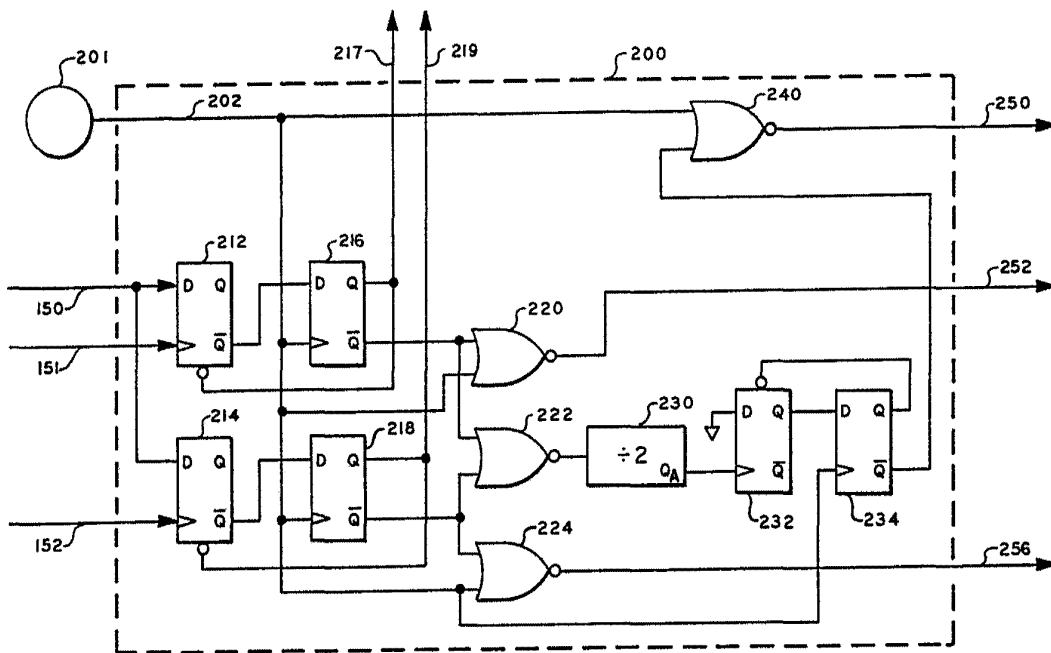
P. P.

FRANCISCO GARCIA CABRERIZO
P. P.

Firmado: [Signature]

Escala variable

FIG. 3



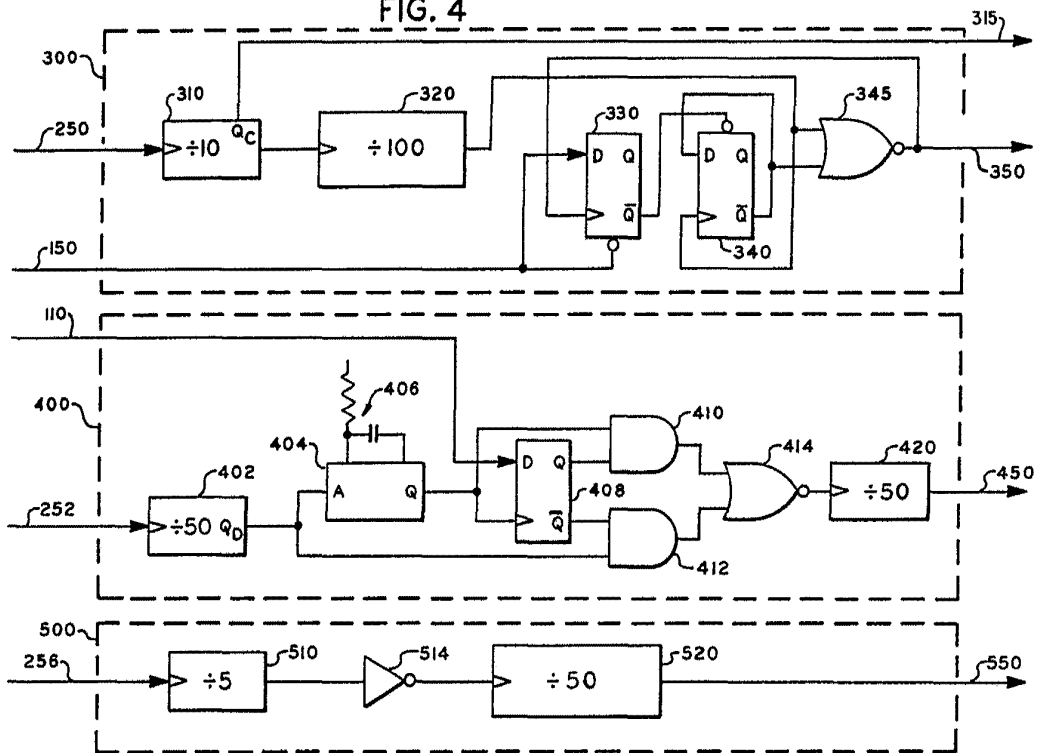
Madrid. P.P.

FRANCISCO GARCIA CASPERIZZI
P.F.

Ingeniero de Telecomunicaciones

Escala variable

FIG. 4



28 MAR 1978

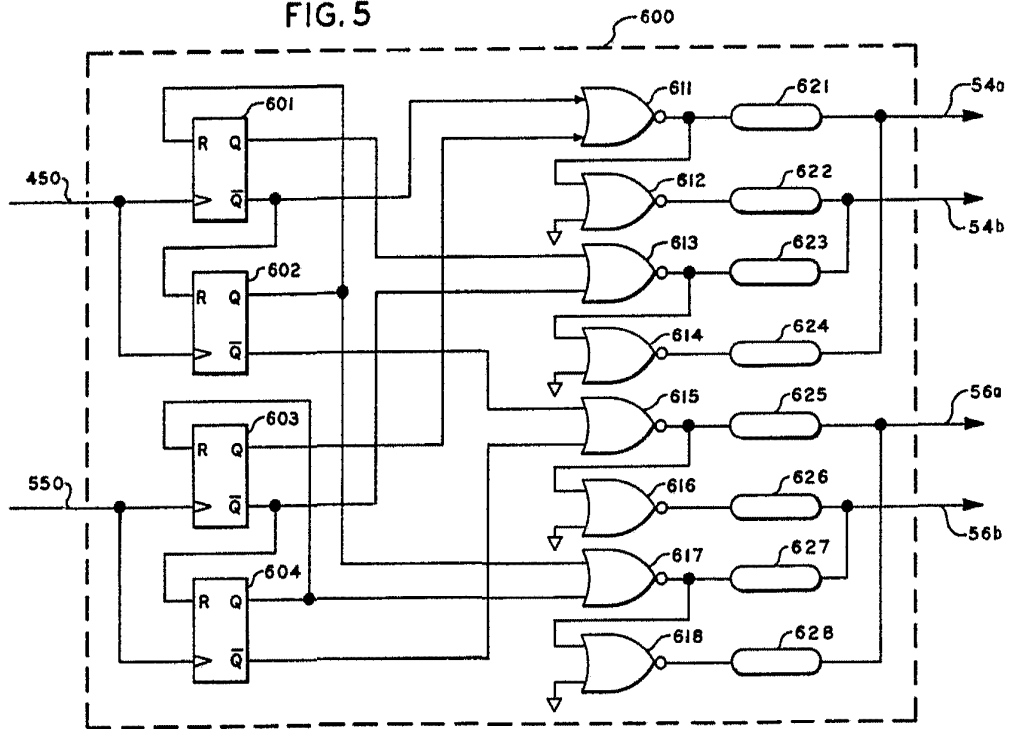
Madrid.
P.P.

FRANCISCO GARCIA CABREIZO
P.P.

Firmado: M. Delorca Jorquera

Escala variable

FIG. 5



Madrid, 28 MARZO 1976
P.P.

FRANCISCO GARCIA CABRENZO
P.P.

Escala variable

FRANCISCO GARCIA CABRENZO