



10 ES	11 NUMERO	19 A1
21	447.844	
22	FECHA DE PRESENTACION	
	12-5-1976	

PATENTE DE INVENCION

P.- 62.948
Dlp/WR/61274/
LM 3784

30 PRIORIDADES:	32 FECHA	33 PAIS
31 NUMERO		
75/05552-5	14-5-75	Suecia

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
	G06F	

64 TITULO DE LA INVENCION
"UN COMPUTADOR PARA EJECUTAR INSTRUCCIONES DE TRATAMIENTO DE DATOS SUCCESIVAMENTE OBTENIDAS POR UNA LECTURA DE CICLO FIJO"

71 SOLICITANTE (S)
TELEFONAKTIEBOLAGET L M ERICSSON

DOMICILIO DEL SOLICITANTE
S-126 25 Estocolmo, Suecia

72 INVENTOR (ES)
Karl-Johan Werner Carlsson y Erik Ivar Sjöquist

73 TITULAR (ES)

74 REPRESENTANTE
DON ALBERTO DE ELZABURU MARQUEZ

1 El presente invento se refiere a una disposi-
ción para ejecutar instrucciones de tratamiento de datos
obtenidas sucesivamente por una lectura de ciclo fijo, sien-
do transferida cada instrucción durante su fase de lectura
5 desde una memoria de instrucciones a varias unidades funcio-
nales a través de una vía de transferencia de instrucciones
común, comprendiendo un período de ejecución de una ins-
trucción de un primer tipo pasos para seleccionar una de
dichas unidades funcionales y ordenar la realización de
10 una función que está determinada por medio de dicha instruc-
ción del primer tipo e incluyendo una instrucción de un se-
gundo tipo pasos para seleccionar dos de dichas unidades
funcionales, transferir datos entre las dos unidades funcio-
nales seleccionadas a través de una vía común de transfe-
15 rencia de datos a todas las unidades funcionales y ordenar
a la unidad funcional que recibe datos utilizar dichos da-
tos al realizarse una función que está determinada por me-
dio de dicha instrucción del segundo tipo, comprendiendo el
período de ejecución de dicha instrucción del segundo tipo
20 una primera parte durante la cual se ordena que transmita
datos una de dichas dos unidades funcionales, una segunda
parte durante la cual son transferidos datos actuales des-
de una de dichas unidades funcionales a dicha vía de trans-
ferencia de datos y una tercera parte durante la cual la
25 segunda de dichas dos unidades funcionales recibe dichos
datos actuales.

Dicha división de un período de ejecución en dos
partes es utilizada principalmente en un computador cuyas
unidades funcionales están interconectadas por medio de un
30 sistema de línea general común del modo en que se describe,

1 por ejemplo, en la publicación "The Bell System Technical
Journal" Volumen 48, octubre de 1969, páginas 2633-2635.
Una de las unidades funcionales incluye una memoria de ins-
trucciones para almacenar instrucciones que comprenden di-
5 recciones y órdenes que están codificadas en código binario.
Dicho sistema de línea general comprende una línea general
de transferencia de datos a la cual están conectados regis-
tros de almacenamiento de datos dispuestos en las unidades
funcionales y líneas generales de direcciones y órdenes que
10 conectan dicha memoria de instrucciones a descodificadores
de órdenes y direcciones dispuestos en las unidades funcio-
nales. Debido a tal sistema común de línea general, el tra-
bajo de diseño para el computador se simplifica considera-
blemente porque se obtiene una estructura modular cuyos mó-
15 dulos, las unidades funcionales, comprenden sistemas de aco-
plamiento similares en relación con el sistema de línea ge-
neral.

En computadores más antiguos se utiliza una cone-
xión individual controlada por medio de una puerta, por
20 ejemplo, para cada transferencia de datos de modo que la
ejecución consiste solamente en abrir la puerta respectiva.
Sin embargo, cuando se tiene dicho sistema de línea general
y unidades de acoplamiento, una pluralidad de circuitos ló-
gicos cooperan cuando se ejecuta una instrucción. Es necesa
25 rio considerar los retardos que se originan debido a los
tiempos de acceso y los tiempos de reacción de los circui-
tos lógicos así como debidos al fenómeno transitorio del
sistema de línea general, y por consiguiente se obtiene, co-
mo primera desventaja, que aparecen períodos de ejecución re-
30 lativamente largos, especialmente para instrucciones de di-

1 cho segundo tipo. Como el control de tratamiento de datos
es muy fácil si se utilizan períodos de ejecución igualmen-
te largos para ambos tipos de instrucción y si se inicia un
nuevo período antes de que haya finalizado el período prece-
5 dente, las longitudes de los períodos han sido determinadas
hasta ahora por las instrucciones de dicho segundo tipo que
exigen varias partes de período de ejecución. Para las ins-
trucciones de dicho primer tipo que no requieren hasta aho-
ra la división en partes, estaba disponible tiempo de ejecu-
10 ción superfluo, en consecuencia, como segunda desventaja.

El presente invento, cuyas características se po-
nen de manifiesto por las reivindicaciones, evita tales des-
ventajas debido al hecho de que son las instrucciones que
exigen menos tiempo las que determinan la temporización se-
15 gún la cual son leídas las instrucciones una después de
otra de la memoria de instrucciones, obteniéndose por medio
de un solape de los períodos de ejecución, el tiempo más lar-
go que es necesario para ejecutar las instrucciones que exi-
gen varias fases. Se describirá el invento con mas detalle
20 a continuación con referencia al dibujo anexo cuya figura 1
representa las partes de un computador, conocido por sí mis-
mo, que participan al tener lugar la ejecución de instruccio-
nes, cuya figura 2 representa como diagrama de tiempos seña-
les de fase generadas por un generador de sincronismo y cu-
25 ya figura 3 representa una unidad de acoplamiento para co-
nectar una unidad funcional al sistema de línea general del
computador.

De acuerdo con el artículo mencionado al comienzo,
la figura 1 representa un sistema BS de línea general al
30 cual están conectados un generador CG de sincronismo, una me

1 memoria IM de instrucciones y varias unidades FU funcionales.
La memoria de instrucciones almacena instrucciones que son
seleccionadas de un modo conocido por medio de direcciones
2 ia de instrucciones descodificadas que son descodificadas
5 por un descodificador IADEC y las instrucciones son transmi-
tidas a un registro IR de instrucciones según una temporiza-
ción determinada por medio de impulsos ϕ_p de sincronismo de
fase de lectura. Estas instrucciones comprenden una direc-
ción a1 de unidad funcional y una orden o si la unidad fun-
10 cional determinada por la dirección a1 realizará una fun-
ción interna y aún otra dirección a2 si se serán transferi-
dos datos desde la unidad funcional asociada con la direc-
ción a1 a la unidad funcional asociada con la dirección a2.

La figura 2 muestra por medio de un diagrama de
15 tiempos que dichos impulsos ϕ_p cortos de sincronismo de fa-
se generados por el generador de sincronismo determinan fa-
ses ϕ_h , y que señales ϕ_e de final de fase también generadas
por el generador de sincronismo indican las partes finales
de las fases. Dichas señales de final de fase son utilizadas
20 para proteger las unidades funcionales de dicho fenómeno
transitorio del sistema de línea general cuyo estado lógico
cambia al comienzo de las fases, por ejemplo, debido a di-
chas transmisiones de instrucciones al registro de instruc-
ciones. Se supone que una fase es tan larga que el estado se
25 ha conservado estable durante la respectiva señal de final
de fase.

La figura 3 representa una realización de un cir-
cuito IF de acoplamiento de una de las unidades FU funciona-
les, que recibe dichas señales ϕ_p y ϕ_e de fase generadas por
30 el generador de sincronismo. El circuito de acoplamiento com

1 prende descodificadores ADEC1, ADEC2 y ODEC de direcciones
y órdenes que están conectados a las líneas generales ABl,
AB2 y OB de direcciones y órdenes del sistema de línea ge-
neral con el fin de recibir y descodificar dichas direccio-
5 nes a1, a2 y órdenes o que son transferidas desde el regis-
tro de instrucciones. El circuito de acoplamiento comprende
adicionalmente un registro DR de almacenamiento de datos pa-
ra transmitir y recibir datos a través de una puerta RG de
lectura y una puerta WG de escritura a una línea DG general
10 de datos del sistema de línea general y desde la misma, res-
pectivamente. Dicho registro DR de almacenamiento de datos
constituye, junto con un número de primeros y segundos ele-
mentos E1 y E2 lógicos, los circuitos lógicos que están co-
nectados al circuito L lógico interno especial de la unidad
15 funcional que por lo demás, de modo conocido por sí mismo,
controla la realización de una función ordenada. Cada uno
de los elementos E1 selecciona una función asignada que no
utiliza el contenido del registro de almacenamiento de da-
tos, una comprobación o, por ejemplo, una función de opera-
20 ción. Cada uno de los elementos E2 selecciona una función
asignada que utiliza datos recibidos desde dicha línea gene-
ral de datos.

Una instrucción de dicho primer tipo transferida
a través de dicha línea general OB de órdenes y dicha línea
25 general ABl de direcciones activa posteriormente a la desco-
dificación el respectivo descodificador ADEC 1 de direccio-
nes y las respectivas salidas O1 de los descodificadores
ODEC de órdenes de las unidades funcionales. De este modo,
se activa una puerta "Y" G1 asignada a la respectiva ins-
30 trucción, estando conectada la salida de dicha puerta "Y"

1 al elemento El respectivo. Si el descodificador ADEC1 de di-
recciones y una salida O2 del descodificador ODEC de órde-
nes están activadas en el mismo circuito de acoplamiento,
la respectiva unidad funcional, de acuerdo con una instruc-
5 ción de dicho segundo tipo, transmitirá datos que están al-
macenados en el registro de almacenamiento de datos de esta
unidad funcional. Con el fin de notificar la transmisión de
datos ordenada, se activa un primer registro SRL de despla-
zamiento a través de una puerta "O" G2 y una puerta "Y" G3.
10 Además, dichas puertas "Y" G1 y G3 están controladas por me-
dio de las señales ϕ de final de fase del generador de sin-
cronismo con el fin de activar dicho elemento E1 y el regis-
tro SRL de desplazamiento, respectivamente, en primer lugar
durante la parte final de la fase respectiva. El registro
15 SRL de desplazamiento es incrementado por medio de impulsos
 ϕ p de sincronismo de fase, tiene su salida conectada a una
entrada de dicha puerta RG de lectura y está dispuesto de
tal modo que dichos datos son transmitidos a la línea gene-
ral de datos durante la fase que sigue a la fase de lectura
20 durante la cual es leída la orden respectiva de la memoria
de instrucciones.

Si el descodificador ADEC2 de direcciones y una
salida O2 del descodificador ODEC de órdenes están activa-
das en el mismo circuito de acoplamiento, la unidad funcio-
25 nal respectiva, de acuerdo con una instrucción de dicho se-
gundo tipo, recibirá y tratará los datos que son transferi-
dos a través de la línea general de datos de acuerdo con es-
ta instrucción. A través de una puerta "Y" G4 que está co-
nectada al descodificador ADEC2 de direcciones y que está
30 controlada por las señales ϕ de final de fase, se activan

1 un registro SR2 de desplazamiento y también una puerta "Y"
G5 cuya salida está conectada al elemento E2 asignado a la
orden respectiva. El registro SR2 de desplazamiento es in-
crementado por medio de los impulsos ϕ_p de sincronismo de
5 fase, tiene su salida conectada a una entrada de dicha puer-
ta WR de escritura y está dispuesto de tal modo que dichos
datos son recibidos por el registro de almacenamiento de da-
tos durante la fase que coincide con la fase correspondien-
te a la transferencia de datos de acuerdo con la instruc-
10 ción respectiva. La puerta WG de escritura está provista de
una entrada que recibe señales ϕ_e de final de fase con el
fin de asegurar que solamente son transferidos estados lógi-
cos estables.

En una realización que no está representada en el
15 dibujo, las instrucciones comprenden una primera y una se-
gunda parte que son transferidas y descodificadas, respecti-
vamente, por medio de una primera y una segunda línea gene-
ral independientes, de órdenes y un primer y un segundo des-
codificadores, respectivamente. En este caso dicha primera
parte de dirección y dicha primera parte de orden cooperan
20 con el fin de activar dicho primer elemento lógico y dicho
primer registro de desplazamiento. Los segundos registros
de desplazamiento de las unidades funcionales son en este
caso superfluos, si en relación con la primera dirección de
la respectiva instrucción su segunda parte de dirección y
25 su segunda parte de orden son suministradas al sistema de
línea general en una fase de lectura posterior, por ejemplo
por medio de un circuito de retardo común al computador.

1

REIVINDICACIONES

5

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10 1ª.- Un computador para ejecutar instrucciones de tratamiento de datos sucesivamente obtenidas por una lectura de ciclo fijo, caracterizado porque comprende un
15 generador (CG) de señales de sincronismo para generar impulsos (ϕ p) de sincronismo de fase que determinan fases (ph) de lectura, una memoria (IM) de instrucciones para almacenar instrucciones que contienen direcciones (a1, a2) y órdenes (o) estando provista dicha memoria de instrucciones de disposiciones (IADEC, IR) de registro y direccionamiento para registrar sucesivamente instrucciones direccionadas cada una de las cuales es registrada durante su fase
20 de lectura, varias unidades (FU) funcionales que están dispuestas, debido a instrucciones recibidas desde dicha disposición de registro, para realizar funciones, y un sistema (BS, AB1, AB2, OB, DB) de línea general para transferir dichas direcciones y órdenes desde la memoria de instrucciones a las unidades funcionales y para transferir datos
25 entre las unidades funcionales, comprendiendo cada unidad funcional al menos un registro (DR) de almacenamiento de da



1 tos para almacenar datos antes y después de una transferen-
cia sobre dicho sistema de línea general, dos descodifica-
dores (ADEC1, ADEC2) de dirección y un descodificador (ODEC)
de órdenes para definir qué unidad funcional direccionada
5 ha de realizar una determinada función ordenada y un primer
circuito (SR1) de retardo para conectar el sistema de línea
general a la salida del registro de almacenamiento de da-
tos en una unidad funcional a la que se ha ordenado trans-
mitir datos durante la fase de lectura siguiente a la fase
10 de lectura de la orden de transmisión de datos, y porque
el computador comprende al menos un segundo circuito (SR2)
de retardo para conectar el sistema de línea general a la
entrada del registro de almacenamiento de datos en una uni-
dad funcional a la que se ha ordenado recibir datos al mis-
15 mo tiempo que dicho registro en la unidad funcional selec-
cionada para transmisión de datos es conectado al sistema
de línea general.

20 2ª.- Un computador de acuerdo con la reivindicación 1ª, caracterizado porque dicho generador de señales
de sincronismo está dispuesto para generar señales (ϕ) de
final de fase que indican las partes finales de las fases
de lectura, y porque cada unidad funcional comprende puer-
tas (G1, G3, G4 WG) para controlar dichas recepciones de
datos y operaciones de descodificación de órdenes y direc-
25 ciones por medio de dichas señales de final de fase.

3ª.- Un computador para ejecutar instrucciones
de tratamiento de datos sucesivamente obtenidas por una
lectura de ciclo fijo.

Tal y como se ha descrito en la Memoria que ante-
cede, representado en los dibujos que se acompañan y para

1 Los fines que se han especificado.

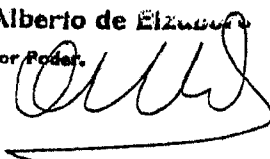
Esta Memoria consta de once hojas escritas a máquina por una sola cara.

5

Madrid, 02. AGO. 1976

P.A.

Alberto de Elizalde
Por Poder.




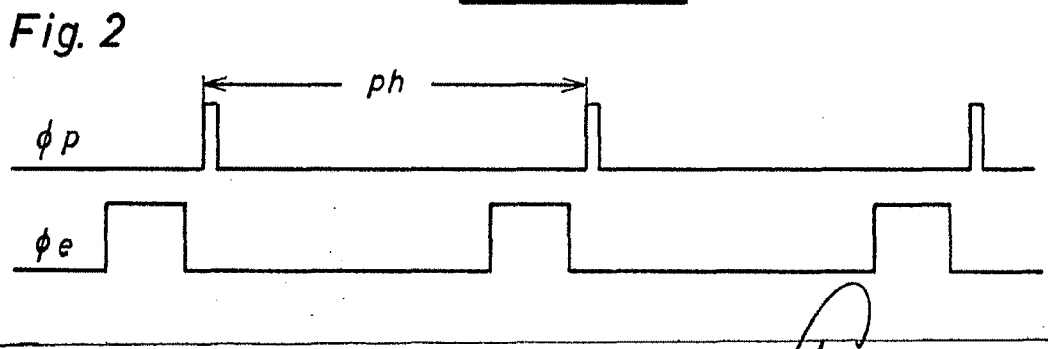
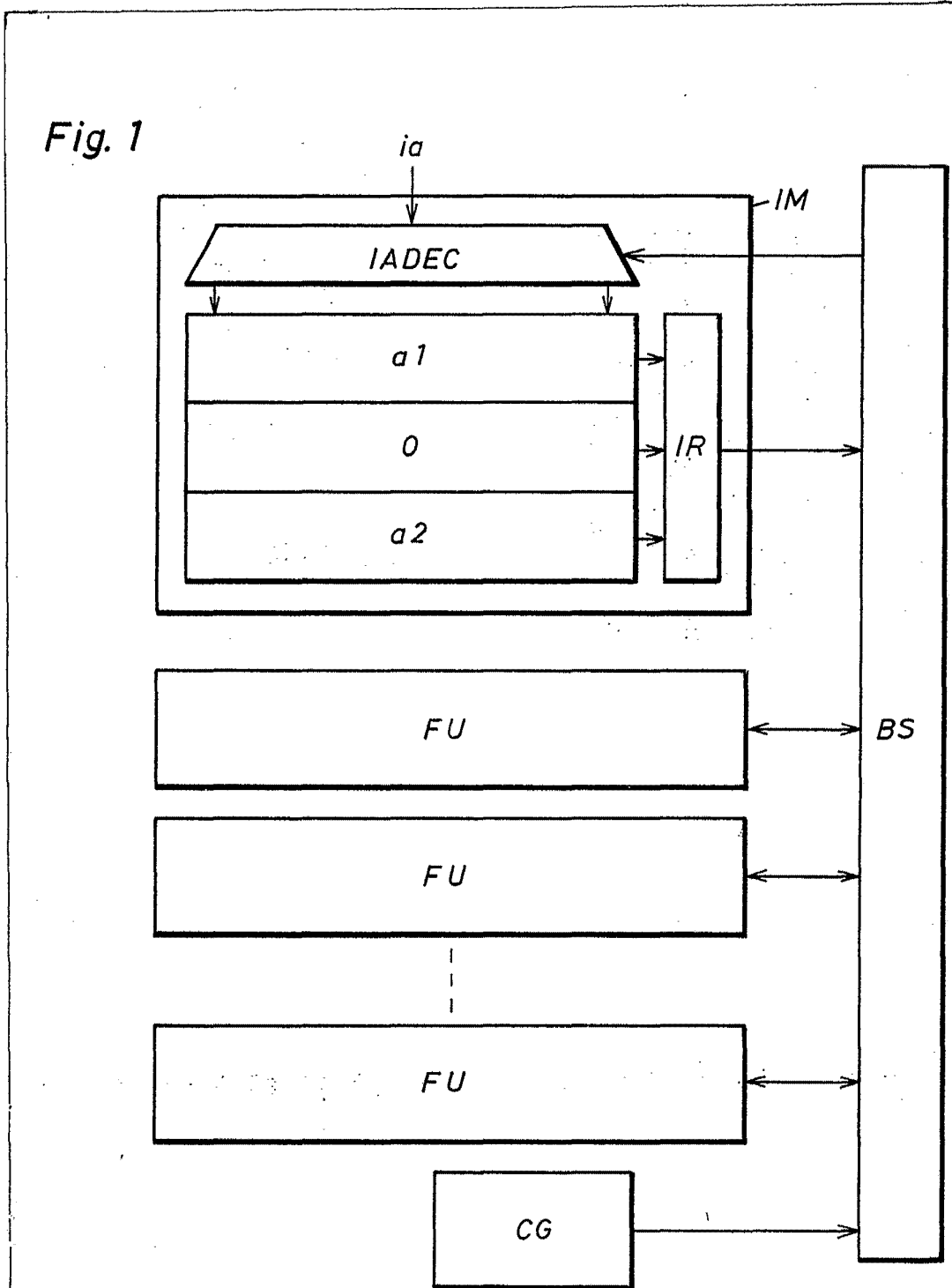
10

15

20

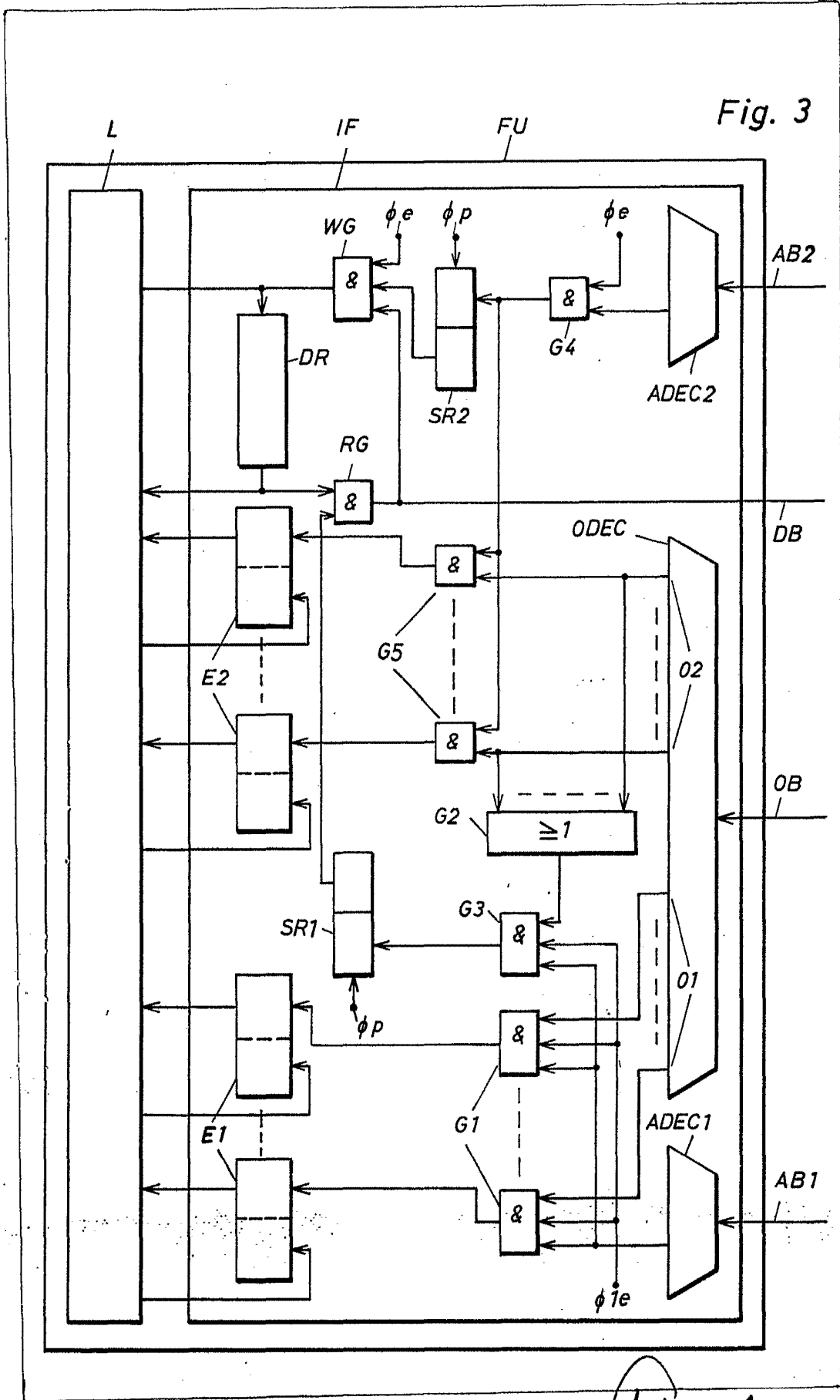
25


MCC/JAR.



Alberto de
Por Po-

Fig. 3



Alberto de ...
Por Poder.