



ESPAÑA

| | | | |
|-------|----------------|----------------------------------|-------|
| 19 ES | 11 21 22 | NUMERO 447532 | 10 A1 |
| | | FECHA DE PRESENTACION 30.4.76 | |

P.- 62.796
H.W. Bleckmann-5

PATENTE DE INVENCION

| | | |
|----------------------------|----------|-------------|
| 30 PRIORIDADES: | 32 FECHA | 33 PAIS |
| 31 NUMERO P 25 19 867.8 | 3.5.75 | Rep.Fed.AL. |

| | | |
|------------------------|---|--------------------------------------|
| 47 FECHA DE PUBLICIDAD | 51 CLASIFICACION INTERNACIONAL G01P, B60T | 62 PATENTE DE LA QUE ES DIVISIONARIA |
|------------------------|---|--------------------------------------|

| |
|--|
| 54 TITULO DE LA INVENCION "UN BUCLE DE SINCRONIZACION DE FASE DIGITAL PARA LA MEDIDA DE LA VELOCIDAD, PARTICULARMENTE PARA SU UTILIZACION EN SISTEMAS DE CONTROL ANTIDESLIZAMIENTO" |
|--|

| |
|---|
| 71 SOLICITANTE (ES) ALFRED TEVES, GMBH |
|---|

| |
|---|
| DOMICILIO DEL SOLICITANTE Guerickstrasse 7, 6 Frankfurt am Main, República Federal Alemana |
|---|

| |
|--|
| 72 INVENTOR (ES) Hans-Wilhelm Bleckmann |
|--|

| |
|-----------------|
| 73 TITULAR (ES) |
|-----------------|

| |
|--|
| 74 REPRESENTANTE D. FERNANDO DE ELIZABURU MARQUEZ |
|--|

1

5

10

El presente invento se refiere a un bucle de sincronización de fase digital, para la medida de la velocidad, particularmente para su utilización en sistemas de control anti-deslizamiento, para la conversión de la frecuencia de una secuencia de impulsos de entrada, proporcional a una velocidad, en un valor numérico digital para su empleo en una unidad aritmética digital.

15

20

Si la frecuencia o el cambio de frecuencia de una secuencia de impulsos de entrada tiene que utilizarse en una unidad aritmética digital, dicha frecuencia o cambio de frecuencia tendrá siempre que convertirse en un valor numérico digital. Tales unidades aritméticas que se utilizan, por ejemplo, en los sistemas de control anti-deslizamiento requieren una conversión extremadamente rápida de la frecuencia o el cambio de frecuencia momentáneo.

25

30

Por la Solicitud de Patente Alemana DT-OS 2.230.540 se conoce un sistema de control anti-deslizamiento en donde los períodos individuales de una frecuencia constante se cuentan por medio de un número fijo de impulsos de entrada. El resultado de la cuenta de un tal intervalo predeterminado por un número fijo de impulsos de entrada permite sacar conclusiones respecto a la velocidad media de una rueda durante dicho intervalo, mientras que una comparación de dos intervalos subsecuentes permite sacar conclusiones respecto al cambio de velocidad, es-

1 to es, al cambio en la frecuencia de los impulsos de entrada.
2 Como se deduce de ello, un tal intervalo de cuenta
3 debe durar varios periodos de la frecuencia más lenta de
4 la secuencia de impulsos de entrada. Por lo tanto esto
5 lleva un tiempo relativamente largo hasta que la unidad
6 aritmética del sistema de control anti-deslizamiento dispone
7 de un valor apropiado, siendo imposible por esta razón
8 una reacción rápida y un exacto control anti-deslizamiento.
9

10 De la Patente USA Nº 3.805.089 se deduce que
11 el dispositivo mencionado anteriormente, con cualquier impulso
12 de entrada proveniente de un sensor de rueda, está
13 disponible un valor numérico digital que representa la velocidad
14 de la rueda. Esto se consigue porque, a la llegada
15 de cualquier impulso de entrada, el contenido de un primer
16 almacenaje se compara con un valor fijo. La diferencia
17 resultante se encamina a un segundo almacenaje que sumará
18 dicha diferencia a su contenido, observándose el signo.
19 Después, el contenido del segundo almacenaje se lee
20 en el primero, este es, se agrega al contenido del primer
21 almacenaje, con una frecuencia constante elevada. Al mismo
22 tiempo de la comparación del contenido del segundo almacenaje
23 con un valor fijo, se pone a cero el contenido del segundo
24 almacenaje. Debido a esta realimentación de la diferencia
25 a través de dos almacenajes, cuya diferencia ha sido averiguada
26 por el comparador, dicha diferencia corresponde a la aceleración
27 de la velocidad de la rueda. Debido a la integración del segundo
28 almacenaje, el contenido del mismo representa la velocidad instantánea
29 de la rueda en forma de un valor digital. En este dispositivo,
30

1 siempre esta disponible un valor digital que representa la velocidad y que será corregido a la llegada de cualquier impulso de entrada.

5 Sin embargo, en este dispositivo conocido, existe la desventaja decisiva de que cuando ocurre el bloqueo repentino de una rueda, la frecuencia de los impulsos de entrada se hace cero, no disparándose la comparación del impulso de entrada que está disponible en el comparador. En este supuesto, también es imposible formar cualquier diferencia entre el contenido del primer almacenaje
10 y el valor fijo, como resultado de lo cual el contenido del segundo almacenaje ya no puede corregirse. Dicho segundo almacenaje suministraría permanentemente una señal al subsecuente circuito de computación que, sin tener en
15 cuenta la detención de la rueda, correspondería a la velocidad de rueda que existiera inmediatamente antes. Al mismo tiempo, el contenido del primer almacenaje continuaría aumentando hasta alcanzar el overflow.

20 El objetivo del presente invento es convertir una secuencia de impulsos de entrada, con una frecuencia que es proporcional a la velocidad de un elemento rotacional, en un valor digital, de tal manera que en un paro repentino de dicho elemento, dicho valor digital se haría cero. Además, el valor digital se corrige por una frecuencia de computación más elevada que la frecuencia de la secuencia de los impulsos de entrada.
25

30 Este objetivo se consigue, según se indica en la reivindicación principal. Las ventajas del invento consisten especialmente en que, en cualquier momento, está disponible un valor numérico digital que es representa-

tivo de la frecuencia de la secuencia de impulsos de entrada y, como consecuencia, de la velocidad del elemento rotacional y se corrige con causa reloj de computación. Ya que, como norma, la siguiente unidad aritmética también trabaja con un reloj de computación y ya que, como consecuencia, es conveniente utilizar el mismo reloj de computación para esta unidad, de esta manera siempre esta disponible un valor numérico actualizado para cualquier ciclo de computación de la unidad aritmética. Mediante la configuración del invento se tiene la seguridad de que no será posible el funcionamiento de manera que el valor numérico digital no corresponda a la condición real del movimiento de la rueda. Otra ventaja está también en la configuración extremadamente sencilla del dispositivo del invento.

Las subreivindicaciones se refieren especialmente a configuraciones perfeccionadas del invento que permiten una construcción sencilla del dispositivo en cuestión mediante componentes extremadamente confiables y económicos.

Otras ventajas del invento se deducirán de la descripción siguiente y de los dibujos que se acompañan, en los cuales:

La fig 1 es un diagrama bloque que ilustra el esquema básico del dispositivo del invento;

La fig 2 es un diagrama bloque aumentado que tiene una derivación de estabilización adicional;

La fig 3 es un diagrama del dispositivo del invento con componentes funcionando en serie;

La fig 4 es un diagrama, similar al de la fig

3, con distintos límites.

En la fig 1 existe un cuantizador 2 que se alimenta con la secuencia de impulsos de entrada a través de una línea 1. El cuantizador 2 está conectado a una entrada 5 de un sumador 4. Una salida 6 del sumador 4 está conectada a un almacenaje 9. Una salida 12 del almacenaje 9 está conectada al detector 11. Un almacenaje 14 y una línea de derivación 50 están conectados a una salida del detector 11. Dicha línea 50 lleva a una unidad aritmética no ilustrada. Una salida 16 del segundo almacenaje 14 está conectada a una entrada negativa 7 del sumador 4 y a una línea de derivación 100. Dicha línea 100 lleva nuevamente a la unidad aritmética no ilustrada. Una línea de reloj 19 procedente del generador de reloj 18, está conectada a las entradas de reloj de todos los componentes.

De esta configuración resulta, en principio, el siguiente modo de funcionamiento para el bucle de sincronización de fase del invento:

A cualquier impulso de entrada que llega por la línea 1 se le da un valor en el cuantizador 2 por medio de la cuantización a un cierto valor numérico digital. A la llegada del siguiente impulso de reloj que llega del generador de reloj 18 a través de la línea 19, dicho valor numérico digital se encamina al sumador 4 en donde se procesa. Así, cualquier reloj de computación determinado por el generador de reloj 18 implica que un valor numérico digital está disponible como resultado de la computación, en la salida 6, correspondiendo dicho valor numérico digital a la diferencia entre los valores numéricos digitales alimentados a la entrada 5 y a la entrada negativa 7. Dicho valor

1 numérico digital disponible en la salida 6 del sumador 4
se encamina al almacenaje 9 en donde se suma al contenido
del almacenaje, observándose el signo. Con cualquier re-
loj de computación, se comprueba todo el contenido del al-
5 macenaje 9 por el detector 11 para averiguar si o no el
contenido ha, o bién caído por debajo de un límite fijo
inferior o excedido un límite fijo superior. El conteni-
do del almacenaje 9 permanece sin cambios durante esta ac-
ción.

10 Si el detector 11 nota una caída por debajo
del límite inferior, emitirá una señal a su salida por me-
dio de la cual el contenido del almacenaje 14 será reduci-
do en un valor numérico digital negativo fijo. Si el de-
tector 11 nota una transgresión del límite superior por
15 el contenido del almacenaje 9, dicho detector 11 emitirá
una señal a su salida 12 por medio de la cual el conteni-
do del almacenaje 14 se aumentará en un valor numérico di-
gital positivo fijo. En tal caso, las señales emitidas
por el detector 11 en la salida 12 pueden ser de tal na-
20 turaleza que siempre efectúen un incremento o reducción
de la misma amplitud en el contenido del almacenaje 14.
Respecto a esta acción, sin embargo, es posible, sin difi-
cultad, contar con un incremento en el contenido del al-
macenaje 14 efectuado por medio de un valor absoluto dife-
25 rente del de la reducción en el contenido del almacenaje
14. Con respecto a esta acción, se concibe también facil-
mente que el valor absoluto por medio del cual se efectúa
respectivamente el incremento o reducción en el contenido
del almacenaje 14, depende de cuánto el contenido del al-
30 macenaje 9 deba caer por debajo o exceder estos límites.

1 El contenido del almacenaje 14 está disponi-
ble como valor numérico digital en su salida 16, y puede
estar disponible para otros usos a través de la unidad
aritmética no ilustrada con cualquier reloj de computa-
5 ción. También se encamina a la entrada negativa 7 del su-
mador 4 con cualquier reloj de computación. La unidad arit-
mética no ilustrada recibe la indicación de la aceleración
media de la frecuencia de la secuencia de los impulsos de
entrada a través de la línea 50.

10 Para una mejor comprensión, discutiremos se-
guidamente el siguiente ejemplo de funcionamiento típico
del bucle de sincronización de fase del invento. Primera-
mente supondremos que el bucle de sincronización de fase
está en estado estabilizado y que la frecuencia de la se-
15 cuencia de impulsos de entrada no cambia. A este propósi-
to se ha elegido un estado en que la frecuencia de la se-
cuencia de impulsos de entrada es exactamente la mitad de
la frecuencia de computación del reloj de computación que
se genera por el generador de reloj 18. En otras palabras,
20 en cada reloj de computación existe un impulso de entrada.
Dicho impulso de entrada se encamina siempre como un valor
numérico digital con un valor absoluto preferiblemente ele-
vado a través del cuantizador 2 a la entrada 5 del sumador
4. En el estado estabilizado del bucle de sincronización
25 de fase del invento existe un valor numérico digital en
el segundo almacenaje 14, siendo el valor absoluto de di-
cho valor numérico digital exactamente la mitad del valor
numérico digital recibido por la cuantización del impulso
de entrada. Si, en este ejemplo, el límite inferior al que
30 responderá el detector 11 se fija en cero y si el límite

1 superior se fija en un valor ligeramente superior al valor
numérico digital generado por el cuantizador, el detector
11 no emitirá ninguna señal de salida en tanto no cambie
la frecuencia de la secuencia de impulsos de entrada. Su-
5 pongamos también que durante el reloj de computación con-
siderado primero, está presente un impulso de entrada que
se encamina como valor numérico digital a la entrada 5 del
sumador 4, el valor numérico digital, que se encaminó des-
de el almacenaje 14 a la entrada negativa 7 del sumador
10 4 y que era la mitad de este valor numérico digital, se
restará de éste y la diferencia que resulte (cuyo valor
absoluto en este caso es igual al valor del contenido del
almacenaje 14) se leerá como valor numérico digital posi-
tivo en el almacenaje 9. Ya que así este límite superior
15 del contenido del almacenaje 9 no ha sido superado, el de-
tector 11 no emitirá ninguna señal de salida al segundo
almacenaje 14. El contenido del almacenaje 14 permane-
rá sin cambios.

20 Durante el reloj de computación subsecuente,
no hay impulso de entrada, ya que la frecuencia de compu-
tación del reloj de computación es dos veces más elevada
que la frecuencia de la secuencia de impulsos de entrada,
en el ejemplo que estamos describiendo. Por lo tanto, du-
rante este reloj de computación, no estará disponible nin-
25 gún valor numérico digital, ni en la entrada 5 del sumador
4. Sin embargo, en la entrada negativa 7 del sumador 4,
existe el valor digital definido por el contenido del se-
gundo almacenaje 14, leyendose este valor como valor ne-
gativo en el almacenaje 9. Ya que un valor positivo de
30 la misma magnitud estaba disponible en el almacenaje 9,

1 el contenido de dicho almacenaje baja a cero. Sin embargo,
no ha tenido lugar todavía una caída por debajo del lími-
te inferior, como consecuencia de lo cual, aun durante es-
te reloj de computación, no se generará señal de salida
5 por el detector 11 a fin de corregir el contenido del se-
gundo almacenaje 14.

Durante el subsecuente reloj de computación,
nuevamente aparecerá un impulso de entrada, de tal manera
que de nuevo un valor numérico digital será encaminado a
10 la entrada 5 del sumador 4. Así, resultará la misma se-
cuencia que durante el primer reloj de computación consi-
derado.

Ahora consideraremos otra frecuencia de la
secuencia de impulsos de entrada, que resulta de una ace-
15 leración de la parte rotacional. Al aumentar la frecuen-
cia de la secuencia de los impulsos de entrada, estos im-
pulsos no solamente llegarán en cada reloj de computación,
sino más frecuentemente. Por lo tanto, el contenido del
almacenaje 9 ya no será cero, si el contenido del segundo
20 almacenaje 14 es un valor numérico digital, cuyo valor ab-
solutamente es exactamente el valor numérico digital generado
por el cuantizador en cualquier impulso de entrada. En
este caso, el contenido del almacenaje 9 continuará aumen-
tando hasta que se sobrepase el límite superior. Sin em-
25 bargo, tan pronto como ocurra esto, el detector 11 emiti-
rá una señal en su salida 12 por medio de la cual se aumen-
tará el contenido del segundo almacenaje 14. Al alcanzarse
de nuevo el estado estabilizado, será posible nuevamen-
te que el contenido del almacenaje 9 se mantenga dentro
30 de los límites predeterminados.

1 Como fácilmente puede deducirse de lo anterior
en el estado estabilizado la relación de la frecuencia de
computación generada por el generador de reloj 18 a la fre-
cuencia de la secuencia de impulsos de entrada siempre es i-
5 gual a la relación del valor numérico digital generado por el
cuantizador 2 al valor numérico digital que existe en el se-
gundo almacenaje 14. El comportamiento del bucle depende del
valor absoluto del valor numérico digital, por medio del cual
se efectúa la corrección del almacenaje 14 cuando se sobrepasa-
10 san, respectivamente, el límite superior o se cae por debajo
del límite inferior. Dicho valor numérico digital debe estar
limitado a un valor absoluto, tanto en sentido positivo como
negativo, a cuyo valor absoluto será estable el bucle y se
suprimirá cualquier tendencia hacia una oscilación excesiva.
15 Sin embargo, si este valor absoluto se selecciona muy peque-
ño, pasarán un número correspondientemente grande de relojes
de computación hasta que el contenido del segundo almacenaje
14 se haya adaptado a las condiciones cambiadas. En esta si-
tuación, las palabras "pequeño" o "grande" se refieren al va-
lor numérico digital emitido por el cuantizador 2.

20 Si (refiriéndonos al dispositivo del invento
de un bucle de sincronización de fase) se considera su a-
plicación a sistemas de control anti-deslizamiento en los
que la frecuencia de la secuencia de los impulsos de entra-
da está entre los 5 cps a 5 kcps, es posible considerar
25 el reloj de computación de unos 10 kcps y limitar el valor
absoluto a ± 1 , corrigiendo dicho valor absoluto el conte-
nido del segundo almacenaje 14. De esta manera, cualquier
impulso de entrada puede ser cuantizado a un valor numéri-
co digital de, por ejemplo, un valor de 1.000.

30

1 Sin embargo, en esta situación, debe tenerse en cuenta que
estas especificaciones respecto a las posibilidades del
dispositivo del invento puede verse solamente como ejem-
plo de la relación de las cantidades individuales unas
5 respecto a otras y que, respecto a la aplicación especifi-
ca de estas posibilidades, deben optimizarse mediante prue-
bas.

En el diagrama bloque de la fig 2, el esque-
ma básico del bucle de sincronización de fase es idéntico
10 al diagrama bloque de la fig 1, estando marcados los mis-
mos componentes por los mismos números de referencia. Es-
tos mismos componentes no serán descritos en lo que si-
gue. Sin embargo, en esta configuración, en la salida 12
del detector 11, una unidad 15 está conectada para la es-
15 tabilización adicional del bucle de sincronización de fa-
se del invento. Dicha unidad 15 generará siempre una se-
ñal de salida cuando el detector 11 señale respectivamen-
te una transgresión de o que caiga por debajo de los lími-
tes predeterminados. Esta señal de salida generada por
20 la unidad 15 consiste nuevamente en un valor numérico di-
gital, que será negativo o positivo, dependiendo de si o
no el detector 11 haya notado respectivamente una trans-
gresión de o una caída por debajo de los límites predeter-
minados. En la conexión entre la salida 16 del segundo
25 almacenaje 14 y la entrada negativa 7 del sumador 4, está
conectado otro sumador 10 cuya segunda entrada está conec-
tada a la salida de la unidad 15. Por medio de la uni-
dad adicional 15 y el sumador 10 será encaminado un va-
lor numérico digital adicional al sumador 4, por medio del
30 cual se realizará la estabilización del bucle de sincroni-

1 zación de fase del invento, siendo suprimida una tenden-
cia a la oscilación siempre presente en tales bucles, sien-
do posible aún la existencia de una resolución relativamen-
te elevada.

5 La fig 3 muestra un circuito para la realiza-
ción del dispositivo del invento por medio de componentes
que trabajan en serie. En esta configuración, una línea
1 lleva a una entrada de una puerta-AND 20. Al mismo tiem-
po, dicha línea 1 está conectada a un captador de veloci-
10 dad no ilustrado, a través de un sincronizador que tampo-
co se muestra. En esta configuración, el sincronizador
tiene el objeto de sincronizar la secuencia de impulsos
de entrada generada por el captador de velocidad al reloj
de computación, esto es, cualquier impulso de entrada es-
15 tará presente en la entrada de la puerta-AND 20 exactamen-
te durante un ciclo de computación completo, en cada momen-
to. La salida de la puerta-AND 20 está conectada a la pri-
mera entrada de un sumador 22 a través de una línea 21.

20 A través de una línea 23, la salida del suma-
dor 22 está conectada a una primera entrada de un sumador
24. A través de una línea 25, la salida del sumador 24
está conectada a una entrada de un primer registro de con-
versión 26 cuya salida está conectada a una segunda entra-
da del sumador 24 a través de una línea 27. La salida del
25 sumador 24 está también conectada a una primera entrada
de una puerta-AND 28 cuya salida 29 está conectada a la
entrada de un flip-flop-D. La salida-Q del flip-flop-D
30 está conectada directamente a la primera entrada 31 de
un sumador 34 a través de una puerta-OR 33. La salida- \bar{Q}
30 del flip-flop-D 30 lleva a una primera entrada de una puer

1 ta-AND 32 cuya salida está conectada a la entrada 31 del
sumador 34 a través de la puerta-OR. La salida 35 del su-
mador 34 está conectada a la entrada de un primer registro
de conversión 36 cuya salida está conectada a una segunda
5 entrada 37 del sumador 34. La salida 35 del sumador 34
lleva a una segunda entrada del sumador 22 a través de un
inversor 39. Además, en la salida 35 está conectada una
línea 100 que lleva a la unidad aritmética no ilustrada.
La línea 50 que lleva a la unidad aritmética está conec-
10 tada a la salida de la puerta-OR 33.

Un generador de reloj 40 genera un reloj maes-
tro y está conectado a un divisor 42 a través de una línea
41. De dicha línea 41 se deriva una línea 43 que se conec-
ta a las entradas de reloj de los sumadores 22, 24 y 34
15 y a los registros de conversión 26 y 36. El divisor 42
tiene la tarea de conmutar un reloj maestro generado por
el generador de reloj 40 a las líneas B-0 a B-X. El núme-
ro de las líneas B-0 a B-X, en esta configuración, depen-
de de la capacidad de dígitos de los registros de conver-
20 sión 26 y 36. En esta configuración, el divisor 42 funcio-
nará de tal manera que efectúe la conmutación del primer
reloj maestro de un ciclo de computación, que se genera
por el generador de reloj 40, a la línea B-0 que está de-
finida como el dígito de menor valor de un número binario
25 serie. El siguiente reloj maestro se conmutará a la línea
B-1. Esta operación de conmutar cada siguiente reloj maes-
tro a cada valor consecutivo de la línea, continuará has-
ta que se llegue a la línea B-X. Entonces habrá termina-
do el ciclo de computación y el siguiente reloj maestro
30 se conmutará de nuevo a la línea B-0, repitiéndose la mis-

1 ma operación. Este reloj maestro que se conmuta a las di-
ferentes líneas B-0 a B-X lo denominaremos en adelante re-
loj de dígito. Como se deduce fácilmente del funcionamien-
to del divisor 42, el comienzo de cualquier ciclo de com-
5 putación está definido por un reloj de dígito en la línea
de valor cero. A la llegada de cualquier reloj maestro, los
sumadores 22, 24, 34 realizarán una suma de las señales
disponibles en sus dos entradas, debiéndose esta suma a
la conexión directa de las entradas de reloj de los suma-
10 dores 22, 24, 34 con la línea que transporta el reloj maes-
tro 41 a través de la línea 43. Como los registros de con-
versión 26 y 36 están siempre alimentados con el reloj maes-
tro, la información almacenada por ellos en una localiza-
ción de almacenaje x será cambiada a la localización de
15 almacenaje x-1 a la llegada del reloj maestro. A la lle-
gada de este reloj, la información almacenada en la loca-
lización de almacenaje 0 aparecerá en la salida de los re-
gistros de conversión 26 y 36. Esta información estará
disponible en la segunda entrada de los sumadores 24 ó 34,
20 respectivamente, a través respectivamente de las líneas
27 ó 37, cuando llega el reloj maestro. Inmediatamente
después de la llegada del reloj maestro, esta información
se perderá y será sustituida por la información que fue
almacenada anteriormente en la localización de almacenaje
25 l.

En esta operación, el signo vendrá definido
por el dígito de valor más elevado x. Por lo tanto, las
entradas de reposición de los sumadores 22, 24 y 34 están
conectadas a la línea B-X. Si está disponible un reloj
30 de dígito en estas entradas de reposición de los sumadores

1 22, 24 y 34, la función de transferencia no será operativa, esto es, no se almacenará ningún portador, aún si se aplica una señal al reloj maestro simultáneamente disponible a ambas entradas de los sumadores 22, 24 y 34, que corresponde a un lógico 1 e indica un signo negativo debido
5 a la definición anterior. Como consecuencia se impide que en la suma de dos números negativos se realice un portador en el ciclo de computación siguiente, lo que falsearía el resultado total.

10 En la configuración de la fig 2, el límite superior e inferior mencionados al comienzo, están definidos por el cambio de signos, esto es, en este caso los dos límites coinciden. A fin de averiguar si o no ha existido una transgresión de o ha caído por debajo de este límite,
15 te, todo lo que se necesita es encontrar si el contenido de registro de conversión es positivo o negativo. Esto se hará por medio de una puerta-AND 28 cuya segunda entrada está conectada a la línea B-X. A la salida de la puerta-AND 28 aparecerá una señal si el dígito de valor más
20 elevado en el registro de conversión 26 corresponde a un lógico 1, que significa que el contenido del registro de conversión 26 era negativo. La información a la salida de la puerta-AND 28 se encaminará a la entrada del flip-flop-D y se dirige por el reloj de dígito a la salida-Q
25 e, invertido, a la salida- \bar{Q} en correspondencia a la acción de un flip-flop-D, estando definido el reloj de dígito por la línea B-X. Del funcionamiento ya conocido de un flip-flop-D resultará que, con contenido negativo del registro de conversión 26, durante todo el siguiente ciclo de computación, aparecerá un lógico 1 en la salida-Q del flip-
30

1 -flop-D 30 y en la primera entrada 31 del sumador 34, sien-
do sumado dicho lógico 1 al dígito respectivo del conteni-
do del registro de conversión 36 en cualquier reloj maes-
tro. Sin embargo, si se añade un lógico 1 al contenido
5 de un registro de conversión en cualquier reloj maestro,
el contenido se reducirá en "uno", esto es, el resultado
final "1", cuando sea, se restará del contenido del regis-
tro de conversión 36.

Si el contenido del registro de conversión
10 26 es positivo será imposible que cualquier señal de entra-
da llegue al flip-flop-D 30 a través de la puerta-AND 28.
En este supuesto, estará disponible una señal para el ci-
clo de computación siguiente en la salida- \bar{Q} del flip-flop-D
en lo que dura todo el ciclo de computación. Ya que tal
señal, sin embargo, puede alcanzar solamente la primera
15 entrada del sumador 24 a través de la puerta-AND 32 cuya
segunda salida está conectada a la línea B-0 o a través
de la puerta-OR 33, en esta situación, habrá un lógico 1
en la primera entrada del sumador 24 durante el reloj de
20 dígito, solamente. Por lo tanto, solamente será añadido
"+1" al contenido del registro de conversión 36.

En el captador no ilustrado de los valores
medidos que genera la secuencia de los impulsos de entra-
da, dicha secuencia que pasa al dispositivo según la fig
25 2, se lleva a través de un disparador que recuadra dichos
impulsos generados por el captador de valores medidos y
los sincroniza al ciclo de computación, de tal manera que
siempre está disponible un impulso de entrada durante el
período de un ciclo de computación solamente. A través
30 de la línea 1, están disponibles estos impulsos de entra-

1 da en una primera entrada de la puerta-AND 20 cuya segun-
da entrada está conectada a una o a varias líneas. En la
configuración de la fig 2, se eligió la línea B-8 para
ilustrar mejor el efecto conseguido por esta medida. De-
5 bido a que las puertas-AND 20 estan conectadas a la línea
B-8, puede estar disponible un lógico 1 a la salida de la
puerta-AND 20 solamente para el reloj de dígito 8 si tam-
bién existe un impulso de entrada en la primera entrada
de la puerta-AND 20. Por lo tanto, en estas condiciones,
10 solamente una señal correspondiente a un lógico 1 se enca-
mina al sumador 22. En todos los otros relojes de dígitos,
habrá un lógico 0 en la entrada del sumador 22. Así, a
través de la línea 21, se transporta un número binario que
sería el "0100000000" si la capacidad total de dígitos es
15 de 10 dígitos, esto es, $X = 9$. Convertido al sistema de-
cimal, este número binario será el "256". De esta mane-
ra, la puerta-AND 20 asigna al impulso de entrada números
binarios del mismo valor.

De lo anterior resulta el siguiente modo de
20 funcionamiento para la configuración de la fig 2:

A la llegada de un impulso de entrada en la línea de entra-
da 1 dentro de un ciclo de computación, el número binario
asignado por la puerta-AND 20 se encamina a la primera entra-
da del sumador 22. Al mismo tiempo, con este ciclo de
25 computación, estará disponible un número binario en la se-
gunda entrada del sumador 22 a través del inversor 39,
habiendo sido conducido este número binario al registro
de conversión 36 en este ciclo de computación. Debido a
la inversión mediante el inversor 39, el número binario
30 conducido a la segunda entrada del sumador 22 durante es-

1 te ciclo corresponde al número binario negativo, reducido
en 1, que fué conducido al registro de conversión 36. En
esta situación queda de manifiesto que de acuerdo con los
principios básicos del dispositivo del invento, el número
5 binario conducido a la segunda entrada del sumador 22 co-
rrespondería exactamente al número binario negativo enca-
minado al registro de conversión 36. Esto podría conse-
guirse fácilmente mediante una configuración apropiada de
los dispositivos técnicos. Sin embargo, como en términos
10 de la tecnología del dispositivo es mucho más fácil inver-
tir un número binario que hacerlo negativo, se utiliza es-
te método en la configuración de la fig 2. El error que
resulta del mismo es despreciable ya que, en una composi-
ción de todo el dispositivo que esté conforme con los re-
15 querimientos parciales, los valores absolutos de los núme-
ros binarios individuales pueden elegirse relativamente
altos, no teniendo ningún efecto perturbador la diferen-
cia de "-1".

El sumador 22 forma así la diferencia entre
20 el número binario en la primera entrada y el número bina-
rio invertido encaminado al registro de conversión 36 en
un ciclo de computación durante el cual está disponible
un impulso de entrada.

Para una mayor consideración del modo de fun-
25 cionamiento supondremos que durante el ciclo de computación
anterior al estado de funcionamiento se consiguió acciden-
talmente que el contenido del registro de conversión fue-
ra exactamente 0. Como, según los principios básicos del
invento, el contenido del registro de conversión 36 era
30 siempre menor que el número binario asignado por la puer

1 ta-AND 20, en este ciclo de computación el sumador 22 formará una diferencia positiva que se encaminará al sumador 24 y se leerá en el registro de conversión 26.

Al mismo tiempo, este número binario leído
5 en el registro de conversión 26, está disponible en la puerta-AND 28 cuya segunda entrada está conectada a la línea B-X. Como este número binario leído en el registro de conversión 26 y disponible en la puerta-AND 28 es positivo, no habrá señal correspondiente a un lógico 0 en la puerta-AND 28 a través de la línea 25 durante el último reloj maestro del ciclo de computación, correspondiendo dicho reloj maestro al reloj de dígito x y definiendo el signo - como se había acordado. Así, en la entrada del flip-flop-D no habrá ninguna señal, o bien, por medio de ella la salida-Q del flip-flop-D se conmuta al estado de un lógico "0" o permanece en dicho estado o por medio de ella la salida- \bar{Q} del flip-flop-D se conmuta al estado del lógico 1 o permanece en dicho estado. Así, existe una señal en la primera entrada de la puerta-AND 32 para el siguiente ciclo de computación, alcanzando dicha señal la primera entrada 31 del sumador 34 como número binario +1, ya que la línea B-0 está conectada a la segunda entrada de la puerta-AND 32.

Considerando el siguiente ciclo de computación
25 recuérdese que, según se había acordado, la frecuencia del reloj de computación es superior a la frecuencia de la secuencia de impulsos de entrada. Esto implica que durante el siguiente ciclo de computación no habrá impulso de entrada en la puerta-AND 20.

30 Respecto al ciclo de computación que descri-

1 birenos ahora, el número binario en el registro de conver-
sión 36 se aumentará en el número binario +1 que está dis-
ponible a través de la puerta-AND 32 y la puerta-OR 33 y
pasará a la unidad aritmética no mostrada a través de la
5 línea 100. Dicho número binario aumentado en "+1" se en-
caminará nuevamente a la segunda entrada del sumador 22
a través del inversor 39. Ya que, debido a la falta de
impulso de entrada, no hay número binario en la primera
entrada del sumador 22, este número binario se encaminará
10 sin cambiar a la primera entrada del sumador 24. El suma-
dor 24 agrega este número binario al número binario dispo-
nible en el registro de conversión, siendo realmente res-
tado este número binario debido al signo negativo, de tal
manera que a la terminación de esta operación de suma el
15 nuevo número binario disponible en el registro de conver-
sión 26 se reduce en el número binario invertido disponi-
ble en el registro de conversión 36.

Si, debido a esta operación aritmética reali-
zada por el sumador 24, el número binario a ser leído en
20 el registro de conversión 26 se hace negativo, habrá una
señal en la primera entrada de la puerta-AND 28 en el re-
loj de dígito x. Como en el momento del reloj de dígito
x existe también una señal en la segunda entrada de la
puerta-AND 28 a través de la línea B-X, se forma una se-
25 ñal en la salida de la puerta-AND, dicha señal correspon-
diente a un lógico 1, está disponible en la entrada del
flip-flop-D. Así el flip-flop-D se conmuta a un estado
en el que existe también una señal en la salida-Q mientras
que no existe señal en la salida- \bar{Q} . Ya que la salida-Q
30 del flip-flop-D esta conectada directamente a la primera

1 entrada del sumador 34, existirá un lógico 1 en la prime-
ra entrada del sumador 24 con cualquier reloj de dígito
del ciclo de computación siguiente. Resulta por tanto que
durante dicho ciclo de computación siguiente, el número
5 binario disponible en el registro de conversión 36 se re-
ducirá en "1".

Si está disponible nuevamente un impulso de
entrada durante el siguiente ciclo de computación, se re-
pite la misma operación que en el ciclo de computación des-
10 crito anteriormente, ya que el número binario que llega
al registro de conversión 26 se hará de nuevo positivo de-
bido a este impulso de entrada.

Como puede verse fácilmente de lo anterior,
el número binario en el registro de conversión 36 se re-
15 duce en "1" durante el primer ciclo de computación y se
volverá a incrementar en "1" durante el segundo ciclo de
computación si el dispositivo del invento está estabiliza-
do cuando aparezca un impulso de entrada durante cada ci-
clo de computación. El número binario en el registro de
20 conversión 36 circulará permanentemente entre dos números
binarios que difieren alrededor del valor absoluto "1".
Si se toma esto en consideración, estando optimizada la
composición del invento, este número binario disponible
en el registro de conversión 36, por ejemplo, podría al-
25 canzar fácilmente el valor de 1000 a la máxima velocidad
del vehículo de unos 200 km/hr, y entonces la diferencia
de "1" corresponderá a 0,2 km/hr.

En esta situación debe considerarse también
a la línea 50 que lleva a la unidad aritmética no ilus-
30 trada. En el estado estable, en un cierto número de ci-

1 cios de computación habrá siempre el mismo número de números binarios que tienen el valor "+1" y el valor "-1". En el promedio, el resultado será 0 lo que indica que no existe cambio de velocidad, esto es, que no hay aceleración
5 o deceleración de la rueda. En el caso de un cambio en la velocidad de la rueda, la variación de los binarios con el valor "+1" y "-1" estará disponible en la línea 50, resultando en promedio un número positivo o negativo que indica el grado del cambio en la velocidad de la rueda. Esta
10 variación del número de binarios que tienen el valor "+1" y "-1" que siempre está disponible en la entrada del sumador 34 tiene el efecto de que el número binario en el registro de conversión 36 está siempre referido a la velocidad real de la rueda. Al cambiar la velocidad de la rueda,
15 el dispositivo del invento está permanentemente preparado para volver a conseguir el estado estable adaptando continuamente el número binario en el registro de conversión 36 a la velocidad de la rueda en ese momento.

20 Respecto al ejemplo numérico anterior, nótese también que, por supuesto, en el momento de que un número binario se acerque a 1000 en el registro de conversión 36 para la velocidad máxima del vehículo, se requiere que la puerta-AND 20 para la codificación de los impulsos de entrada se conecte a una línea que tenga un valor de dígito más elevado que el mostrado en la fig 3, respecto a la
25 configuración de la fig 3, en principio, se aplican las mismas relaciones de las cantidades individuales entre las definidas por las figs 1 y 2.

30 La configuración de la fig 4 funciona en principio con componentes de técnica de computador serie, de

1 la misma manera que en la configuración de la fig 2. En
esta configuración, la composición básica corresponde tam-
bién a la configuración de la fig 3. La principal dife-
5 y abajo del número binario en el registro de conversión
36, se ha mejorado el dispositivo del invento introduciendo
límites de variación superior e inferior. El número
binario en el registro de conversión 36 no se aumentará
si el signo del número binario que llega del sumador 24
10 es positivo. El número binario en el registro de conver-
sión 36 no se aumentará hasta que el número binario que
llega del sumador 24 tenga un valor superior al número bi-
nario encaminado a la primera entrada del sumador 22. El
hecho de que este número binario es más negativo, en "1",
15 comparado con el número binario en la primera entrada del
sumador 22 está basado de nuevo en que, para conseguir una
configuración más sencilla respecto a los dispositivos téc-
nicos, se utiliza la línea B-8 conectada a la puerta-AND 20
principalmente para la determinación de este límite. Por
20 supuesto que es posible determinar otro límite aleatorio
utilizando otras líneas. La configuración de la fig 4 tra-
ta de demostrar solamente las maneras de mejorar el dis-
positivo de la configuración de la fig 3. Como consecuen-
cia, en la configuración de la fig 4, el límite inferior
25 está también definido por la existencia de un número bina-
rio negativo que llega del sumador 24 como en el caso de
la configuración de la fig 3. Por supuesto que también
allí podría servir un cierto número binario determinable
por método aleatorio como valor límite.

30

Además de lo que figura en la fig 3, otra

1 primera entrada del sumador 52 está conectada a la salida
del sumador 24 en la configuración de la fig 4, Así, du-
rante cualquier ciclo de computación el número binario que
llega desde la salida del sumador 24 está disponible en
5 la primera entrada del sumador 52. A través de un inver-
sor 53, se conecta una segunda entrada del sumador 52 a
la misma línea que lo está la segunda entrada de la puer-
ta-AND 20.

10 Una salida del sumador 52 está conectada con
una primera entrada de una puerta-AND 54 invertida en la
salida. Una segunda entrada de la puerta-AND 54 inverti-
da a la salida, está conectada a la línea B-X que define
el signo. La salida invertida de la puerta-AND 54 está
conectada a una entrada del segundo flip-flop-D 55. La
15 salida-Q del segundo flip-flop-D 55 lleva a una primera
entrada de una puerta-AND 56. Una segunda entrada de es-
ta puerta está conectada a la línea B-0. Una salida de
la puerta-AND 56 se lleva a la entrada del sumador 34 a
través de la puerta-OR 33.

20 Respecto al modo de funcionamiento de la con-
figuración de la fig 4, describiremos seguidamente un ejem-
plo de trabajo del bucle de sincronización de fase funcio-
nando con números decimales. Supondremos que, en primer
lugar, existirá un impulso de entrada en cada cuarto ciclo
25 de computación. En este sentido, téngase en cuenta nueva-
mente que este ejemplo numérico (como el de la fig 3 en
donde el número decimal "256" estaba asignado a cualquier
impulso de entrada por medio de la línea B-8) sólo sirve
como explicación para el invento. A modo de demostración,
30 en este ejemplo supondremos que "256" está asignado a cual

1 quier impulso de entrada. Además, supondremos que el límite inferior está determinado por "0", estando determinado el límite superior por "256". El límite inferior de
5 "0" resulta del hecho de que, con un valor negativo en la salida del sumador 24, la puerta-AND 28 llevará una señal al flip-flop-D 30. El límite superior de "256" resulta del hecho de que, cuando se realiza la transgresión de este límite, esto es, desde el valor "257" en adelante, la salida invertida de la puerta-AND 54 lleva una señal al
10 flip-flop-D 55. Si suponemos además que está disponible el valor 63 en el registro de conversión 36, esto es, que el número -64 esta disponible en la segunda entrada del sumador 22, dicho número (ya que se supone que el dispositivo está en estado estabilizado) corresponde a la velocidad de la rueda en la que un impulso de entrada está disponible en cada cuarto ciclo de computación, y funcionará como sigue:

Durante el primer ciclo de computación se lleva "256" a la primera entrada del sumador 22, llevándose
20 "-64" a la segunda entrada. De esta manera, 22 llevará "192" a la primera entrada del sumador 24. Dicho 192 será leído completamente en el registro de conversión 26, ya que éste estaba en "0" hasta entonces y no se había llevado ningún valor a la segunda entrada del sumador 24. Este 192 también está disponible en la puerta-AND 28 que no generará ninguna señal de salida, siendo este valor positivo, como resultado de lo cual la salida-Q del flip-flop-D 30 está o permanece en cero. Ya que "192" también está disponible en la primera entrada del sumador 52,
25 en la segunda entrada del mismo aparecerá "-257". La sa-
30

1 lida del sumador 52 emitirá una señal correspondiente a
"-65" a fin de impedir que la salida invertida de la puer-
ta-AND 54 emita ninguna señal y consecuentemente que la
salida-Q del flip-flop-D esté o permanezca en cero.

5 Durante el segundo ciclo de computación no
llegará señal a la primera entrada del sumador 34 ya que
ambas salidas-Q de las flip-flop-D 30 y 55 no transpor-
tan ninguna señal. El valor disponible anteriormente "63"
se lleva desde el registro de conversión 36 a la segunda
10 entrada del sumador 34. Así, en la salida del sumador 34
reaparecerá el valor "63" que volverá a ser leído en el
registro de conversión 36 y encaminado a la segunda entra-
da del sumador 22, después de haber sido invertido a "-64".

Durante el segundo ciclo de computación no existirá señal
15 en la primera entrada del sumador 22, estando disponible
el valor "-64" sin cambiar en la salida del sumador 22 y,
como consecuencia, en la primera entrada del sumador 24.

Durante el segundo ciclo de computación, el valor "192"
20 disponible en el registro de conversión 26 estará disponi-
ble en la segunda entrada del sumador 24, consecuentemen-
te el valor "128" estará disponible en la salida del su-
mador 24 y se leerá en el registro de conversión 26. Co-
mo este valor "128" es también positivo, la puerta-AND 28
emitirá igualmente una señal de salida durante el segundo
25 ciclo de computación, continuando la salida-Q del flip-flop-
-D a cero. La suma por el sumador 52 proporcionará nueva-
mente un valor negativo durante este ciclo de computación,
permaneciendo también la salida-Q del flip-flop-D 55 a ce-
ro.

30 Durante el tercer ciclo de computación no ocu

1 rrirá nuevamente cambios en el número "63" en el registro
de conversión 36. Si se continúa esta operación de compu-
tación hasta el final del cuarto ciclo de computación, se
notará que en el registro de conversión 26 aparecerá el
5 valor "0" a partir de lo cual el quinto ciclo de computa-
ción pasará a ser el primero, etc. Ya que no existe trans-
gresión o caída por debajo del límite inferior o superior,
respectivamente, esto significa que la cantidad absoluta
del número (tal como el -64) disponible en la segunda en-
10 trada del sumador 22 corresponde a la frecuencia de entra-
da (en este ejemplo: $1/4$ de la frecuencia de reloj de com-
putación) en el estado estabilizado. La existencia de un
número que se desvía del -64 significaría una pronta trans-
gresión de o una caída por debajo del límite superior o
15 inferior, cambiándose por lo tanto el contenido del regis-
tro 36 hasta que se vuelva a conseguir el estado estabili-
zado.

Si aparece ahora un cambio en la frecuencia
de la secuencia de los impulsos de entrada, respecto al
20 ejemplo de 256 seleccionado en este caso, el número en
la primera entrada del sumador 22 llegará durante otro
ciclo de computación, ocurriendo así la transgresión de
o la caída por debajo, respectivamente, del límite superior
e inferior, y ocurriendo más frecuentemente hasta que el
25 número en el registro de conversión 36 y en la segunda en-
trada del sumador 22, respectivamente, se hayan adaptado
a la nueva frecuencia de la secuencia de los impulsos de
entrada.

Resumiendo, nótese que, si el número en el
30 registro de conversión 36 tiene que seleccionarse muy al-

1 to debido a la unidad aritmética conectada a través de la
línea 100, siendo así el paso de "+/-1" demasiado pequeño
para el número en el registro de conversión 36 de tal ma-
5 nera que dicho número sería demasiado lento para adaptar-
se a los cambios en la frecuencia de la secuencia de los
impulsos de entrada, es posible llevar las salidas-Q de
los flip-flops-D 30 y 55 a través de circuitos puerta, de-
finiendo así otra etapa. Es fácil concebir en esta confi-
10 guración la existencia de una etapa diferente respecto al
aumento del número contenido en el registro de conversión
36 cuando se ha excedido el límite superior y (viceversa)
para la reducción del número contenido en el registro de
conversión 36 cuando se ha pasado el límite inferior en
15 la dirección hacia abajo. La última configuración tiene
la ventaja, en diversas aplicaciones, de que el número en
el registro de conversión 36 puede ser asignado fácilmen-
te a una deceleración en la frecuencia de la secuencia de
los impulsos de entrada que corresponderá a una decelera-
ción de la velocidad de la rueda, mientras que es lento
20 para seguir una aceleración en la frecuencia de la secuen-
cia de impulsos de entrada que corresponderá a una acele-
ración de la velocidad de la rueda.

A fin de evitar la necesidad de adaptar la
capacidad del registro de conversión para valores innece-
25 sariamente elevados, es posible limitar el contenido del
registro a valores ligeramente por encima del límite supe-
rior o ligeramente por debajo del límite inferior.

Ha de quedar entendido que la anterior descrip-
ción de una forma determinada del invento se hace a modo
30 de ejemplo y no debe considerarse como limitación de su

1 alcance.

5 REIVINDICACIONES

10 Los puntos de invención, propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15 1ª. Un bucle de sincronización de fase digital para la medida de la velocidad, particularmente para su utilización en sistemas de control anti-deslizamiento, para la conversión de la frecuencia de una secuencia de impulsos de entrada, proporcional a una velocidad, en un valor numérico digital para su utilización en una unidad aritmética digital, caracterizado porque un cierto valor numérico, que siempre es el mismo, está asignado a cualquier secuencia de impulsos de entrada y que puede ser llevado a un primer almacenaje (9, 24, 25, 26, 27) y sumado al contenido del mismo; porque a intervalos regulares determinados por un generador de reloj (18) puede ser generado un valor numérico de salida digital positivo por un detector (11) si el contenido del primer almacenaje (9, 24, 25, 26, 27) está por encima de un límite superior determinado; porque puede ser generado un valor numérico de salida digital negativo si el contenido del primer almacenaje (9, 24, 25, 26, 27) está por debajo de un límite inferior

20

25

30

1 predeterminado; porque el respectivo valor numérico digi-
tal de salida del detector (11) puede sumarse al conteni-
do de un segundo almacenaje (14,34,35,36,37) conservándo-
se el signo; porque el contenido del segundo almacenaje
5 (14,34,35,36,37) es el valor numérico digital correspondien-
te a la frecuencia, pudiéndose siempre restar dicho valor
numérico digital del contenido del primer almacenaje
(9,24,25,26,27) en el reloj de computación generado por
el generador de reloj (18).

10 2ª. Un bucle de sincronización de fase, se-
gún la reivindicación 1ª, caracterizado porque cualquier
frecuencia de computación del reloj de computación es igual,
al menos, o superior a la frecuencia más elevada que ha
de convertirse en un valor numérico digital.

15 3ª. Un bucle de sincronización de fase, se-
gún las reivindicaciones 1ª ó 2ª; caracterizado porque el
valor numérico digital que va desde el segundo almacenaje
(34,35,36,37) al sumador (34) puede llevarse adicionalmen-
te al sumador (4,22,24) mediante un factor constante.

20 4ª. Un bucle de sincronización de fase, se-
gún cualquiera de las reivindicaciones 1ª a 3ª, caracteri-
zado porque el valor numérico digital es un número bina-
rio serie y porque los almacenajes (9; 24,25,26; 14; 34,35,
36) están diseñados como registros de conversión.

25 5ª. Un bucle de sincronización de fase, se-
gún las reivindicaciones 1ª y 2ª, caracterizado porque el
reloj de computación está subdividido en un reloj maestro
en correspondencia con la capacidad de dígitos, de 0 a X,
de los almacenajes (9; 24,25,26,27; 14; 34,35,36,37), y
30 porque los almacenajes (9; 24,25,26,27; 14; 34,35,36,37)

1 están diseñados como registros de conversión (26) con igual capacidad de dígitos de 0 a X y con sumadores que operan en serie (24,34) conectados en serie y con una función de retención.

5 6ª. Un bucle de sincronización de fase, según la reivindicación 3ª, caracterizado porque el reloj maestro está generado por un generador de reloj (18) y se lleva a todos los elementos que funcionan en serie (22,24, 26,34,36,52) así como a un divisor (42) que distribuye cíclicamente el reloj maestro a las líneas (B-0 a B-X), de tal manera que puede generarse un reloj de dígito que definirá un cierto valor de dígito (0 a X) a la vez en el ciclo de computación; y porque los impulsos de entrada estarán siempre disponibles en un circuito puerta (20) durante todo el ciclo de computación siguiente, siendo dicho circuito puerta (20) operable para la codificación de los impulsos de entrada por medio de un reloj de dígito disponible en una o varias líneas (B-0 a B-X).

10 7ª. Un bucle de sincronización de fase, según las reivindicaciones 1ª a 4ª, caracterizado porque los límites superior e inferior están definidos normalmente por el cambio en los signos del número binario en el primer almacenaje (9,24,25,26,27).

15 8ª. Un bucle de sincronización de fase, según las reivindicaciones 1ª a 4ª, caracterizado porque el límite inferior está definido por 0, el límite superior está definido por un valor positivo determinable por método aleatorio.

20 9ª. Un bucle de sincronización de fase, según la reivindicación 5ª, caracterizado porque el signo

1 está siempre definido por el dígito de valor más elevado;
y porque un circuito puerta (28), que forma el detector,
con un flip-flop--D que le sigue (30) está conectado al
primer almacenaje (24,25,26,27) entre el sumador (24) y
5 el registro de conversión (26), siendo operable dicho cir-
cuito puerta (28) por el reloj de dígito de valor más ele-
vado (x) que también se lleva a la entrada de reloj del
flip-flop-D; y porque una salida-Q del flip-flop-D está
conectada directamente al sumador (34) del segundo alma-
10 cenaje (34,35,36,37), mientras que una salida- \bar{Q} está conec-
tada al sumador (34) a través de un circuito puerta (32)
que es operable por la línea (B-0) de dígito de menor va-
lor.

10ª. Un bucle de sincronización de fase,
15 según la reivindicación 6ª, caracterizado porque el signo
está siempre definido por el dígito de valor más elevado;
porque un flip-flop-D está conectado en el primer almace-
naje (24,25,26,27) entre el sumador (24) y el registro de
conversión (26) a través de un circuito puerta (28) que
20 es operable por el reloj de dígito de valor más elevado
(x), estando conectada la salida-Q de dicho flip-flop-D
al sumador del segundo almacenaje (34,35,36,37); porque
una primera entrada de otro sumador (52) está conectada
al primer almacenaje (24,25,26,27) entre el sumador (24)
25 y el registro de conversión (26), recibiendo la segunda
entrada del sumador (52) el número negativo o binario in-
vertido del límite superior; porque una salida del suma-
dor (52) está conectada a un segundo flip-flop-D (55) a
través de un circuito puerta (54), con salida invertida,
30 que es operable por el reloj de dígito de valor más eleva-

1 do (x), estando conectada la salida-Q de dicho segundo flip-flop-D (55) al sumador (34) del segundo almacenaje (34,35,36,37), a través de un circuito puerta (56) que se puede abrir por el reloj de dígito de menor valor (0).

5 11ª. Un bucle de sincronización de fase, según la reivindicación 7ª u 8ª, caracterizado porque las salidas ($Q, \bar{Q}; Q, Q$) de los flip-flops-D (30,55) están conectadas al sumador (34) del segundo almacenaje (34,35,36,37) a través de los circuitos puerta (56) que se pueden abrir
10 por uno o varios relojes de dígito (0 a x) de tal manera que cuando aparezca cualquier señal en cualquiera de las salidas conectadas ($Q, \bar{Q}; Q, Q$) de los flip-flops-D pase un número binario al sumador (34) del segundo almacenaje (34,35,36,37), estando definido dicho número binario por
15 el circuito puerta (56).

12ª. Un bucle de sincronización de fase, según la reivindicación 9ª, caracterizado porque el circuito puerta (56) define un número binario igual, con signo invertido, para las dos salidas conectadas de los flip-
20 -flops-D.

13ª. Un bucle de sincronización de fase, según la reivindicación 9ª, caracterizado porque los circuitos puerta proporcionan las mismas líneas (B-0 a B-X) para las dos salidas conectadas ($Q, \bar{Q}; Q, Q$) de los flip-
25 -flops-D, conteniendo dichas líneas inversores para los circuitos puerta de cada salida (\bar{Q}, Q).

14ª. UN BUCLE DE SINCRONIZACION DE FASE DIGITAL PARA LA MEDIDA DE LA VELOCIDAD, PARTICULARMENTE PARA SU UTILIZACION EN SISTEMAS DE CONTROL ANTI-DESLIZAMIENTO.

Tal y como se ha descrito en la Memoria que

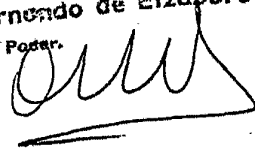
1 antecede, representado en los dibujos que se acompañan y
con los fines que se han especificado.

Esta Memoria consta de treinta y cinco hojas
escritas a máquina por una sola cara.

5 Madrid, 30. ABR. 1976

P.A.

Fernando de Azupuru
Por Poder.



10

15

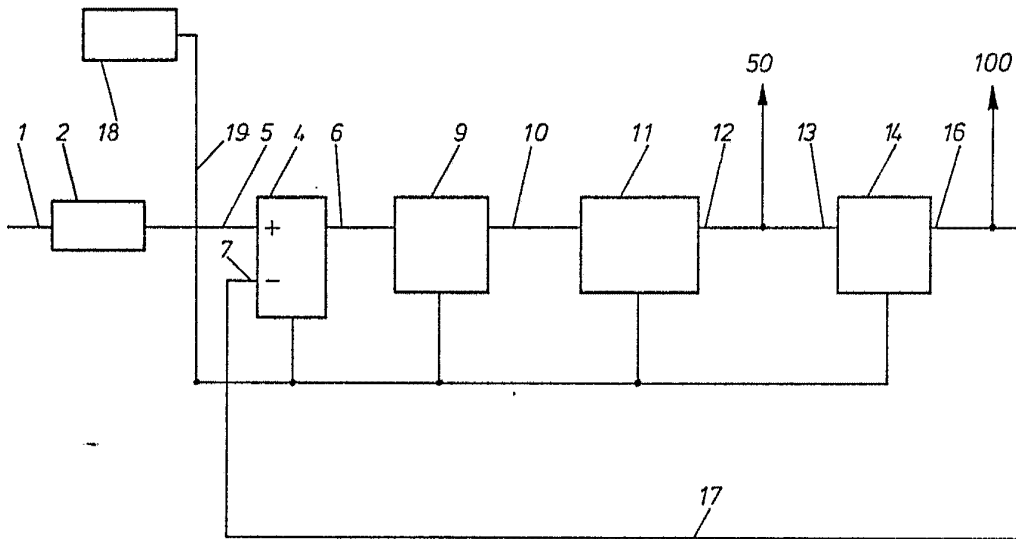
20

25

J. E. P.

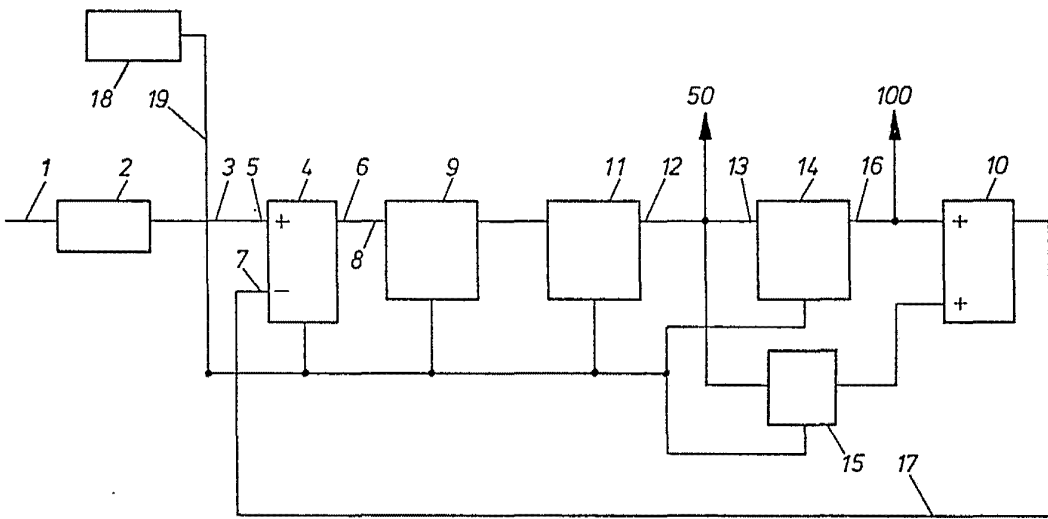

30

Fig.1



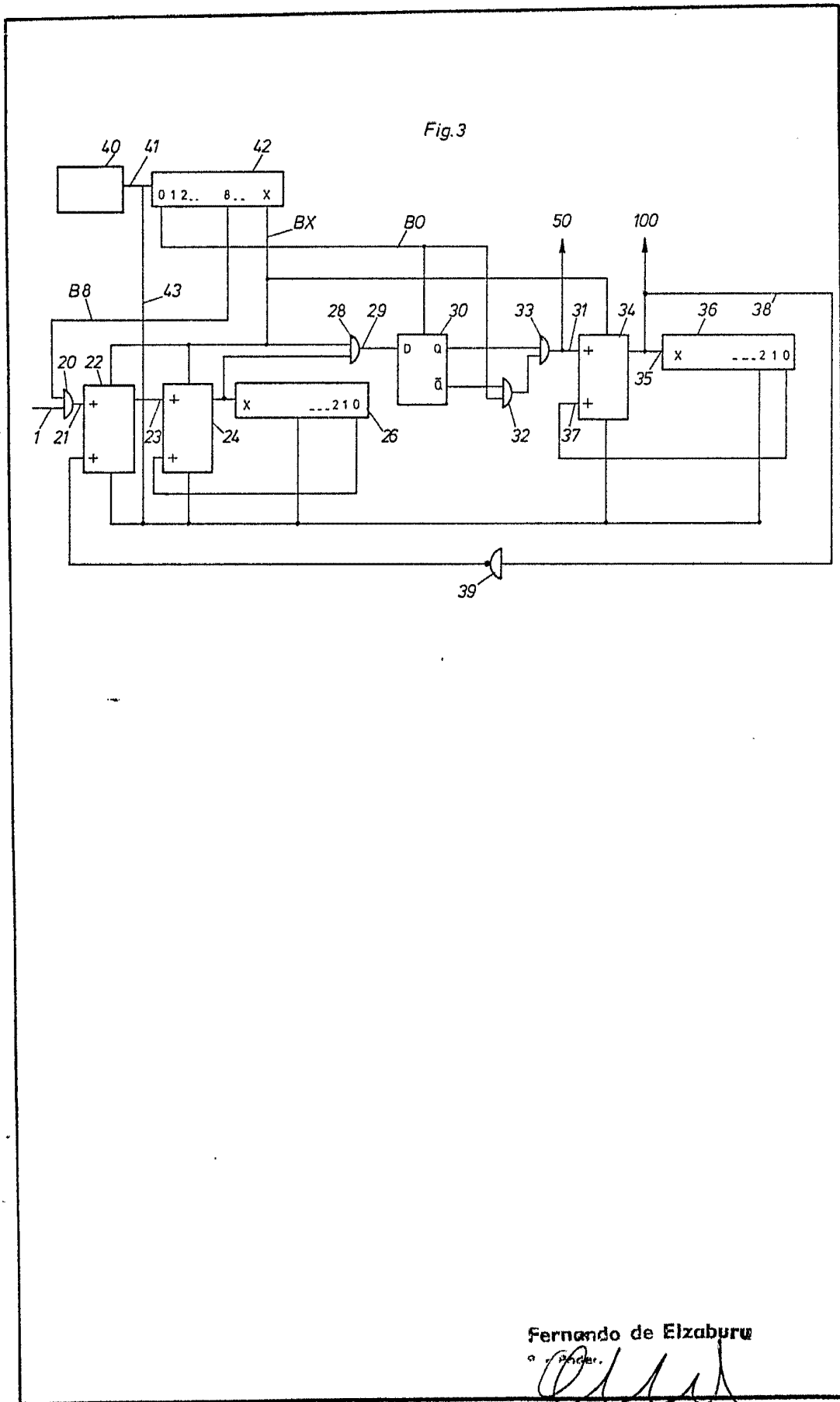
Fernando de Elizaburu
Por Poder.

Fig.2



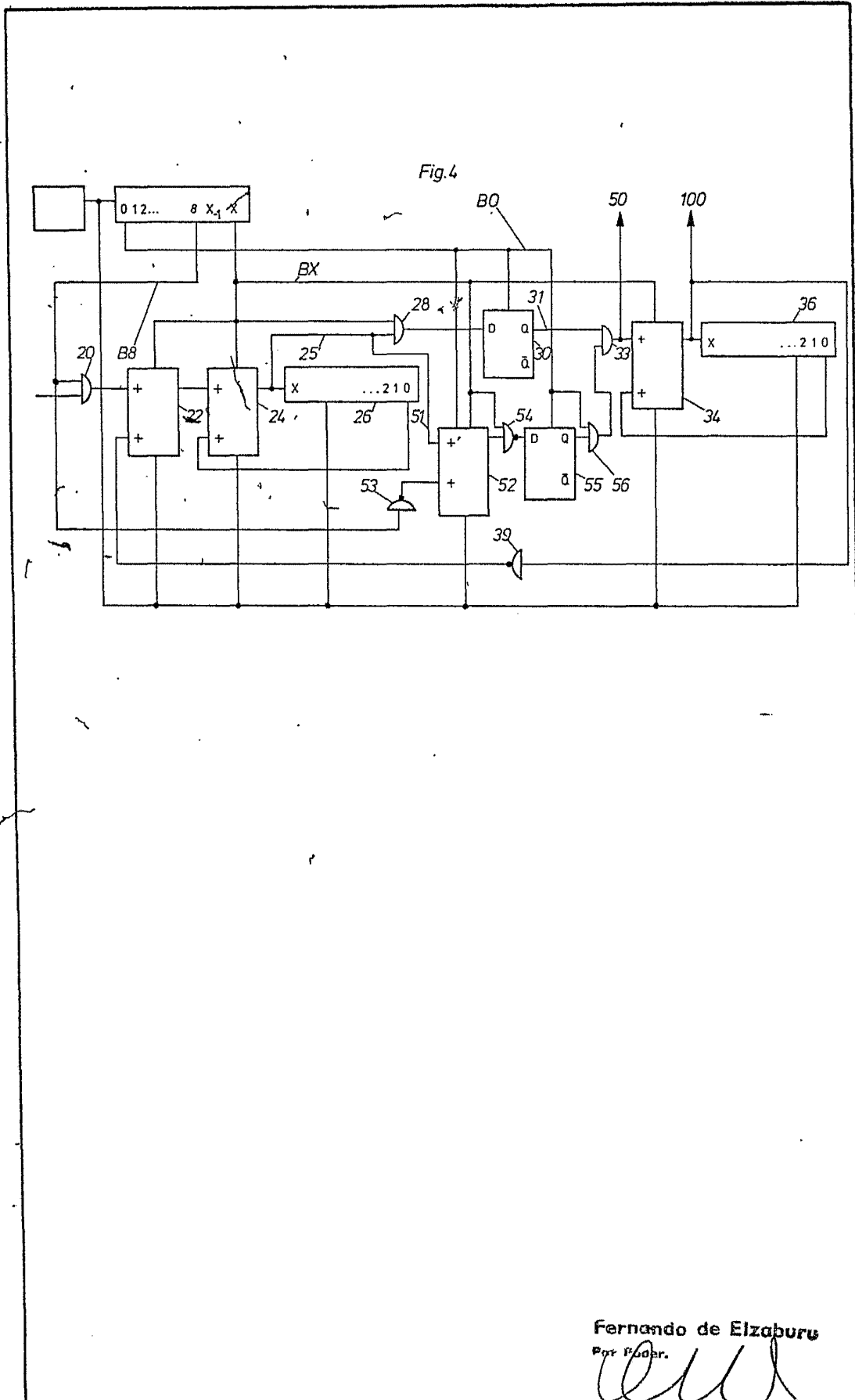
Fernando de Elzaburu

Per Poder.



Fernando de Elizaburu

[Handwritten signature]



Fernando de Elizaburu
Per. Fabr.