



19 ES	11 21	NUMERO 447.276	10 A1
	22	FECHA DE PRESENTACION 23-4-76	

PATENTE DE INVENCION

50 PRIORIDADES: 51 NUMERO	52 FECHA	53 PAIS
225.276	23 de abril de 1975	Canadá

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL H04J	52 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--	--------------------------------------

54 TITULO DE LA INVENCION

PROCEDIMIENTO Y APARATO PARA ESTABLECER UNA PLURALIDAD DE CONFERENCIAS SIMULTANEAS EN SISTEMAS DE CONMUTACION DE MODULACION POR IMPULSOS CODIFICADOS

71 SOLICITANTE (S)

NORTHERN TELECOM LIMITED

DOMICILIO DEL SOLICITANTE

1600 Dorchester Boulevard West, Montreal, Quebec Canadá.

72 INVENTOR (ES)

SCOTT ALEXANDER INRIG, Ing. ALAN STANLEY JOHN CHAPMAN.

73 TITULAR (ES)

74 REPRESENTANTE

GOMEZ ACEBO.

El presente invento se refiere a sistemas de conmutación de división de tiempo, en general, y al establecimiento de conferencias en sistemas de modulación por códigos de impulsos (PCM) en particular.

5 En un sistema multiplexor de división de tiempo, las señales de conversación muestreadas o codificadas originadas por un abonado ocupan segmentos de tiempo asignados en un grupo repetitivo y ordenado de segmentos de tiempo denominado "enquadre". La conexión de dos abonados se consigue por una pluralidad de técnicas cuyo resultado final es que la información contenida en los segmentos de tiempo respectivos de los dos abonados se intercambia bilateralmente. Si tres o más abonados desean una conexión multilateral simultánea, verbigracia, una conexión de conferencia, es necesaria una elaboración más complicada de la información de segmentos de tiempo.

15 Dado un sistema de PCM, el modo evidente de realizar una conferencia entre abonados es sumar algebraicamente las palabras de PCM de los participantes excepto uno y transmitir la suma al participante exceptuado. Si este procedimiento se realiza una vez por cada enquadre por cada participante de la conferencia, se habría establecido una conexión de conferencia. Si las señales de PCM fueran el resultado de una codificación alineal (lo cual ocurre normalmente) sería necesario linealizar las palabras de PCM antes de sumarse y convertir cada suma resultante en el código alineal de nuevo antes de su transmisión al participante apropiado de la conferencia.

20 Es precisamente a causa de las complicaciones anteriores y la circuitería costosa necesaria el que la tecnología anterior, por ejemplo, en la patente EE.UU. 3.699.264 concedida el 17 de Octubre de 1972 a Pitroda et al, se desviara de dicha

técnica. En la patente de Pitroda se elige una forma más simple de enfocar el problema, a saber: el participante con la palabra de PCM binaria numéricamente mayor es elegido como orador por un circuito comparador multilateral.

5 A pesar de que esta forma simple de enfocar el problema puede ser menos costosa, frecuentemente es inadecuada porque no permite una forma de mantener una conferencia natural multilateral.

10 El presente invento proporciona un procedimiento y un circuito para realizar conexiones de conferencias en un sistema de conmutación de PCM, que permite compartir dicho circuito por una pluralidad de conferencias simultáneas, cada una de las cuales tiene un número arbitrario de participantes limitado en principio tan solo por el número de canales dentro de un
15 encuadre. No obstante, otras limitaciones prácticas se expondrán más adelante.

 Por consiguiente, se proporciona en un sistema de conmutación de división de tiempo en el cual una pluralidad de canales de llegada llevan señales de conversación moduladas por
20 códigos de impulso y se disponen en encuadres en secuencia de tiempo, un procedimiento para establecer una pluralidad de conferencias simultáneas cada una por lo menos entre tres canales predeterminados, que comprenden almacenar un encuadre de llegada, elaborar simultáneamente el encuadre almacenado y almacenar
25 el encuadre de llegada siguiente, almacenar resultados intermedios de elaboración por cada conferencia que se establece; almacenar resultados finales de elaboración por cada canal; y transmitir los resultados finales comenzando por el principio del encuadre que sigue al encuadre de llegada siguiente y finaliza
30 do con el final del mismo.

Los sistemas de PCM utilizan frecuentemente codificación de compresión-expansión o alineal, por lo que la elaboración del encuadre almacenado no consistiría, en la mayoría de los sistemas, solamente en operaciones aritméticas. Por el contrario de cada canal, antes de la elaboración aritmética, debe expandirse o linealizarse. Después de completarse la elaboración aritmética el resultado final de cada canal se vuelve a convertir en la forma alineal y después se almacena finalmente para transmisión.

El método expuesto anteriormente introduce una demora mínima de dos encuadres completos. La primera demora o retardo de encuadre tiene lugar durante el almacenamiento de un encuadre de llegada, mientras que la segunda demora de encuadre tiene lugar en la elaboración de encuadre almacenado. A pesar de que la elaboración real puede que no dure un encuadre completo, los resultados finales deben mantenerse en almacenamiento durante dicho período antes de poderse transmitir. Se observará que para los sistemas de PCM de primer nivel, como es el sistema T1 de 24 canales en Norte America o el sistema de 32 canales en Europa, la duración de un encuadre completo es más que suficiente para permitir la elaboración completa de un encuadre en el estado actual de la tecnología de circuitería de elaboración empleando componentes existentes.

Un aparato, según el presente invento, para establecer una pluralidad de conferencias simultáneas cada una entre por lo menos tres canales predeterminados en un encuadre de llegada de señales de conversación moduladas por códigos de impulso dispuestas en segmentos de tiempo individuales que constituyen dicho encuadre, comprende dos dispositivos de almacenamiento intercambiables, cada uno destinados a recibir y almacenar

5 dicho encuadre de llegada, recibiendo uno de los dos dispositivos de almacenamiento dicho encuadre de llegada y transmitiendo simultáneamente su contenido previamente almacenado, mientras que el otro dispositivo de almacenamiento coopera con medios de elaboración aritmética para elaborar la información almacenada y para almacenar el resultado de dicha elaboración, los dos dispositivos de almacenamiento intercambiables y los medios de elaboración aritmética responden a medios de temporización y control para cronometrar, iniciar y finalizar operaciones, incluyendo el intercambio de dichos dos dispositivos de almacenamiento intercambiables al final de cada encuadre de llegada.

15 A continuación se describe una modalidad del invento que sirve de ejemplo, tomando como referencia los dibujos adjuntos, en los que:

La figura 1, es un esquema de conjuntos de un circuito para conferencias según el presente invento.

20 La figura 2, es una ilustración que representa sus periodos de un encuadre de PCM en relación con diversos puntos del circuito de la figura 1; y

La figura 3, es una parte del circuito de la figura 1, representando en detalles de funcionamiento.

25 La figura 4, ilustra un esquema de conjuntos de la modalidad del presente invento que sirve de ejemplo. Un aparato de interconexión y control 10, intruido CI desde la unidad procesadora central (CPU) del sistema de conmutación, elige segmentos de tiempo predeterminados de las vías FH de PCM del sistema y los organiza en serie en un encuadre de PCM en serie, que es la señal de entrada al circuito de conferencia. Los segmentos de tiempo TS elegidos son aquellos ocupados por canales

30

comprendidos en una conferencia CN. La señal SPI de entrada de PCM en serie llega por conmutadores multiplexores 11 y 11' a una de las dos memorias de acceso aleatorio RAM I y II. La primera memoria que recibe la señal de PCM se denomina memoria de entrada/salida y se ilustra en la figura 1, como la memoria RAM I. Mientras la memoria de entrada/salida RAM I recibe la señal SPI de entrada de PCM en serie, da salida simultáneamente a su contenido a un circuito de enganche de bits múltiples de entrada/salida 12 el cual, a su vez, se sincroniza para enviar una corriente de PCM en serie SPO al aparato de interconexión de control 10, que durante segmentos de tiempo predeterminados llega a una de las pistas de PCM del sistema PM.

La memoria operacional RAM II, que contiene un encuadre de datos de PCM, llega a un expansor 14 de memoria de lectura solamente (convertidor de códigos de PCM alineal a lineal) por un circuito de enganche operacional 13. La salida lineal del expansor 14 es la señal de entrada a un adicionador 15, cuya otra entrada es la salida de cualquiera de los lugares de almacenamiento independientes en una memoria acumuladora localizable 16. El lugar de almacenamiento en la memoria acumuladora localizable 16 se vuelve a escribir por el resultado de la adición que llega al acumulador 16 por un circuito de enganche acumulador 17. La salida del circuito de enganche acumulador 17 es también la entrada a una memoria adicional de acceso aleatorio RAM III y un conmutador multiplexor 19 que conecta dicha salida o la salida de un compresor 18 (convertidor de códigos de PCM lineal a lineal) a los multiplexores 11 y 11' los cuales, a su vez, tienen acceso a una u otra de las memorias RAM I y II. El compresor 18 recibe su señal de entrada procedente del circuito de enganche operacional 13 y procedente de la

memoria adicional RAM III. En la figura 1, todas las conexiones de control de la unidad de control 10 se han omitido para no abigarrar la representación esquemática. La unidad de control 10 controla los multiplexores 11, 11' y 19, localiza las memorias RAM I, II y III y el acumulador 16, y temporiza en general la función de los componentes restantes del circuito. Sus funciones resultarán evidentes en el contexto de la descripción del funcionamiento del circuito. El circuito se sincroniza también por dos relojes CL, CL1 a 2,048 MHz, que el reloj de los regímenes de bitios normales del sistema de conmutación, y el segundo es un reloj que funciona a un régimen doble y es sincrónico con el mismo. El segundo reloj o temporizador ha de poner necesariamente dividir el segmento de tiempo del sistema básico en cuatro cuartos y realizar ciertas operaciones consecutivas dentro de un segmento de tiempo que normalmente exigiría dos segmentos de tiempo o más. Además, existe también un reloj CL de sincronización de los enquadres del sistema SCL.

Las características generales del sistema de PCM de la modalidad que sirve de ejemplo son como sigue:

20	Número de canales	32
	Número de bitios/canal	8 (MSB es el bitio de signo)
	Formato de codificación	PCM comprimido-expandido ley (= 255)
25	Equivalente lineal	14 bitios incluyendo un signo y un bitio de fracción.
	Formato multiplexor	asíncrono (intercalado) ritmo de bitios 2.048 Mbitios/segundo.
30		

En la figura 2, de los dibujos se representa un encuadre 100 de PCM en serie con grupos 101 de 8 bitios 0 a 7, teniendo cada grupo 102 bitios 32 segmentos de tiempo 0 a 31. Los bitios de cada canal se elaboran en el circuito de conferencias en paralelo. Por lo tanto, la memoria de entrada salida, a pesar de recibir el encuadre de PCM asincrono en serie debe preservar los 8 bitios de cada canal en un solo segmento de tiempo para elaboraci3n. Esto se consigue por medio de un trayecto de realimentaci3n de bitios multiples desde la salida del circuito de enganche de entrada/salida 12 hasta la entrada de los multiplexores 11 y 11' y a trav3s de los mismos hasta la entrada de la memoria de entrada/salida. Los bitios de palabras de los canales quedan disponibles en paralelo en la salida de la memoria operacional 103, por lo que localizando los segmentos de tiempo de dicha memoria consecutivamente, se da salida a todos los canales en un periodo de un grupo de bitios simple; este punto se ilustra tambi3n en la figura.2 Un ciclo de elaboraci3n 104 del circuito de conferencia tiene 8 periodos de 0 a 7, durante los cuales cada canal queda disponible una vez. De hecho, solamente son esenciales tres periodos de un encuadre para elaborar todos los canales en el circuito de conferencia. Resumido brevemente, un ciclo de elaboraci3n se realiza como sigue:

Periodo 0: Sin funcionamiento;

Periodo 1: La palabra de canal de PCM de 8 bitios en cada segmento de tiempo se linealiza y se aade al lugar de almacenamiento acumulador asociado con su conferencia (despu3s de cada adici3n, la suma se realmacena en lugar del acumulador);

Periodo 2: La palabra de PCM en cada segmento de tiempo se linealiza y se resta del lugar de almacenamiento acumulador asociado con su conferencia; los 14 bitios resultantes se

almacenan parcialmente en la memoria operacional reemplazando su contenido original, y los 6 bits restantes se almacenan en la memoria adicional, permaneciendo sin cambiar el contenido del acumulador;

5 Periodo 3: Los 14 bits lineales de cada canal en las memorias operacional y adicional se convierten en un formato de PCM de compresión-expansión en el compresor y se almacenan de nuevo en la memoria operacional reemplazando al contenido de la fase anterior; y

10 Periodos 4 a 7: La memoria adicional y el acumulador se ponen a cero. Al final del encuadre (bitio 31 del periodo 7) la memoria de entrada/salida pasa a ser la memoria operacional y viceversa.

15 Las rutas de elaboración en el ciclo anterior están indicadas en el circuito de la figura 1. Las conexiones de trazo más grueso que comienzan a partir de la memoria operacional RAM II y finalizan en el acumulador 16 corresponden a la elaboración durante el periodo 1; la primera tura prolongada por las conexiones de doble trazo que finalizan en las memorias RAM II
20 y III corresponden a la elaboración durante el periodo 2, y finalmente, las conexiones de puntos y rayas corresponden a la elaboración durante el periodo 3.

25 Refiriéndonos ahora a la figura 3, junto con la figura 1, se describe con más detalle el funcionamiento del circuito de conferencia. El circuito captura un encuadre completo de dato en serie de PCM suministrado por la unidad de interconexión y control 10. Cada canal extraído de las vías de PCM del sistema se asocia con una conferencia.

30 Como el formato multiplexador del sistema presente es asincrónico verbigracia los bits de los canales se intercalan

en lugar de agruparse, los bitios de un canal se reconfiguran para quedar disponibles en paralelo para la elaboraci3n. Con el fin de ilustrar la forma en que se realiza esta operaci3n, t3mese como referencia la figura 3 que representa las conexiones de las memorias RAM I y II con los circuitos de enganche asociados 12 y 13 asi como los conmutadores m3ltiplexadores 11 y 11' en un detalle de funcionamiento. La memoria de entrada/salida y la memoria operacional RAM I y II en las figuras 1 y 3, respectivamente se organizan como memorias de 32 palabras por 8 bitios. Se localizan por el n3mero de segmentos de tiempo TS, leyendose durante el segundo cuarto de un segmento de tiempo y describiendose durante el tercer cuarto. Esta organizaci3n permite la conexi3n simple en paralelo de las salidas de las memorias sin necesidad de conmutador m3ltiplexador externo. Los circuitos de enganche 12 y 13 permiten entonces retener el dato de lectura el tiempo que sea necesario. Seg3n se podr3 ver por la figura 3, el dato se desvia de forma que el dato leido de la posici3n de bitio X del segmento de tiempo Y se escriba en la posici3n de bitio X + 1 del mismo segmento de tiempo. La posici3n de bitio cero, segmento de tiempo Y en la entrada de la memoria RAM I es receptora del dato de entrada de POM en serie SPI mientras que la posici3n de bitios 7 del segmento de tiempo Y en la salida de RAM I transmite el dato de POM previamente elaborado (durante el encuadre anterior) en serie. Al final de un encuadre, el dato se organiza en la memoria de entrada/salida (RAM I en la figura 3) de forma que todos los 8 bitios de un segmento de tiempo (verbigracia canal) aparezcan en paralelo en la salida de dicha memoria cuando se convierte en la memoria operacional. Por lo tanto, la cronometraci3n o sincronizaci3n de la memoria operacional a trav3s de 32 segmentos de tiempo (=1 grupo de bi-

tio) produce cada muestra de canal una vez en la salida (la lectura es indestructible).

5 En la figura 3, se ilustran los conmutadores multiplexores 11 y 11' de una forma funcional en una unidad; las líneas de puntos y rayas indican la posición alterna de las conexiones, por lo que la memoria RAM I se convierte en una memoria operacional y la memoria RAM II en la memoria de entrada/salida. Al final de cada encuadre de datos de POM seriales entrantes SPI, 10 verbigracia, al final del segmento de tiempo 31 del grupo de bits 7, los multiplexores 11 y 11' conmutan a su posición alterna, intercambiando las memorias RAM I y II. Debido a la disposición de lectura explicada anteriormente de las memorias RAM I y II, no es necesario dicho intercambio en la salida (en el supuesto que las unidades de memoria elegidas lo hagan posible). El 15 dato capturado en el encuadre anterior queda actualmente disponible para elaboración en la memoria operacional RAM I. Durante el periodo 1 del bitio la palabra del canal de 8 bitios precedente un segmento de tiempo se bloquea al final del primer cuarto del segmento de tiempo en el circuito de enganche operacional. 20 13. Este dato localiza el expansor ROM 14, cuyo expansor produce una palabra lineal de 14 bitios que comprende un bitio de fracción y un bitio de signo. Dichos expansores son bien conocidos en esta rama de la industria y el único requisito que se exige de los mismos es que produzcan la palabra lineal en una 25 operación de cronometración simple. La palabra lineal se suma en el adicionador 15 al contenido del lugar de almacenamiento de la conferencia asociada en el acumulador 16. El resultado de la adición se bloquea en el circuito de enganche o bloqueo acumulador 17 al final de tercer cuarto del segmento de tiempo. La 30 nueva suma se escribe entonces en el acumulador 16 en el mismo

lugar. Obsérvese que durante cualquier segmento de tiempo el acumulador es localizado por una vía de número de conferencia de cuatro bits que hace que solamente el lugar de almacenamiento de la conferencia apropiada sea accesible para operaciones de lectura/escritura. Al final del periodo 1 del grupo de bits, cada lugar de conferencia en el acumulador 16 contiene la suma total de las palabras lineales de canales que participan en dicha conferencia. (Los lugares de almacenamiento de los acumuladores tienen una capacidad para palabras de 16 bits como resultado de la adición).

En el periodo 2 del grupo de bits siguiente, se repite el procedimiento anterior, excepto de que en lugar de sumar la palabra del canal se resta del total de la conferencia asociada. La resta se consigue cambiando el bit de signo en la palabra de entrada de 8 bits al expansor ROM 14, que produce (en respuesta a la nueva localización) el complemento a 2 de la palabra lineal como salida. El cambio del bit de signo (que es el bit más expresivo) se inicia por una orden procedente del controlador 10 que se mantiene durante el periodo 2 del grupo de bits. El resultado de sumar el complemento a 2 de la palabra original a las palabras de la conferencia total en el acumulador 16 más 1, es equivalente al resultado de restar la palabra original de las palabras de la conferencia total.

Los 8 bits más expresivos de la resta se escriben en el mismo lugar de segmento de tiempo de la memoria operacional RAM II borrando el contenido anterior de dicho lugar, mientras que los 6 bits restantes de la palabra de 14 bits se escriben en un lugar correspondiente en la memoria adicional RAM III. Al final del periodo 2 del grupo de bits, las memorias RAM II y III contienen palabras de conferencias lineales.

Durante el periodo 3 del grupo de bitios, en cada segmento de tiempo, la palabra de conferencia lineal de 14 bitios almacenadas en las memorias RAM II y III se convierte en una forma alineal y (verbigracia, se comprime) en el compresor 18.

5 De nuevo, dichos compresores son bien conocidos en esta rama de la industria y la función de compresión se puede realizar parcial o totalmente por búsqueda de tablas como en el caso del expansor 14.

10 Durante el periodo 3 del grupo de bitios, el conmutador multiplexor 18, conecta los multiplexores 11 y 11' con la salida del compresor 18 en lugar de hacerlo con el circuito de enganche acumulador 17 como durante otros periodos del grupo de bitios. Las palabras de PCM de 8 bitios comprimidas se almacenan ahora en la memoria operacional RAM II describiendo la información almacenada previamente en la misma.

15

Por lo tanto, al final del periodo 3 del grupo de bitios, la elaboración de las palabras de PCM ha finalizado. Durante los periodos siguientes, el acumulador 16 se pone a cero. Al final del periodo 7 del grupo de bitios, verbigracia, al final de un encuadre, los multiplexores 11 y 11' conmutan a la posición alterna por una orden procedente del controlador 10 intercambiando las memorias RAM I y II. En el nuevo encuadre se repite todos los segmentos de tiempo no asociados con una conferencia tienen asignado el número de conferencia cero por el controlador 10. Esto se consigue simplemente no localizando el acumulador 16 durante estos canales, por lo que los cuatro bitios de localización son todos cero. Durante estos mismos segmentos de tiempo, la salida del compresor 18 se fuerza a cero, por lo que la memoria RAM II no contendría ningún dato en estos lugares de segmento de tiempo. Como es lógico, la supresión de

20

25

30

datos durante los segmentos de tiempo no utilizados podría conseguirse en cualquier otro tiempo apropiado en la circuitería.

De hecho, el controlador 10 tiene acceso a la pista de POM solamente en aquellos segmentos de tiempo que participan en una conferencia.

Dependiendo del sistema en el que se utilice el circuito de conferencia, pueda que sea necesario retardar la salida de POM en serie del circuito de enganche 12 de entrada/salida uno o más segmentos de tiempo. Esto se consigue fácilmente mediante una memoria de retardo que puede formar parte integral de la unidad de interconexión y control 10. Se mencionó anteriormente que ciertas limitaciones, prácticas pueden restringir el número de conferenciantes en cualquier conferencia única. Dicha limitación es la pérdida transhíbrida en los circuitos de líneas de las estaciones de los conferenciantes. No obstante, no existe un número de limitación bien definido de conferenciante más allá del cual la operación pudiera ser imposible. Un modo de mitigar algunas de las limitaciones (pérdida transhíbrida sobrecarga, etc,) es introducir atenuación si el número de conferenciantes supera un número predeterminado. Esto podría conseguirse en el expansor ROM 14 que tendría capacidad de almacenamiento suficiente para generar cualquiera de dos conjuntos de palabras lineales, uno sin atenuación y otro (o más) con atenuación. Se ha averiguado que una atenuación de 6 db es idónea para un número comprendido entre doce conferenciantes por conferencia. Una orden de un bitio procedente de la unidad de control 10 es suficiente para instruir al expansor ROM 14 de si la palabra lineal atenuada, o la palabra con atenuación de 6dB, debiera recuperarse. Ambos conjuntos de palabras lineales (dos correspondientes a una de 256 localizaciones posibles) se almacenan permanen-

temente, como es lógico, en el expansor ROM 14.

El circuito de conferencias se puede emplear también en un modo de localización pública. Esto se consigue mediante una orden de un bitio procedente de la unidad de control 10, que fuerza la señal de salida del expansor ROM 14 al 1 lógico durante todos los segmentos de tiempo en una conferencia excepto la del anunciador. El acarreo de orden inferior en el adicionador 15 se fuerza también a un 1 lógico. La palabra del anunciador no cambia por lo tanto en el lugar de conferencia en el acumulador 16. Esta operación se ilustra simplemente en el ejemplo siguiente:

	Palabra del anunciador	
	en el acumulador 16:	00101101011001
	Se añaden todos los 1 pro-	
15	cedente del expansor 14	<u>11111111111111</u>
	(el flujo en exceso a 14	00101101011000
	bitios se desestima)	
	Se añade acarreo + 1	<u> 1</u>
	La palabra del anunciador	
20	no cambia:	00101101011001

Por lo tanto solamente la palabra del anunciador alcanza a la persona que escucha.

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe haberse constatado que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle, en cuanto no alteren su principio fundamental.

REIVINDICACIONES

1.- Procedimiento y aparato para establecer una pluralidad de conferencias simultaneas en sistemas de conmutación de modulación por impulsos codificados, del tipo empleados en sistemas, de conmutación de división de tiempos donde una pluralidad de canales entrantes transportan señales de conversación moduladas por códigos de impulsos y se disponen en encuadres secuenciales de tiempo, estableciéndose cada una de conferencias simultáneas por lo menos entre tres canales predeterminados, estando el procedimiento caracterizado porque comprende las fases de almacenar un encuadre entrante; elaborar simultáneamente el encuadre almacenado y almacenar el encuadre entrante siguiente; almacenar resultados de elaboración intermedios por cada conferencia; almacenar resultados finales de elaboración por cada canal; y transmitir los resultados finales comenzando con el principio del encuadre que sigue a dicho encuadre de dato entrante siguiente y finalizando con el final del mismo.

2.- Procedimiento según la reivindicación, 1 caracterizado porque dichos resultados finales de elaboración se almacenan reponiendo dicho encuadre entrante almacenado en su memoria original.

3.- Procedimiento según la reivindicación 1, caracterizado porque el encuadre entrante se almacena en una primera memoria, el encuadre entrante siguiente se almacena en una segunda memoria y porque los resultados finales de elaboración reemplazan al encuadre de dato entrante en la primera memoria.

4.- Procedimiento según la reivindicación 3, caracterizado porque la primera y la segunda memoria son intercambiables y se intercambian al final de cada uno de dichos encuadres secuenciales de tiempo.

5.- Procedimiento según la reivindicación 1, caracterizado porque en una primera fase se organizan dichos canales predeterminados en encuadros secuenciales de tiempo, en una segunda fase se almacena el primero de dichos encuadros; en una tercera fase elabora aritméticamente el primero de los encuadros para producir palabras de conferencia de PCM mientras se almacena simultáneamente el segundo de los encuadros, comprendiendo dicha elaboración la fase de almacenar palabras de PCM intermedias por cada una de dichas conferencias simultáneas por separado; en una cuarta fase se almacenan palabras de PCM de conferencias de dicha elaboración por cada uno de los canales predeterminados por separado; en una quinta fase se transmiten las palabras finales de PCM de elaboración; en una sexta fase simultáneamente con la quinta fase se repiten las fases tercera y cuarta para el segundo y el tercer encuadros; y en una séptima fase se repiten correspondientemente las fases tercera a sexta con encuadros consecutivos según aumenta su número.

6.- Procedimiento según la reivindicación 5, caracterizado porque las señales de conversación se codifican alinealmente en palabras alineales de PCM y porque antes de la tercera fase las palabras PCM alineales del primer encuadre se convierten en palabras de PCM lineales, y porque las palabras de PCM de conferencias se convierten en palabras de PCM lineales.

7.- Procedimiento según la reivindicación 6, caracterizado porque las palabras de PCM son palabras binarias, y porque la elaboración aritmética en una primera etapa se acumulan de una forma aditiva las palabras de PCM en canales asociados con la misma conferencia en un lugar de almacenamiento separado para cada conferencia y en una segunda etapa se generan dichas palabras de PCM de conferencia restando algebraicamente os-

da una de las palabras de PCM lineales del lugar de almacenamiento separado asociado con su conferencia.

5 8.- Procedimiento según la reivindicación 7, caracterizado porque dicha elaboración aritmética comprende la fase de atenuar dichas palabras de PCM en una magnitud predeterminada antes de producir las palabras de PCM de conferencia.

10 9.- Procedimiento según las reivindicaciones 6, 7 u 8, caracterizado porque el primer encuadre se almacena en una primera memoria, el segundo encuadre se almacena en una segunda memoria, reemplazando las palabras de PCM de conferencia almacenadas en la primera memoria a su contenido anterior; siendo la primera y la segunda memoria intercambiables y se intercambian al final de cada uno de dichos encuadres.

15 10.- Aparato para la realización del procedimiento según las reivindicaciones anteriores, caracterizado porque comprende dos dispositivos de almacenamiento intercambiables, destinados cada uno a recibir y almacenar dicho encuadre entrante, recibiendo uno de los dos dispositivos de almacenamiento dicho encuadre entrante y transmitiendo simultáneamente su contenido previamente almacenado mientras que el otro dispositivo de almacenamiento coopera con los medios de elaboración aritmética para elaborar la información almacenada y para almacenar el resultado de dicha elaboración; respondiendo los dos dispositivos de almacenamiento intercambiables y el dispositivo de elaboración
20 aritmética a medios de temporización y control para cronometrar, iniciar y finalizar operaciones en los mismos, y porque la iniciación y finalización de operaciones comprende intercambiar los dos dispositivos de almacenamiento intercambiables prácticamente al final de cada encuadre de dato entrante.

30 11.- Aparato según la reivindicación 10, carac-

terizado porque los medios de temporización y control comprenden una memoria alterable para asociar cada número de canales predeterminados con una conferencia.

5 12.- Aparato según la reivindicación 10, caracterizado porque el dispositivo de elaboración aritmética está destinado a responder a información que asocia cada número de canales predeterminados con una conferencia.

10 13.- Aparato según las reivindicaciones anteriores, caracterizado porque en un sistema de conmutación de división de tiempo en el que las señales de conversación se codifican en modulación por código de impulsos binarios, se disponen medios de interconexión para organizar los canales predeterminados en encuadres secuenciales de tiempo; un primer y un segundo dispositivo de almacenamiento cada uno destinado a almacenar
15 cualquiera de dichos encuadres, medios elaboradores aritméticos que responden alternativamente al primer y al segundo dispositivos de almacenamiento para producir una señal de conferencia por cada uno de los canales predeterminados almacenados en los mismos; un primer dispositivo de conmutación para desviar las
20 señales de conferencia a uno del primer y el segundo dispositivo de almacenamiento con el fin de almacenarse en los mismos; un primer dispositivo de conmutación para desviar las señales de conferencia a uno del primer y el segundo dispositivos de almacenamiento con el fin de almacenarse en los mismos; el segundo
25 dispositivo de conmutación para intercambiar el primer y el segundo dispositivo de almacenamiento al final de cada uno de dichos encuadres, y medios de control para cronometrar, iniciar y finalizar operaciones en dicho aparato.

30 14.- Aparato según la reivindicación 13, en un sistema de conmutación caracterizado porque la codificación en

PCM binario es alineal y porque comprende además: medios convertidores de PCM alineal a lineal que responden alternativamente al contenido de uno de dichos primer y segundo dispositivo de almacenamiento y activan el dispositivo elaborador aritmético, y medios convertidores de PCM de lineal a alineal que responden a la señal de salida del dispositivo de conmutación.

15.- Aparato según la reivindicación 14, caracterizado porque comprende además un tercer dispositivo de almacenamiento para almacenar la señal de salida del dispositivo elaborador aritmético antes de transmitirse al dispositivo convertidor PCM de lineal a alineal.

16.- Aparato según la reivindicación 15, caracterizado porque el dispositivo elaborador aritmético comprende un adicionador binario en paralelo destinado a sumar dos palabras de PCM lineales binarias, y una memoria localizable que tiene una pluralidad de lugares de almacenamiento separados cada uno destinados a recibir y almacenar una palabra de PCM lineal que tiene un número mínimo predeterminado de bits; siendo localizada dicha memoria localizable por los citados medios de control mediante una localización de conferencia durante la elaboración de cualquier canal asociado con dicha conferencia durante la elaboración de cualquier canal asociado con dicha conferencia.

17.- Aparato según la reivindicación 16, caracterizado porque el convertidor de alineal a lineal consiste en tablas de conversión previamente almacenadas y responde a una palabra de PCM de entrada mediante la salida de su equivalente lineal.

18.- Aparato según la reivindicación 17, caracterizado porque las tablas de conversión previamente almacenadas contienen también el complemento a dos de los equivalentes li-

neales y el complemento a dos sale en respuesta a una señal de dichos medios de control.

5 19.- Aparato según la reivindicación 18, caracterizado porque las tablas de conversión prealmacenadas contienen también una versión atenuada de dicho equivalente lineal y de dicho complemento a dos.

10 20.- Procedimiento y aparato para establecer una pluralidad de conferencias simultáneas en sistemas de conmutación de modulación por impulsos codificados, tal y como queda sustancialmente descrito en la presente Memoria e ilustrado en los adjuntos dibujos.

Esta Memoria consta de veinte hojas, escritas a máquina por una sola cara.

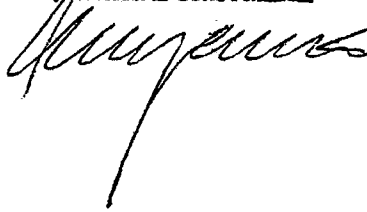
Madrid, 28 SET. 1976

15

NORTHERN TELECOM LIMITED.

GÓMEZ ACEBO Y RODET

a. p. Firmado: L. Gómez Formólos



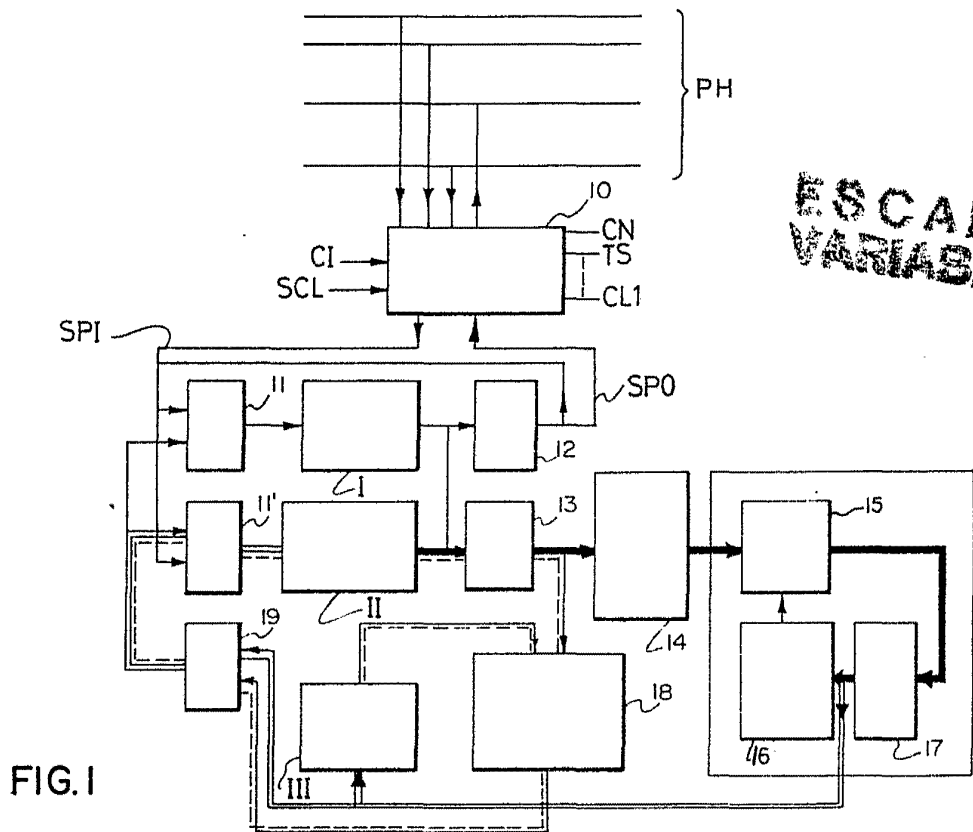


FIG. I

Madrid, 21 de Septiembre de 1978
INGENIEROS ACERBA Y WOLFF
Ingenieros de Telecomunicaciones
[Handwritten signature]

ES
VARIABLE

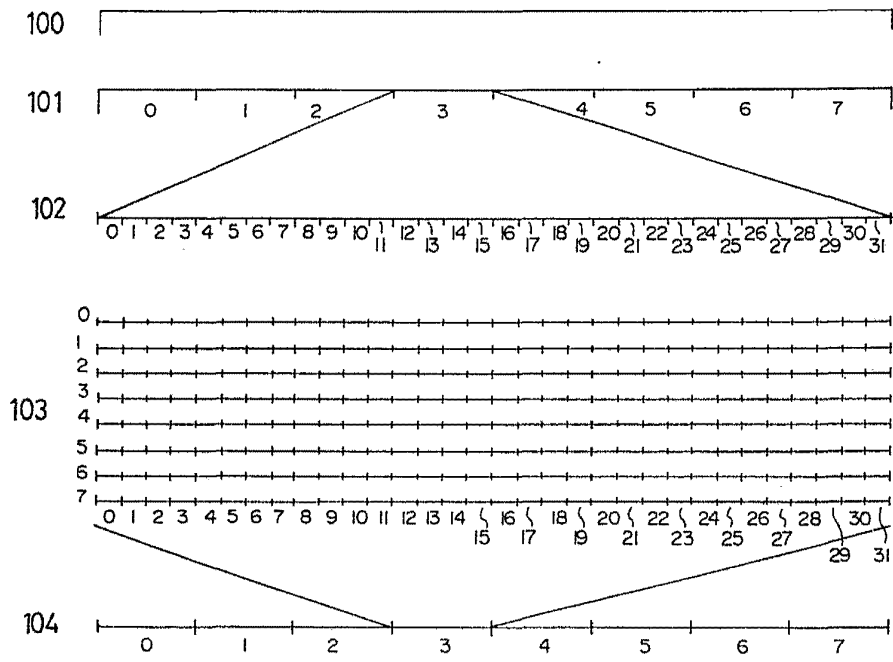


FIG. 2

Madrid, 7 de Julio de 1966
RECEIVED
MURPHY

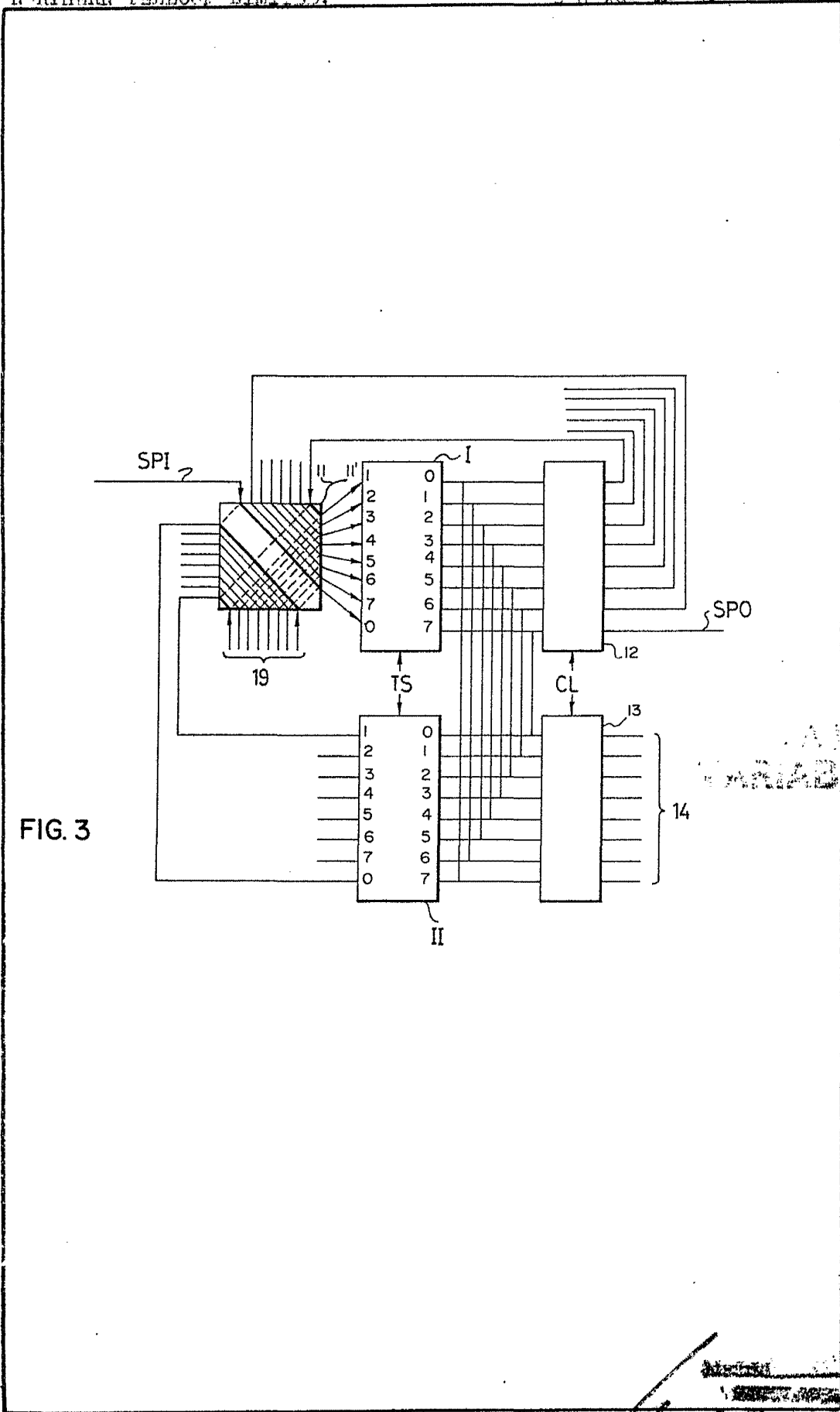


FIG. 3

[Handwritten signature]