

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

⑩ ES	⑪ NUMERO	⑩ A1
	⑫ FECHA DE PRESENTACION	
	447.244	
	22-4-76	

PATENTE DE INVENCION

P.- 62.701
IBM Docket
SA 9-75-027

⑨ PRIORIDADES:		
⑩ NUMERO	⑪ FECHA	⑫ PAIS
577.495	14-5-75	EE.UU.

⑬ FECHA DE PUBLICIDAD	⑭ CLASIFICACION INTERNACIONAL	⑮ PATENTE DE LA QUE ES DIVISIONARIA
	H04B	

⑯ TITULO DE LA INVENCION
"PERFECCIONAMIENTOS INTRODUCIDOS EN UN ADAPTADOR DE LINEA DE BUCLE DE TRANSMISION EN SERIE"

⑰ SOLICITANTE (S)
INTERNATIONAL BUSINESS MACHINES CORPORATION

DOMICILIO DEL SOLICITANTE
Armonk, N.Y., Estados Unidos de América

⑲ INVENTOR (ES)
John L. Cross, Merle Edward Homan, Günter Keith Machol, Richard La Verne Malm y Larry Eugene Svelund

⑳ TITULAR (ES)

㉑ REPRESENTANTE
D. ALBERTO DE ELZABURU MARQUEZ

1 Este invento se refiere a sistemas de comunicacio-
nes y, más particularmente, a aparatos para utilización en
establecer y mantener comunicación entre un módulo de con-
trol que transmite datos y órdenes de control en serie por
5 bitios sobre un medio de transmisión en serie, y uno o más
módulos de Entrada/Salida (I/O) sobre un sistema de acopla-
miento de entrada/salida (I/O) de demanda/respuesta.

Descripción de la Técnica Anterior

10 Han sido utilizados medios de comunicación en se-
rie durante muchos años para controlar la transferencia de
datos desde varios módulos I/O, tales como terminales in-
teractivos y sistemas remotos de tratamiento de datos. Como
medios de transmisión anteriores se utilizaron el telégra-
fo en serie, formatos de arranque-parada o corrientes de da-
15 tos síncronos en serie. Más recientemente, han sido utili-
zados bucles de transmisión de datos en serie, en donde son
asignados intervalos selectores a terminales I/O y son
transmitidos en los intervalos selectores asignados mensa-
jes desde y a los terminales.

20 En cualquiera de estas técnicas, existe una nece-
sidad de adaptar el funcionamiento interactivo de demanda/
/respuesta de un número de terminales I/O con la sincroni-
zación de corriente de bitios en serie del medio de comuni-
cación.

25 Adicionalmente a los problemas que se originan
con respecto al sincronismo de diferentes formatos de da-
tos, los requerimientos de la tecnología moderna actual tam-
bién imponen restricciones. En la tecnología moderna, es-
tán interconectados elementos de circuito y están asociados
30 inseparablemente con un material continuo de soporte sobre
el cual se fabrican los circuitos. El circuito integrado

1 forma parte de un sistema de comunicación o tratamiento de
datos mayor. Uno de los problemas asociados con este tipo
de circuitos es que existe un número limitado de puntos o
terminales de acceso de entrada/salida sobre el circuito in-
5 tegrado para proporcionar conexiones exteriores. Por consi-
guiente, ha surgido la necesidad de un flujo de datos com-
pacto y simple que implique la utilización de un número mí-
nimo de líneas de entrada/salida. Con el fin de reducir el
número de circuitos integrados necesarios para fabricar un
10 sistema completo, existe una necesidad de utilizar los me-
nos circuitos lógicos posibles sobre el material de sopor-
te o substrato. Por consiguiente, la tendencia es utilizar
un microordenador en donde muchas de las funciones primera-
mente realizadas por circuitos lógicos son realizadas por
15 una secuencia de microinstrucciones. Por consiguiente, es
importante que sea utilizado un pequeño conjunto de instruc-
ciones.

Un problema singular asociado a las necesidades
de sincronización en cuanto a la adaptación de un medio de
20 transmisión en serie con un sistema de acoplamiento termi-
nal de demanda/respuesta es el de un suficiente enclavamien-
to entre el medio de transmisión en serie y el microordena-
dor y entre el microordenador y el sistema de acoplamiento
terminal.

25 Aún cuando los dispositivos de la técnica anterior
han utilizado microordenadores para controlar operaciones
de entrada/salida, no se han resuelto satisfactoriamente los
problemas de adaptar la tecnología moderna a los problemas
especiales asociados con el sincronismo de medios de comuni-
30 cación en serie con terminales de demanda-respuesta de entra

1 da/salida.

Breve Resumen del Invento

5 Un objeto de este invento es crear un aparato me-
jorado para utilización en el establecimiento y mantenimien-
to de comunicación entre un módulo de control que transmite
datos y órdenes de control en serie por bitios sobre un me-
dio de transmisión en serie y uno o más módulos I/O, tales
como terminales interactivos, sobre un sistema de acopla-
miento de demanda/respuesta que conecta dichos módulos.

10 Un objeto adicional de este invento es crear una
organización de camino de datos de microordenador que uti-
liza una mínima cantidad de circuitos lógicos físicos.

15 Otro objeto de este invento es crear un enclava-
miento entre un medio de transmisión en serie y un microor-
denador, en donde el funcionamiento del microordenador está
sincronizado con bitios de datos recibidos y transmitidos
sobre dicho medio.

20 Un objeto adicional de este invento es crear me-
dios para interbloquear el funcionamiento de un microordena-
dor y un sistema de acoplamiento de demanda/respuesta entre
dicho microordenador y una pluralidad de módulos de entrada/
salida.

25 Un objeto adicional de este invento es crear un
sistema de entrada/salida a un microordenador que permite
la modificación del camino de transmisión de datos en serie
y la posibilidad de retransmisión sobre dicho camino de los
bitios recibidos por dicho microordenador con un mínimo de
circuitos lógicos.

30 Los anteriores objetos se consiguen de acuerdo con
el invento disponiendo un microordenador compuesto por una

1 unidad aritmética de un bitio que incluye un acumulador
(memoria intermedia) para almacenar los resultados de una
operación aritmética que sirve también como unidad de alma-
cenamiento transitorio de bitios de datos recibidos en el
5 sistema de acoplamiento de comunicación en serie. Se escoge
un conjunto de instrucciones tal que la memoria intermedia
es también el destino implicado de los resultados de la uni-
dad aritmética. Esta organización de doble acceso sirve co-
mo medios de recepción de datos en serie, modificación de
10 los datos y retransmisión de los datos al sistema de acopla-
miento de comunicación en serie.

De acuerdo con un aspecto del invento, la sincro-
nización entre el medio de transmisión en serie y el microor-
denador se realiza mediante un enclavamiento que es activa-
15 do por el microordenador para detener la interpretación se-
cuencial de instrucciones hasta que se recibe un bitio, en
cuyo instante una señal desactiva el enclavamiento para
reiniciar así las instrucciones de programa.

De acuerdo con otro aspecto del invento, la co-
20 municación entre el microordenador y un número de módulos
de entrada/salida sobre un sistema de acoplamiento de deman-
da-respuesta se consigue por medio de otro enclavamiento
que es activado por el microordenador para detener así la
interpretación secuencial de instrucciones hasta que se re-
25 cibe una respuesta procedente de un módulo I/O para reini-
ciar así la interpretación secuencial de instrucciones has-
ta que los datos han sido transferidos entre el microordena-
dor y el módulo I/O.

El invento tiene la ventaja de que proporciona un
30 flujo de datos compacto y simple que lo hace especialmente

1 adaptable a la moderna tecnología de circuitos integrados.

Adicionalmente, el invento crea medios simples para enclavar la transferencia de datos tanto entre el camino de entrada en serie y el microordenador como entre la unidad de acoplamiento de demanda/respuesta de los terminales y el microordenador.

Breve Descripción de los Dibujos

Los precedentes y otros objetos, características y ventajas del invento se pondrán de manifiesto por la siguiente descripción detallada de una realización preferida del invento como se ilustra en los dibujos que se acompañan, en donde:

La figura 1 es un diagrama global de bloques de un adaptador de bucle-terminal en el cual se incorpora el invento;

la figura 2 es un diagrama lógico detallado del descodificador de origen/destino, las líneas de origen, la unidad lógica aritmética (ALU) y el dispositivo o circuito de retención de acumulador;

las figuras 3a y 3b corresponden a un diagrama lógico detallado del codificador-descodificador de operaciones;

la figura 4 es un diagrama lógico de la Memoria de Acceso Aleatorio (memoria RAM) y la Memoria Fija (memoria ROM),

la figura 5 es un diagrama lógico detallado de los registros de desplazamiento de salida de datos, selección e indicador;

la figura 6 es un diagrama de bloques detallado de los circuitos de retención de destino;

1 la figura 7 es un diagrama de bloques detallado del contador de instrucciones;

la figura 8 es un diagrama de bloques detallado del contador de escrutinio-bitios y el circuito lógico de acoplamiento I/O.

5 la figura 9 es un diagrama detallado de bloques del circuito lógico de control de acoplamiento entrada/salida;

10 la figura 10 es un diagrama detallado de bloques del circuito de control de sincronismo de bucle;

la figura 11 es un diagrama detallado de bloques del circuito lógico de control de acoplamiento de entrada/salida;

15 la figura 12 es un diagrama detallado de bloques del circuito de retención de espera de sincronismo y el circuito lógico excitador de impulsos de sincronismo;

la figura 13 es un diagrama de tiempos de un dispositivo de operación de salida no ocupado;

20 la figura 14 es un diagrama de tiempos de un dispositivo de operación de salida ocupado o no equipado;

las figuras 15 y 16 son diagramas de tiempos de una operación de entrada (escrutinio y entrada de datos); y

25 la figura 17 es un diagrama de flujo de un ejemplo que representa las operaciones necesarias para realizar el reparto de intervalos selectores.

A. Descripción Preliminar del Invento

30 Con referencia a la figura 1, está representado un diagrama global de bloques de un adaptador de bucle terminal (TLA) en el cual está incorporado el invento. El adaptador de bucle terminal está conectado en serie con un bucle de

1 transmisión como se expone en la Patente Norteamericana
3.921.137. La conexión de bucle está realizada por medio de
una línea 10 de recepción que recibe bitios del bucle y una
línea 12 de envío que sitúa bitios sobre el bucle. Está dis-
5 puesto un circuito 14 de control de sincronismo de bucle pa-
ra sincronizar la transmisión de datos de acuerdo con la Pa-
tente Norteamericana 3.921.137. El circuito de control de
sincronismo de bucle genera señales sobre una línea de sin-
cronismo de envío y una línea de sincronismo de recepción,
10 con lo cual los datos son transmitidos en sincronismo den-
tro y fuera del adaptador TLA. Está dispuesto un circuito
16 de retención de pretransmisión en serie con un circuito
18 de retención de transmisión para almacenar transitoria-
mente bitios recibidos antes de su retransmisión en el bu-
15 cle.

El adaptador TLA está compuesto por un microorde-
nador y diversas líneas generales conmutadas para realizar
las funciones de control necesarias.

El microordenador incluye una unidad 20 lógica
20 aritmética con un circuito 22 de retención acumulador que
sirve como receptáculo para resultados de operaciones arit-
méticas y también como acceso de entrada para bitios de da-
tos recibidos desde el bucle 10. Está dispuesta una memoria
24 de acceso aleatorio (Memoria RAM) para funcionar como al-
25 macén de datos y está dispuesta una memoria fija 26 (memoria
ROM) para almacenar instrucciones. Está dispuesto un conta-
dor 28 de instrucciones para ser incrementado al realizarse
las instrucciones.

Están conectados al adaptador TLA, por medio de
30 una unidad 30 de control de acoplamiento I/O, dispositivos

1 de entrada/salida (I/O) (por ejemplo, terminales interacti-
vos). Esta unidad de control está también conectada a un
contador 32 de bitios de escrutinio y a un registro 34 de
desplazamiento de selección para proporcionar información
5 de selección a los dispositivos I/O para selección del dis-
positivo I/O.

El flujo de datos dentro del microordenador se
realiza por medio de dos líneas generales, una línea gene-
ral 36 de entrada y una línea general 38 de salida. Estas
10 líneas generales son líneas generales de un solo hilo y es-
tán conectadas a un pluralidad de conmutadores 40 de fuen-
te y conmutadores 42 de destino. Los conmutadores de fuente
están conectados a varias líneas de fuente y los conmutado-
res de destino están conectados a varias líneas de desti-
15 no. Una de las líneas de destino está conectada a un regis-
tro 44 de desplazamiento de salida de datos para proporci-
onar datos en un formato adecuado para tratamiento por un
dispositivo de entrada/salida.

Las entradas de puerta de los conmutadores 40,
20 42 de fuente y destino están conectadas a un descodifica-
dor 48 de fuente/destino. El descodificador de fuente/desti-
no está conectado a la memoria fija y descodifica instruc-
ciones para cerrar o abrir así secuencialmente conmutado-
res respectivos para facilitar el control de transferencia
25 de datos de acuerdo con la información contenida en las ins-
trucciones.

En funcionamiento, el sistema de acoplamiento del
microordenador al bucle 10 es activado controladamente para
entrada al microordenador por medio de una señal de sincro-
30 nismo de recepción generada por el circuito 14 de control

1 de sincronismo de bucle. El circuito de control de sincro-
nismo de bucle genera también impulsos de reiniciación (no
representados) en el intervalo de recepción de bitio e in-
tervalo de transmisión de bitio. El microordenador prosigue
5 secuencialmente a través de un microprograma bajo control
del contador 28 de instrucciones. El microordenador entra
en un estado de espera cuando ha terminado con todo el tra-
bajo anterior y está listo para recibir el siguiente bitio
de bucle. Esto se realiza activando el circuito de retención
10 de espera para recepción en el grupo 50 de circuitos de re-
tención. Cuando es el momento de recibir el bitio siguiente,
el circuito 14 de control de sincronismo de bucle genera un
impulso de reiniciación que repone el circuito de retención
de espera para volver a iniciar así las operaciones del mi-
15 croordenador en el mismo punto en que se detuvo el micropro-
grama.

El circuito de acoplamiento del microordenador a
los dispositivos I/O se establece por medio del circuito ló-
gico 30 de control de acoplamiento I/O. Para operaciones de
20 salida a un dispositivo, el microordenador carga la direc-
ción del dispositivo y la orden del dispositivo o datos den-
tro del registro 44 de salida de datos (registro DOR) e ini-
cia la transferencia al dispositivo activando el circuito de
retención de registro DOR completo en el grupo de circuitos
25 50 de retención. Cuando se ha completado la transferencia al
dispositivo, es recibida una respuesta de solicitud en el
circuito 30 de control de acoplamiento I/O que repone el cir-
cuito de retención de registro DOR completo. El microordena-
dor vigila continuamente el estado del circuito de retención
30 DOR y cuando está repuesto reanuda el microprograma, sale del

1 estado de espera y desplaza los bitios entrantes a la memo-
ria 24.

Los dispositivos I/O inician una operación de en-
trada haciendo aparecer una señal sobre la línea de solici-
5 tud. El microprograma comprueba el estado de esta línea por
medio del conmutador de fuente adecuado, siempre que esté
listo para atender una solicitud de entrada. El microorde-
nador inicia la operación de entrada y pone la unidad de
tratamiento en un estado de espera activando el circuito de
10 retención de espera para lectura en el grupo de circuitos
50 de retención. Puesto que la fuente de la solicitud es
desconocida, se inicia una operación de escrutinio por el
circuito 30 de control de acoplamiento I/O por medio del
contador 32 de bitios de escrutinio. El contador de bitios
15 de escrutinio está conectado a los registros 34 de despla-
zamiento de selección y se incrementa en una serie de direc-
ciones hasta que se encuentra la dirección del dispositivo
I/O. Una vez que se ha completado la operación de escruvi-
nio, el dispositivo I/O hace desaparecer la señal sobre la
20 línea de solicitud y hace aparecer la señal de respuesta
de solicitud. La respuesta de solicitud repone el circuito
de retención de espera para lectura para reiniciar así las
operaciones del microordenador. El microordenador reanuda
su incremento a través de instrucciones secuenciales para
25 realizar una transferencia de datos desde la línea de entra-
da de datos a la memoria 24 de acceso aleatorio.

B. Descripción General de la Realización Preferida

B.1. Conjuntos de Instrucciones

1. LDA = CARGAR ACUMULADOR (desde una Fuente)
- 30 2. ANA = Función lógica "Y" con Acumulador (des-
de una Fuente)

- 1 3. ORA = Función lógica "0" con Acumulador (desde una Fuente)
4. OIA = Función lógica "0" con Acumulador (desde una Fuente) e invertir el resultado
- 5 5. LDO = CARGAR REGISTRO DE DESPLAZAMIENTO DE SALIDA DE DATOS (desde una Fuente)
6. EBZ = Función lógica "0" EXCLUSIVA con Acumulador (desde una Fuente) y BIFURCAR si el resultado es cero.
- 10 EBE = Función lógica "0" EXCLUSIVA con Acumulador (desde una Fuente) y Bifurcar si el resultado es uno.
7. ADD = SUMAR con ACARREO y ACUMULAR (desde una Fuente)
- 15 Bitio \oplus Acarreo \ominus Acumulación \rightarrow Acumular.
- Bitio. Acarreo + Bitio. Acumul. + Acarreo. Acuml. \rightarrow Acarreo
- 20 8. LBZ = CARGAR Acumulador (desde una Fuente) y BIFURCAR si el resultado es cero.
- LBB = CARGAR Acumulador (desde una Fuente) y BIFURCAR si el resultado es "uno".
9. LDP = CARGAR REGISTRO DE PRETRANSMISION (Desde una Fuente)
- 25 10. STA = ALMACENAR Acumulador (en un Destino).
11. RST = REPONER Destino a CERO
12. SET = ACTIVAR Destino a UNO
13. UBR = BIFURCAR Incondicionalmente

30 B.2. Circuitos de Retención y Fuente-Destino de Entrada/salida

	<u>ID</u>	<u>Fuente</u>	<u>Destino</u>
1	SD-0	"CERO"	Reserva
	SD-1	ACC	Registro de Desplazamiento IND
5	SD-2	SINCRONISMO DE ENCUADRE	SINCRONISMO DE ENCUADRE
	SD-3	"UNO"	REPOSICION DE PROGRAMA
	SD-4	REGISTRO "DOR" LLENO	REGISTRO "DOR" LLENO
	SD-5	MODO DE PASO	MODO DE PASO
10	SD-6	BS-4	SUPRIMIR
	SD-7	SOLICITUD	Reserva
	SD-8	INHABILITAR TLA	ESPERAR PARA LECTURA
	SD-9	BS-1	ESPERAR PARA RECEPCION
15	SD-10	BS-2	PRETRANSMISION
	SD-11	ACARREO	ACARREO
	SD-12	BS-8	REGISTRO DE SALIDA DE DATOS
20	SD-D-13	REGISTRO DE DESPLAZAMEN TO "SEL"	REGISTRO DE DESPLAZAMEN TO "SEL"
	SD-14	ENTRADA DE DATOS	Reserva
	SD-15	ENTRADA/SALI DA% EN MODO DE PASO	Reserva

B.3 Memoria RAM como Fuente y Destino

25 La memoria de acceso aleatorio (memoria RAM) está disponible para el microprograma para el almacenamiento de datos e información de control. Esta memoria tiene acceso secuencial por bitios y se establece acceso a la misma como fuente por cualquier operación de fuente y como destino

30 por las operaciones de Almacenar, Reponer y Activar o Esta-

1 blecer.

B.4 Fuentes de entrada/salida (I/O) y de circuito de retención

Fuente SD-0 "CERO"

5 La fuente "CERO" suministra el estado lógico "0" para carga u operaciones de conexión y el estado lógico "0" aritmético para la operación SUMAR.

No se necesitan circuitos para esto, puesto que está condicionado por la ausencia de una entrada de fuente ALU.

10 Fuente "ACC" SD-1

El acumulador, que es el destino implicado de todas las operaciones de fuente, excepto las operaciones LDO y LDP, puede ser utilizado en sí mismo como una fuente válida en estas mismas operaciones. Por ejemplo LBB, ACC actuarán como comprobación y para Bifurcar sobre el bitio en el acumulador. Estas operaciones dejarán inalterado el contenido del acumulador.

Fuente SD-2 "SINCRONISMO DE ENCUADRE"

20 El circuito de retención "SINCRONISMO DE ENCUADRE", como fuente, puede ser interrogado para determinar el estado en curso en lo que respecta a sincronismo de encuadre, es decir puede ser utilizado como marca indicadora en el micro código.

Fuente SD-3 "UNO"

25 La fuente "UNO" suministra el estado lógico "1" para operaciones de carga o de unión y el estado lógico aritmético "1" para la operación SUMAR.

Fuente SD-4 "REGISTRO DOR LLENO"

30 El circuito de retención "REGISTRO DOR LLENO" es también un destino válido y cuando está activado inicia una

1 operación de salida a un dispositivo sobre el circuito de
acoplamiento I/O. La operación de salida es completada por
circuitos autónomos de confrontación en ambos lados de la
unidad de acoplamiento entrada/salida. Al final de esta se-
5 cuencia en donde el contenido del Registro de Desplazamien-
to de Salida de Datos de 9 pasos es transferido sobre la
unidad de acoplamiento al dispositivo seleccionado, es re-
puesto el circuito de retención "REGISTRO DOR LLENO". Como
fuente, puede ser interrogado por el microprograma para de-
10 terminar si se ha completado o no esta Operación de Salida
I/O.

Fuente SD-5 "MODO DE PASO"

El circuito de retención "MODO DE PASO" es también
un destino válido y puede ser activado o repuesto por micro
15 código como marca indicadora que indica modo de paso. Es
también activado por circuitos en la unidad de acoplamien-
to I/O cuando se inicia una operación de salida a un dispo-
sitivo no conectado. Esta ACTIVACION por circuitos es váli-
da solamente si la señal I/O MODO DE PASO tiene nivel bajo,
20 cuyo caso se produce mediante un puente exterior a masa.

El microprograma comprueba, por consiguiente, el
circuito de retención de MODO DE PASO para determinar si es-
tá indicado o no el Modo de Paso. En este modo de funciona-
miento, todos los bitios de bucle recibidos serán transmiti-
25 dos a lo largo del bucle sin alteración.

La señal I/O MODO DE PASO es también una Fuente
válida y puede ser interrogada, por consiguiente, por el mi-
crocódigo.

Fuente SD-6 "BS-4"

30 Fuente SD-9 "BS-1"

1 Fuente SD-10 "BS-2"

Fuente SD-12 "BS-8"

5 Estas cuatro fuentes tendrán normalmente nivel alto (significación de cero) pero tendrán bajo (significación de estado lógico uno) si están derivadas a masa. Esto se hace para asignar una dirección. Las líneas están ponderadas con coeficientes 1, 2, 4 y 8 para proporcionar 16 valores binarios posibles. La dirección de terminal asignada, denominada también "Intervalo Selector Básico" puede ser
10 así interrogada por el microprograma. La dirección asignada corresponde a uno de los dieciseis intervalos selectores de orden transmitidos por cada encuadre sobre el bucle.

Fuente SD-7 "SOLICITUD"

15 La fuente "SOLICITUD" es un conjunto de selección múltiple en línea procedente del sistema de acoplamiento I/O. Esta línea es utilizada por el dispositivo para señalar que tiene información lista para ser transmitida. El microprograma comprueba el estado de esta línea en instantes adecuados y si está presente una señal inicia una operación de entrada.
20

Fuente SD-8 "INHABILITAR"

25 La fuente "INHABILITAR" es una línea exterior. Un nivel negativo o nivel de masa sobre esta línea puede ser interrogado por el microprograma en intervalos apropiados y pueden ser adoptadas las medidas adecuadas de inhabilitación. Esta señal inhabilita el aparato en cuanto a reconocer cualquiera de sus propios intervalos selectores sobre el bucle. Todas las funciones de Impulsos de Sincronismos y Sincronismo de Encuadre tienen lugar normalmente y son transmitidos los bitios de bucle.
30

1 Fuente SD-11 "ACARREO"

El circuito de retención "ACARREO" es también un destino válido y puede ser activado o repuesto antes de la adición o utilizado para almacenamiento transitorio en la adición para retener el acarreo resultante de una
5 operación SUMAR precedente.

Fuente SD-13 "REGISTRO DE DESPLAZAMIENTO SEL"

El REGISTRO DE DESPLAZAMIENTO SEL es un registro de desplazamiento de cuatro pasos. Al completarse una Operación de Entrada I/O, este registro contendrá la dirección del dispositivo de entrada/salida que haya sido interrogado individualmente. El microprograma tiene acceso al bitio de origen superior y el registro es desplazado hacia el orden superior cada vez que es utilizado como Fuente en una ejecución de Operación. El microprograma tiene acceso, por
10 consiguiente, a la dirección completa, bitio por bitio. La dirección se requiere, por ejemplo, en la generación de una orden de ATENCION.
15

El registro de DESPLAZAMIENTO SEL es también un destino válido, como se describe en la sección 5.5. Brevemente, es utilizado como destino para formar el conjunto de la dirección de dispositivo para su transmisión sobre el sistema de acoplamiento I/O en una Operación de Salida I/O.
20

Fuente SD-14 "ENTRADA DE DATOS"

La fuente ENTRADA DE DATOS es un conjunto de selección múltiple en línea procedente del dispositivo. Los nueve bitios de datos aparecen sobre esta línea uno después de otro durante el intervalo de Encuadre que comienza con la aparición de la señal "Respuesta de Solicitud" durante
25 una Operación de entrada. La aparición de la señal Respues-
30

1 ta a Solicitud origina también la finalización del Estado
de Espera para Lectura y reanuda así la ejecución de ins-
trucción. La secuencia LDA, STA, LDA, STA, etc de microcódigo
5 para nueve pares de instrucciones consecutivas sería utili-
zada para desplazar estos datos entrantes en la memoria RAM
para posterior análisis.

Fuente SD-15 "I/O MODO DE PASO"

La fuente "I/O MODO DE PASO" está derivada a masa
si ha de utilizarse el modo de paso. Adicionalmente a su
10 utilización como "fuente" para el microcódigo, esta entra-
da también permite el envío de una señal de activación por
circuito al Circuito de Retención MODO DE PASO, cuya señal
es generada cuando es seleccionado un dispositivo no conec-
tado para una Operación de Salida I/O.

15 B.5 Destinos de Circuito de Retención

SD-0 (no utilizados)

Destino SD-1 "REGISTRO DE DESPLAZAMIENTO IND"

El destino "REGISTRO DE DESPLAZAMIENTO IND" es un
registro de desplazamiento de cuatro pasos cuyos bitios 1,
20 2, 3 y 4 originan el encendido de indicadores IND1, IND2,
IND3 e IND4 exteriores correspondientes. El bitio número 1
puede ser cargado, activado o repuesto por una de las tres
instrucciones "Destino". Cuando ocurre esto, el registro es
también desplazado de modo que el contenido antiguo de la
25 posición 1 es desplazado a la posición 2 y así sucesivamen-
te, perdiéndose el contenido antiguo de la posición 4. En
general, se utiliza una serie de cuatro operaciones de des-
tino para volver a cargar el contenido del "REGISTRO DE
DESPLAZAMIENTO IND".

30 Destino SD-2 "SINCRONISMO DE ENCUADRE"

1 El microcódigo activa el circuito de retención SINCRONISMO DE ENCUADRE después que ha reconocido una o más de las pautas de bitios de "encuadre" distintivas que pasan por el bucle y ha sincronizado el programa con estas pautas.

5 Repone el circuito de retención SINCRONISMO DE ENCUADRE siempre que se haya perdido este sincronismo de encuadre.

El circuito de retención SINCRONISMO DE ENCUADRE es también una fuente válida y puede ser interrogada por el microprograma para determinar el estado en curso de la sin-

10 cronización de encuadre.

Destino SD-3 "REPOSICION DE PROGRAMA"

El Circuito de Retención "REPOSICION DE PROGRAMA" es activado por el microprograma en respuesta a una Orden de Reposición y es repuesto por el microprograma después

15 de aproximadamente un intervalo de bitio de unidad de acoplamiento a bucle. El circuito de retención, mientras está activado, origina una señal de nivel alto en la línea REPOSICION de salida múltiple de acoplamiento de entrada/salida. Esta señal repone a su vez todos los dispositivos conecta-

20 dos a la unidad de acoplamiento. El circuito de retención REPOSICION DE PROGRAMA repone los siguientes registros y circuitos de retención:

Registro de Desplazamiento IND

Registro de Desplazamiento SEL

25 Registro de Desplazamiento de Salida de Datos

Circuito de Retención de Sincronismo de Encuadre

Circuito de Retención de Supresión

Circuito de Retención de Espera para Lectura

Circuito de Retención de Registro DOR lleno

30 Circuito de Control de Acoplamiento I/O y Circuitos de Retención Asociados.

Destino SD-4 "REGISTRO DOR LLENO"

1 El circuito de retención "REGISTRO DOR LLENO" es
activado por el microprograma para iniciar una Operación
de Salida a un dispositivo. La operación de activación es
5 ejecutada después que la dirección del dispositivo haya si-
do cargada en el Registro de Desplazamiento SET y haya sido
cargada la Orden de dispositivo o Datos en el registro de
desplazamiento de salida de datos. El circuito de retención
REGISTRO "DOR" LLENO inicia la operación de salida y el cir-
10 cuito lógico de control de salida completa la secuencia que
transfiere el contenido del registro de desplazamiento de
salida de datos en serie sobre el sistema de acoplamiento
hacia el dispositivo seleccionado. Siguiendo a la transfe-
rencia del noveno bitio, es repuesto automáticamente el cir-
15 cuito de retención REGISTRO "DOR" LLENO, como lo es el cir-
cuito lógico de control de salida.

El circuito de retención REGISTRO "DOR" LLENO es
también una fuente válida y puede ser interrogada por el
microprograma para detectar la finalización de la Operación
20 de Salida.

Destino SD-5 "MODO DE PASO"

El circuito de retención "MODO DE PASO" puede ser
activado o repuesto por el microprograma según se requiera
para entrar o salir del Modo de Paso. Puede también ser ac-
25 tivado por el circuito lógico de control en el caso de que
se intente transferir una orden de dispositivo a un disposi-
tivo no conectado. Esta última entrada de activación es efec-
tiva solamente si está presente como entrada la señal "I/O
EN MODO DE PASO". Esta señal es proporcionada en el momento
30 de la instalación colocando un puente a masa sobre la entra-

1 da "I/O en Modo de Paso".

La finalidad del modo de paso es facilitar el reparto de intervalos selectores, lo que permite a múltiples usuarios (un grupo de intervalos selectores) compartir la misma dirección de intervalo selector. Un usuario transmite en el Modo de Paso los bitios de bucle sin alteración. Se requieren para controlar el modo de paso una nueva orden "Salir del Modo de Paso" y una extensión de la operación de Orden de Atención.

10 Destino SD-6 "SUPRIMIR"

El circuito de retención "SUPRIMIR" puede ser activado o repuesto por el microprograma según se requiera para suprimir la actividad de un dispositivo de entrada/salida. El circuito de retención SUPRIMIR origina una señal de nivel alto en la línea "Suprimir" de salida múltiple a los dispositivos I/O. Los circuitos de control de acoplamiento permiten que la línea de supresión cambie solamente cuando no está activa la línea de Encuadre. La señal "Suprimir" impide que puedan ser enviadas sobre el sistema de acoplamiento solicitudes de lectura y solicitudes de atención. Puede también utilizarse para evitar que no puedan ser tratadas solicitudes mientras el sistema está en el modo "Escribir Eco" y durante operaciones de entrada.

25 El adaptador de dispositivo debe hacer desaparecer la señal de su línea de Solicitud cuando aparece la señal Suprimir. El adaptador de dispositivo sería también capaz de aceptar una orden cuando sube la señal Suprimir.

30 El circuito de retención SUPRIMIR está repuesto y la línea Suprimir tomará nivel bajo cuando pueda ser aceptada la Solicitud de Dispositivo.

SD-7 (no utilizado)Destino SD-8 "ESPERAR PARA LECTURA"

El circuito de retención "ESPERAR PARA LECTURA" puede ser activado por el microprograma para iniciar una operación de entrada I/O. Esto se efectuará en respuesta a una solicitud de entrada/salida que significa que el dispositivo está solicitando Atención o está listo para la lectura de datos o Información de Percepción. La acción de "activar" es tomada en un instante tal que el escrutinio resultante y transferencia de datos puedan completarse antes del siguiente intervalo de envío de bitio de bucle.

El circuito de retención ESPERAR PARA LECTURA, cuando está activado, hace que el microordenador entre en el estado "ESPERAR". La dirección de memoria ROM de la siguiente instrucción es retenida en el contador de instrucción y esa instrucción está disponible en la salida de memoria ROM preparada para ejecución inmediata después de la salida del estado ESPERAR.

El circuito de retención ESPERAR PARA LECTURA inicia también el Escrutinio por parte de los controles de acoplamiento de Operación de entrada I/O. En la operación de escrutinio las direcciones de dispositivo son presentadas secuencialmente hasta que se alcanza la dirección del dispositivo que origina la solicitud. Cuando ocurre esto el dispositivo eleva el nivel de la señal Respuesta a Solicitud y hace caer el nivel de la señal SOLICITUD. La subida de la señal Respuesta a Solicitud hace que sea retenida la dirección del dispositivo que responde en el Registro de Desplazamiento SEL, es repuesto el Contador de Escrutinio para servir como contador de bitios y es repuesto el circuito

1 de retención "Esperar para Lectura" para volver a iniciar las operaciones del microordenador. El dispositivo seleccionado envía los datos secuencialmente sobre la línea Entrada de Datos.

5 El microprograma desplaza los datos entrantes dentro de la memoria RAM para ejecutar nueve instrucciones consecutivas LDA, STA, o sus equivalentes con la línea "ENTRADA DE DATOS" y MEMORIA RAM, como fuente y destino, respectivos.

10 Al completarse la transferencia de datos de nueve bits, como se indica por el contador de bits en el circuito de control de Acoplamiento I/O, la dirección de selección es inhabilitada de conexión de las líneas de selección de acoplamiento y son respuestos los circuitos de control. La dirección del dispositivo solicitante permanece en el registro de desplazamiento SEL. Si la solicitud era de Atención, el microprograma lee la dirección de dispositivo del registro SEL y confecciona una Orden de Atención para transmisión en el bucle.

20 SD-9 "ESPERAR PARA RECEPCION"

El circuito de retención "ESPERAR PARA RECEPCION" proporciona el enclavamiento básico entre el microprograma y el bucle. Este circuito de retención se activa cuando el microprograma ha completado todas las operaciones asociadas con la recepción y transmisión del último bitio de bucle. El microordenador es puesto así en el estado "Esperar" y permanece en el mismo hasta que se recibe el siguiente bitio de bucle. En este instante el Circuito de Control de Sincronismo de bucle genera un impulso RIS que origina el ingreso en sincronismo del bitio nuevamente recibido en el

25

30

1 "Acumulador" y también en el circuito de retención "Pretrans
misión" y repone entonces el circuito de retención "Esperar
para Recepción", para reiniciar las operaciones del microor
denador. Si el bitio recibido ha de ser transmitido por el
5 bucle, no se necesita ninguna acción por parte del micropro
grama. Si ha de ser enviado un bitio diferente del que se
ha recibido, el circuito de retención de Pretransmisión de-
be ser cargado o puesto en el nuevo estado antes del si-
guiente intervalo de envío de bitio.

10 Destino SD-10 "PRETRANSMISION"

El circuito de retención "PRETRANSMISION" es uti-
lizado para retener el bitio que será enviado seguidamente
sobre el bucle. Cuando se alcanza el instante para el envío
de este nuevo bitio, el Circuito de Control de Sincronismo
15 de Bucle genera un impulso RLS que sitúa el contenido del
circuito de retención de Pretransmisión en el circuito de
retención de Transmisión de Paso Controlado que excita a su
vez el excitador TTL de Línea de Transmisión.

El circuito de retención de Pretransmisión es car-
20 gado automáticamente con los bitios recibidos sobre el bu-
cle. El paso de bitios no requiere acción por parte del mi-
croprograma. El envío de nuevos bitios se realiza por car-
ga de microcódigo, activación o reposición del circuito de
retención de Pretransmisión. El tiempo disponible para esta
25 acción se extiende desde la recepción de un bitio aproxima-
damente en el centro del intervalo de bitio de bucle hasta
el instante de envío de bitio en la iniciación del siguien-
te intervalo de bitio de bucle. Esta temporización se dedu-
ce del retardo de aproximadamente un intervalo de bitio de
30 bucle a través del circuito.

Destino, SD-11 "ACARREO"

1 El circuito de retención "ACARREO" es activado automáticamente al resultado de "ACARREO" de una operación SUMAR. Su utilización como destino está prevista principal-
5 mente para proveer medios para la reposición o activación a un estado inicial adecuado precedente a la suma o resta de dos números. Por ejemplo, la comparación de dos números implica la operación de substracción que requiere un acarreo inicial. El circuito de retención de acarreo, siendo una
10 fuente válida, es también una posición práctica para almacenar marcas indicadoras transitorias siempre que no se utilice la operación SUMAR.

Destino SD-12 "REGISTRO DE DESPLAZAMIENTO DE SALIDA DE DATOS"

15 EL "REGISTRO DE DESPLAZAMIENTO DE SALIDA DE DATOS" de nueve pasos es cargado por el microprograma en preparación para una operación de salida I/O. La orden o datos de dispositivo es situada en el registro de desplazamiento de salida de datos bitio por bitio en el orden en el cual han
20 de ser transmitidos los bitios al dispositivo, es decir siguiendo el orden de "primero en entrada primero en salida". El registro se desplaza cada vez que es cargado el primer bitio, es activado o es repuesto.

Durante la Operación de Salida subsiguiente, el
25 contenido de este registro de desplazamiento es transmitido controladamente al dispositivo en la línea de salida múltiple DATOS DCR. El desplazamiento tiene lugar por cada incremento del contador PB y cesa cuando el cómputo alcanza 9.

Destino SD-13 "REGISTRO DE DESPLAZAMIENTO SEL"

30 EL REGISTRO DE DESPLAZAMIENTO SEL de cuatro pasos

1 es cargado por el microprograma en preparación para una
Operación de Salida I/O. La dirección del Dispositivo es
situada en el registro de desplazamiento SEL bitio por bitio
5 en orden descendente de pesos de dirección. El registro
se desliza cada vez que es cargado el primer bitio,
es activado o es repuesto.

Durante la Operación de Salida subsiguiente, el
contenido de este registro es transmitido controladamente
en bloque a las líneas de salida múltiples 1, 2, 4, 8 de
10 registro SEL.

Destinos SD-14 y SD-15 (no utilizados)

C. Flujo de Datos

La organización del adaptador TLA está descrita
con detalle en las siguientes subsecciones con referencia
15 a bloques lógicos detallados en las figuras 2 a 12.

C.1 Descodificador de Fuente/Destino

Este circuito lógico (bloque 48 en la figura 2)
descodifica los bitios 6-11 de memoria ROM en 26 líneas in-
dividuales para utilización en el control de transmisión
20 tanto de fuentes como de destinos.

C.2 Línea general de entrada

El circuito lógico 52, figura 2, da paso a las
diversas fuentes sobre una línea común denominada Datos
Conmutados. Se crea una línea de vía múltiple de entrada por
25 la conmutación selectiva de "Datos Conmutados" procedentes
del circuito lógico de vía múltiple de entrada o de los da-
tos "RAM" procedentes de la Memoria de Acceso Aleatorio. La
elección está determinada por el bitio 4 de memoria ROM que
es "0" para fuentes RAM y "1" para circuitos de retención o
30 fuentes de entrada/salida.

1 C.3 Descodificador de código de Operación y
 Unidad lógica Aritmética

5 La línea general de entrada, junto con las líneas
ACC y ACARREO, son las entradas de datos a la unidad lógica
aritmética 20 (unidad ALU). Los bitios de Código de Opera-
ción (bitios 0-4 de memoria ROM) controlan selectivamente
la transmisión de la salida ALU adecuada, a través de un
gran circuito "0" (no representado), a la entrada de datos
del circuito de retención D "ACC" y a través de la línea
10 "SALIDA DE ACARREO" a la entrada de datos del circuito de
retención "Acarreo", representado en la figura 6. Este cir-
cuito lógico atiende a todas las operaciones de fuente. Du-
rante el estado "ESPERAR PARA RECEPCION" son presentados los
datos "LINEA DE RECEPCION" a la entrada de datos "ACC". Los
15 datos serán transmitidos en sincronismo por el impulso RLS
procedente del circuito de control de sincronismo de bitio
(figura 10) en el intervalo de recepción de bitio.

20 Se crean líneas generales de salida de doble pola-
ridad por la conmutación selectiva de la línea ACC para la
operación STA, de la línea general de entrada para operacio-
nes LDP o LDO, y de la línea "ROM 3" para operaciones SET
o RST. La línea ROM 3 tiene el estado "1" para operaciones
de ACTIVACION y "0" para operaciones de REPOSICION.

25 Un circuito 54 biestable de bifurcación (BRFF) es
activado por operaciones de bifurcación condicional. Perma-
nece activado durante un ciclo e identifica el ciclo subsi-
guiente como una operación de búsqueda en la memoria ROM de
la DIRECCION DE BIFURCACION y sirve para el fin de evitar
que sea activada la dirección como instrucción.

30 Están dispuestos circuitos lógicos adicionales pa-

1 ra transmitir el impulso de sincronismo A con diversos es-
tados antes de que alcance las entradas de impulso de sin-
cronismo de los diversos circuitos de retención y registros
de desplazamiento que excita.

5 C.4 REGISTROS DE DESPLAZAMIENTO DE LINEA GENERAL DE SALIDA

La figura 5 representa el Registro de desplaza-
miento 44 de salida de datos de nueve pasos utilizado para
formar órdenes o datos para transmisión a un dispositivo
sobre el sistema de acoplamiento I/O en una Operación de
10 Salida subsiguiente. También está representado el registro
34 de desplazamiento SEL de cuatro pasos utilizado para for-
mar la dirección de dispositivo para transmisión sobre las
líneas Selectoras de Unidad de Acoplamiento I/O durante
una Operación de Salida subsiguiente. Este registro es uti-
15 lizado también para captar la dirección de dispositivo al
completarse el escrutinio y retenerla accesible para el
microprograma al finalizar una Operación de Entrada.

C.5 Circuitos de Retención de línea general de Salida

La línea de sincronismo para los circuitos de
20 retención de vía múltiple de salida (figura 6) y para el
registro de desplazamiento IND (51, figura 5) consiste en
una línea portadora de la señal impulso de sincronismo
de temporización de transmisión controlada por el bitio 4
de la memoria ROM, Operación de Salida y señal BRFF inver-
25 tida (figura 3a). La señal correspondiente está presente
solamente para una operación STA, SET o RST con un destino
de circuito de retención y una salida de memoria ROM que
representa una operación válida (no una dirección de bi-
furcación). Esta señal de sincronismo, coincidente con una
30 señal (SD) de destino, hace que el estado de la línea gene-

1 ral de salida sea cargado en el correspondiente circuito de
retención de línea general de salida o en el primer paso
del registro de desplazamiento IND. En el caso del registro
de desplazamiento IND, el contenido del registro es simul
5 táneamente desplazado perdiéndose el bitio de orden más al-
to anterior.

Los cuatro bitios contenidos en el registro de desplazamiento IND originan el encendido de indicadores exteriores correspondientemente numerados.

10 Se describe a continuación el grupo de circuito 50 de retención representado en la figura 6.

El circuito de retención Sincronismo de Encuadre es activado por el microprograma cuando se consigue el "Sincronismo de Encuadre" y es repuesto cuando se pierde el sincronismo de encuadre.

El circuito de retención Reposición de Programa es activado por el microprograma en respuesta a una Orden de Reposición y es repuesto aproximadamente un intervalo de bitio de bucle más tarde. El circuito de retención eleva el nivel de la señal en la línea de reposición de Salida múltiple de acoplamiento para reponer los dispositivos de entrada/salida. Eleva también el nivel de la señal presente en las líneas "T" de reposición internas para reponer el circuito lógico de control de sistema de acoplamiento de entrada/salida.

25 El circuito de retención Registro DOR lleno es activado por el microprograma para iniciar una Operación de Salida I/O. Es repuesto por el circuito lógico de control cuando se ha completado la Operación de Salida.

30 El circuito de retención Modo de Paso es activado

1 o repuesto por el microprograma y es también activado por
el circuito lógico de control. La activación por circuito
es efectiva solamente si está unida a masa la línea Modo
de Paso. Ello ocurre cuando es transferida una Orden a un
5 dispositivo no conectado. Este circuito de retención es in-
terrogado por el microprograma para determinar si el adap-
tador TLA está o no en el Modo de Paso.

El circuito de retención Suprimir es activado o
repuesto por el microprograma según se requiera para supri-
10 mir solicitudes procedentes de los dispositivos. El circui-
to de retención Suprimir con transmisión controlada copia
el contenido del circuito de retención Suprimir entre inter-
valos de encuadre y cuando está activado eleva el nivel de
la señal en la línea de supresión de salida múltiple de
15 sistema de acoplamiento I/O.

El circuito de retención Esperar para lectura es
activado por el microprograma para iniciar una operación de
entrada I/O. Pone el microordenador en un estado de "espe-
rar" hasta que es repuesto al final del escrutinio, en cuyo
20 instante el microprograma debe leer los datos entrantes.
Si, debido a un fallo de algún tipo, el circuito de reten-
ción "Esperar para Leer" no es repuesto al final de una
señal de escrutinio, será entonces repuesto por el impul-
so RLLS (figura 10) en el siguiente intervalo de transmi-
25 sión de bucle. Esto impide el bloqueo del adaptador TLA.

El circuito de retención Esperar para Recepción
es activado por el microprograma cuando está listo para
recibir el siguiente bitio de bucle. Pone el microordenador
en un estado de "esperar" hasta que es repuesto por el im-
30 pulso RLS en el intervalo de recepción de bitio de bucle.

1 La línea "ESPERAR" es elevada de nivel por cualquiera de los estados "Esperar para Lectura" o "Esperar para Recepción". La línea ESPERAR exterior inhibe la entrada RESTAURAR a ROS. La línea ESPERAR activa el circuito de retención
5 ESPERAR SINCRONISMO (56 de la figura 12) al final del ciclo de instrucción en curso e inhibe así la línea Impulso de Sincronismo A en cuanto a producir el estado "Esperar".

El circuito de retención Pretransmisión es cargado automáticamente con el bitio de bucle recibido en el
10 intervalo del impulso RLS. Puede ser subsiguientemente modificado por el microprograma si el intervalo selector está siendo utilizado por el adaptador TLA. En el intervalo de transmisión de bitio (intervalo del impulso RLLS), el contenido del circuito de Pretransmisión es copiado en el circuito de retención de transmisión y transmitido al bucle
15 por intermedio de la línea TTL de Transmisión.

El circuito de retención Acarreo es automáticamente cargado con el resultado de acarreo de una operación de Sumar. Puede ser también cargado por el microprograma.

20 C.6 Señales de Temporización de Circuitos de Retención e Impulso de Sincronismo A

El impulso de sincronismo A (figura 12) es generado por el estado de bajo nivel de -RCA y -RCB. Es utilizado para controlar la transmisión de resultados del ciclo
25 de instrucción en curso a los circuitos de retención internos TLA y Registros de desplazamiento.

El impulso REPONER MEMORIA ROM (también designado como Impulso de Sincronismo B) es generado por el flanco de bajada de la señal de sincronismo A, figura 4. Es utilizado
30 para reponer los circuitos de retención de salida de memo-

1 ria ROM y para activar un circuito 60 de retención S/R que
controla el paso de resultados de la búsqueda en curso de
memoria ROM a los circuitos de retención de salida de memo-
ria ROM. El circuito 60 de retención S/R es repuesto apro-
5 ximadamente 400 nseg después por la señal de temporización
"RESTAURAR 1".

C.7. Contador de Instrucciones

El contador 28 de instrucciones (figura 7) es un
registro de desplazamiento de reacción de longitud máxima.
10 La ecuación de reacción es la suma de módulo 2 de los bitios
contenidos en las posiciones 0 y 3 combinados en función ló-
gica "O" con el resultado de la función lógica "Y" de todas
las posiciones para incrementarlo a partir del estado de
"todos ceros". El contador progresa secuencialmente a tra-
15 vés de 1024 estados pero no en el orden numérico usual. Las
instrucciones en la memoria ROM son situadas en una corres-
pondiente secuencia de posiciones. Esto es permisible para
bifurcar a la posición cero pero si se permite que el con-
tador de instrucciones evolucione cíclicamente pasará por
20 alto la posición cero.

C.8 Contador de Escrutinio/Bitios

El contador 32 de Escrutinio/bitios, (figura 8)
es un contador de retención del tipo "D" binario de cuatro
bitios. Es utilizado para generar una secuencia de direccio-
25 nes de dispositivo durante la operación de escrutinio y pa-
ra contar el número de bitios transferidos a través del sis-
tema de acoplamiento I/O durante operaciones de entrada/sa-
lida.

C.9 Circuito de Control de Sincronismo de Bucle

30 El Circuito de Control de Sincronismo de Bucle (fi

1 gura 10) sincroniza el adaptador TLA con el bucle. La en-
trada "Impulso de sincronismo" derivada de un oscilador ex-
terior está escogida de modo que la frecuencia de repeti-
ción de la señal presente en ella es muy próxima a 16 veces
5 la frecuencia de repetición de bitios de bucle. Esta señal
de sincronismo actúa sobre un contador de retención del
tipo "D" binario de cuatro bitios que avanza por consiguien-
te 16 estados de cómputo por intervalo de bitio. Cuando el
cómputo evoluciona cíclicamente de 15 a 0 es generado un
10 impulso RLLS para indicar el intervalo de transmisión de
bucle. Cuando el cómputo avanza de 7 a 8 es generado el im-
pulso RLS para indicar intervalo de recepción de bucle. Pa-
ra mantener el contador en la fase correcta con relación al
bucle, todos los flancos de subida de las señales presentes
15 en la línea TTL de recepción están sincronizados con la fa-
se de cómputo en curso y, si el cómputo está comprendido
entre 8 y 15, el siguiente incremento tiene lugar en dos
unidades en vez de en una. Si el cómputo está comprendido
entre 0 y 7 es pasado por alto el siguiente incremento. Es-
20 to mantiene el cómputo en 0 ó en 15 en el flanco delantero
del intervalo de bitio de bucle. El muestreo tiene lugar en
el centro del intervalo de bitio y la transmisión tiene lu-
gar al final del intervalo de bitio. Hay un retardo de un
intervalo de bitio a través del adaptador TLA. El intervalo
25 de recepción de bucle tiene lugar siempre 7 ó más estados
de cómputo antes del intervalo de transmisión. Esto garan-
tiza 7/16 de intervalo de bitio para el funcionamiento del
microordenador desde el intervalo RLS hasta el intervalo
RLLS.

30 C. 10 Circuito Lógico de Acoplamiento I/O (Operación de Sa-
lida)

1 El circuito lógico de acoplamiento I/O (Operación
de Salida) de las figuras 8 y 9 inicia su funcionamiento
cuando el microprograma activa el circuito de retención
"REGISTRO DOR LLENO" (figura 6). Esto se realiza después
5 que el microprograma ha cargado la dirección de dispositivo
en el registro de desplazamiento SEL y la Orden o Datos en
el Registro de Desplazamiento de Salida de datos. Los cir-
cuitos de control, al recibir la señal de aceptación proce-
dente del dispositivo, activan el circuito 62 de retención
10 de aceptación válida y cualquier circuito 64 de retención
transmite el contenido del REGISTRO DE DESPLAZAMIENTO DE SA-
LIDA DE DATOS en serie al dispositivo. Cuando ha sido envia-
do el noveno bitio, son repuestos los circuitos de control
de acoplamiento, incluyendo el circuito de retención REGIS-
15 TRO DOR LLENO.

Un dispositivo ocupado responderá a su dirección
"Seleccionar" haciendo retornar un impulso de aceptación
corto que activa cualquiera de los circuitos 64 de reten-
ción de señal de aceptación. Los circuitos de control reco-
20 nocen esta señal y esperan una señal de aceptación completa
o hasta que el programa repone el circuito de retención RE-
GISTRO DOR LLENO.

Si es enviada una orden a un dispositivo no conec-
tado, no se recibirá aceptación. Los circuitos de control
25 de acoplamiento en este caso comprueban la línea I/O en Mo-
do de Paso (una línea exterior) y si está en el estado de
bajo nivel, activan el circuito de retención "Modo de Paso"
(figura 6) y reponen los circuitos de control de acoplamien-
to, incluyendo el circuito de retención REGISTRO DOR LLENO.
30 Si la línea I/O en modo de paso no está en el estado de bajo

1 nivel (no derivada a masa) los circuitos de control de acoplamiento no cambiarán de estado hasta que el circuito REGISTRO DOR LLENO sea repuesto por el microprograma o hasta que se ejecute una Reposición de Programa.

5 C.11 Circuito Lógico de Acoplamiento I/O (Operación de entrada)

El sistema lógico de acoplamiento I/O en operación de entrada de la figura 11 inicia su funcionamiento cuando el microprograma activa el circuito de retención "ESPERAR PARA LECTURA" (figura 6). Esto se realiza por una instrucción de activación después que un dispositivo ha elevado el nivel de la línea de Solicitud para indicar que necesita atención o está preparado con información de Percepción o Datos. El circuito de retención "Esperar para Leer" activa el circuito 66 de retención "Control de Transmisión-Interrogación Registro SEL", y el circuito 68 de retención "Escrutinio". El circuito de control de acoplamiento interroga a los dispositivos conectando la salida del contador Escrutinio/Bitios (figura 8) a las líneas selectoras de acoplamiento y avanzando entonces el contador sucesivamente a través de la secuencia de direcciones de dispositivo comenzando con la dirección 1. Esta secuencia continúa hasta que el dispositivo "Solicitante" reconoce su dirección y eleva el nivel de la señal "Respuesta a Solicitud" (figura 11).
10
15
20
25
30 Cuando ocurre esto, la dirección de los dispositivos que responden es retenida en el REGISTRO DE DESPLAZAMIENTO SEL, es repuesto el contador Escrutinio/Bitios para servir como contador de bitios y es repuesto el circuito de retención "ESPERAR PARA LECTURA", para volver a iniciar la secuencia del microordenador.

1 En este punto de la secuencia el dispositivo en-
vía su orden o datos a través del sistema de acoplamiento
a la velocidad de transmisión de un bitio por encuadre. El
microprograma desplaza los datos en la memoria RAM mediante
5 una serie de nueve operaciones LDA, STA, o su equivalente.

Los circuitos de control de acoplamiento cuentan
los encuadres correspondientes a los bitios de datos y des-
pués de nueve intervalos de bitio originan la reposición de
los circuitos de control de acoplamiento.

10 C. 12 Memoria RAM

La Memoria 24 de Acceso Aleatorio (figura 4) es
un conjunto de 104 x 1 disponible para el microprograma pa-
ra el almacenamiento de estados de máquina, órdenes en cur-
so, módulos asignados, datos en tránsito, marcas indicado-
15 ras diversas, etc, según se requiera. La memoria es direc-
cionable como fuente válida en todas las operaciones de
fuente y como destino válido en todas las operaciones de
destino.

20 C.13 Memoria ROM

La Memoria 26 fija (figura 4) es un conjunto de
1024 x 12 que contiene las microinstrucciones para el microor-
denador. Recibe sus direcciones del contador 28 de instruc-
ciones (figura 7) y envía sus bitios de salida al Descodi-
ficador de Operación, al descodificador de Fuente/Destino,
25 a las entradas de dirección de memoria RAM y al Contador de
Instrucciones, para Direcciones de Bifurcación.

C.14. Circuito "Esperar Sincronismo"

La finalidad del circuito 56 "Esperar Sincronis-
mo" (figura 12) es sincronizar la entrada y salida del es-
tado "ESPERAR" con el principio de un ciclo de instrucción.
30

1 La entrada en el estado "Esperar" se inicia cuando es acti-
vado cualquiera de los circuitos de retención "Esperar para
Recepción" o "Esperar para Lectura" . Esto ocurre en la úl-
tima mitad de un ciclo de instrucción mientras tiene nivel
5 bajo la señal "Impulso de Sincronismo 2". Cuando sube el ni-
vel de la señal "Impulso de sincronismo 2" al comienzo del
siguiente ciclo, se activa el circuito de retención "Espe-
rar Sincronismo". Esto retiene el Contador de Instrucciones
en su valor en curso e impide que la señal "Impulso de Sin-
10 cronismo A" ponga el adaptador TLA en el estado "esperar".
Una salida retardada del circuito de retención "Esperar Sin-
cronismo" permite una versión acortada de la señal normal
"Restaurar 1", de modo que la señal "Controlar Transmisión
de Estados de Orden I de memoria ROM" caerá en su intervalo
15 normal y retendrá así la salida de memoria ROM durante el
estado "Esperar".

La salida del estado "Esperar" se inicia por la
reposición del circuito de retención "Esperar para Recepción"
o del circuito de retención "Esperar para Lectura". Esto ocu-
20 rre también en la última mitad de un ciclo de instrucción
mientras tiene nivel bajo la señal "Impulso de Sincronismo
2". Cuando la señal "Impulso de Sincronismo 2" sube de ni-
vel, es repuesto el circuito de retención "Esperar Sincro-
nismo". Esto permite a su vez que avance el contador de ins-
25 trucciones y habilite la señal "Impulso de Sincronismo A" de
modo que el microordenador reanudará su funcionamiento.

C.15 Circuito Lógico de Impulsos de Sincronismo

El circuito lógico de Impulsos de Sincronismo (fi-
gura 12) proporciona las señales de sincronismo requeridas
30 para las memorias RAM, ROM y los circuitos integrados. La se-

1 ñal f_1 de sincronismo es alimentada, a través de una cadena
de cuatro circuitos de retención del tipo "D" que están
sincronizados en paralelo por la frecuencia f_2 más baja.
Las salidas de los sucesivos pasos de retención son cuatro
5 copias de la forma de onda de frecuencia f_1 , cada una de las
cuales está retardada en tiempo respecto a la salida ante-
rior. Las correspondientes líneas de señal están indicadas
por QA, QB, QC, QD. Sus inversas también están disponibles.
Un inversor VTL excitado por la línea QD genera la señal
10 "IMPULSO DE SINCRONISMO 2", que constituye la señal básica
de temporización del Contador de Instrucciones de Adaptador
TLA. Las señales de sincronismo de Memoria RAM, designadas
RCA, -RCA y -RCB, son tomadas de inversores excitados por
QA, QA invertida (no QA) y QB, respectivamente. La señal
15 RCB de sincronismo de memoria RAM se deduce de la combina-
ción en función lógica "Y" de dos inversores excitados por
QA invertida y QB invertida, respectivamente. La señal SELEC
TORA DE MEMORIA ROM es tomada de un inversor excitado por la
señal QD invertida y la señal RESTAURACION DE MEMORIA ROM se
20 deduce de la combinación en función lógica "Y" de tres in-
versores excitados por las señales QA invertida, QC y "ESPE
RAR", respectivamente. La señal "ESPERAR" es tomada de un
receptor inversor VTL que es excitado, a su vez, por la se-
ñal "-ESPERAR" de salida de la plaquita TLA. La señal RES
25 TAURACION DE MEMORIA ROM es mantenida a nivel bajo duran-
te el estado "Esperar".

También se requieren, pero no están representados,
cuatro excitadores no inversores para señales "Seleccionar"
del sistema de acoplamiento I/O.

30 D. Microprogramación

1 D.1 General

El adaptador de Bucle terminal (TLA) transfiere información entre el bucle y los diversos dispositivos asociados. El microprograma, en combinación con los circuitos físicos, es capaz de realizar una diversidad de funciones, incluyendo la recepción y almacenamiento de datos de bucle entrantes, descodificación, comprobación y ejecución de órdenes de bucle válidas; envío de datos y órdenes a un dispositivo; y aceptación de datos y solicitudes de servicio procedentes de un dispositivo.

Para facilitar estas operaciones, se requieren diversos registros, contadores, circuitos de retención de modo y circuitos de retención de estado. Hasta el grado en que tales elementos no existen en los dispositivos físicos, son asignados para tales fines los bitios en la memoria RAM.

En funcionamiento normal, cada bitio de bucle es recibido ejecutando la instrucción PONER EN ESTADO DE ESPERA PARA RECEPCION (sección B.5). Esta instrucción activa el circuito de retención "Esperar para Recepción" (figura 6) que pone el microordenador en el estado "Esperar". Cuando llega el siguiente bitio, es generado un impulso "RLS RETARDADO" por el circuito de control de sincronismo de bucle (figura 10) que repone el circuito de retención y hace que se reanude el tratamiento de instrucción con el bitio de bucle que se encuentra en el acumulador. El contenido del acumulador, después de recibir el bitio de bucle, puede haber sido así alterado de su valor en el instante inmediatamente precedente a la instrucción PONER EN ESTADO DE ESPERA para recepción.

1 Solamente está disponible un número limitado de
ciclos después de la recepción de un bitio de bucle antes
de que el circuito de retención PRETRANSMISION sea cargado
si ha de ser modificado el bitio saliente con respecto al
5 que fué recibido. (El intervalo de tiempo depende, por su-
puesto, de la velocidad de transmisión de bitios de bucle).

D.2 Segmentos de Programa

Se dan en las tablas contenidas en la sección D.3
segmentos representativos de microcódigo, que son utiliza-
10 dos para llevar a cabo las funciones anteriormente enumera-
das. Se supone que se tiene familiaridad con el funciona-
miento de las instrucciones del adaptador TLA, descritas en
la sección B.1.

En lo que sigue, la notación "... " representa
15 cualquier número de instrucciones que intervienen, pero sin
incluir la instrucción PONER EN ESTADO DE ESPERA para re-
cepción y de tal modo que no exceda el intervalo de tiempo
correcto entre las instrucciones PONER EN ESTADO DE ESPERA
para la recepción y entre la recepción y la transmisión.

20 El primer grupo de segmentos de microcódigo se re-
fiere al acoplamiento a bucle. La tabla 1a (sección D.3)
muestra cómo son recibidos dos bitios de bucle sucesivos y
almacenados en la memoria RAM en las posiciones RAM 1 y RAM
2, respectivamente.

25 La tabla 1b muestra cómo son transmitidos sobre
el bucle dos bitios de bucle sucesivos en las posiciones
RAM 1 y RAM 2 de la memoria RAM.

En la tabla 1c se muestra la función de invertir
y transmitir un bitio recibido. El bitio es reservado antes
30 de que sea invertido el bitio del acumulador. "CERO" es la

1 fuente de un bitio "cero".

El siguiente grupo de segmentos de microcódigo corresponde a los que se utilizan para acoplamiento entre el adaptador TLA y los dispositivos. La tabla 2a muestra
5 cómo son transmitidos datos a un dispositivo desde la memoria RAM (posiciones RAM 1 a RAM 8) respectivamente. La dirección de dispositivo es desplazada en primer lugar dentro del REGISTRO DE SELECCION desde las posiciones ADDR1, ..., ADDR4. Para fines ilustrativos, supóngase también que se
10 requiere que el primer bitio del registro DOR a enviar al dispositivo es un cero. Los datos son desplazados a continuación dentro del REGISTRO DE SALIDA DE DATOS desde las posiciones RAM 1,, RAM 8. Finalmente, es activado el circuito de retención REGISTRO DOR LLENO.

15 La tabla 2b ilustra cómo se realiza la transferencia de datos desde un dispositivo. La activación del circuito de retención ESPERAR PARA LECTURA pone el microordenador en el estado de espera y el sistema de circuitos comienza a interrogar individualmente a los diversos dispositivos como
20 se ha descrito en la sección F. Cuando se reanuda el tratamiento, se espera que el primer bitio de los datos de dispositivo esté sobre la línea ENTRADA DE DATOS y que cada bitio permanezca sobre la línea exactamente durante dos ciclos de máquina. Al completarse esta operación, el REGISTRO
25 DE SELECCION contiene la dirección del dispositivo que transmite.

Un tercer grupo de segmentos de microcódigo es el que se utiliza para realizar diversas funciones TLA interiores. La tabla 3a muestra cómo es comprobada una corriente de
30 bitios RAM 1, RAM 4 de la memoria RAM en cuanto a la

1 aparición de una pauta "1001" de bitios específica. Al fi-
nal del segmento el acumulador se activa si la pauta de me-
5 memoria RAM concuerda con la pauta deseada.

La tabla 3b muestra cómo son comparados dos cam-
5 pos de 2 bitios (bitios A1, A2 y B1, B2 de la memoria RAM).
Se supone que se requiere una bifurcación a la dirección
"NO COMPARAR" si los dos campos no coinciden.

La Tabla 3c ilustra la descodificación de un cam-
po de dos bitios (bitios A1 y A2) de la memoria RAM. Para
10 fines ilustrativos, supóngase que ha de retornarse subsi-
guientemente el control a una dirección común (dirección
"FINAL"). Los valores "0", "01", "10", y "11" representan
direcciones de la memoria ROM.

La Tabla 3d muestra cómo es incrementado un conta-
15 dor de dos bitios (bitio C0, C1 de la memoria RAM, donde
C0 es el bitio más significativo). "1" es una fuente de un
bitio "1", "CERO" es una fuente de un bitio "cero". (en la
práctica, se utilizarían normalmente un número mayor de bi-
tios de contador).

20 D.3 Tablas

Tabla 1a. RECEPCION Y ALMACENAMIENTO DE DOS BI-
TIOS DE BUCLE SUCELVOS EN LA MEMORIA
RAM.

	<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Comentarios</u>
25	...		
	set	waitrcv	esperar por un bitio de
	sta	ram1	bucle almacenar en la posición
	...		ram1
	set	waitrcv	esperar por el siguiente
	sta	ram2	bitio de bucle almacenar en la posición
	...		ram2

30

Tabla 1b. TRANSMISION DE DOS BITIOS DE BUCLE SU-
CESIVOS DESDE LA MEMORIA RAM

<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Comentarios</u>
...		
set	waitrcv	esperar por un bitio de bucle
ldp	ram1	cargar circuito de retención de pretransmisión desde ram 1
...		
set	waitrcv	esperar por el siguiente bitio de bucle
ldp	ram2	cargar circuito de retención pretransmisión ram 2
...		

Tabla 1c. INVERSION Y TRANSMISION DE UN BITIO DE BUCLE

<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Comentarios</u>
...		
set	waitrcv	esperar por bitio de bucle
sta	ram1	conservar bitio de bucle
oia	cero	invertir acumulador
sta	pretransmisión	desplazar bitio invertido al circuito de retención pretransmisión

1 Tabla 2a. TRANSMISION DE DATOS A UN DISPOSITIVO
DESDE LA MEMORIA RAM

	<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Comentarios</u>
5	...		
	lda	addr1	cargar primer bitio de dirección en acumulador.
	sta	selsr	desplazar al registro de selección.
	lda	addr2	cargar segundo bitio de dirección en acumulador
	sta	selsr	desplazar al registro de selección
10	lda	addr3	
	sta	selsr	
	lda	addr4	
	sta	selsr	
	...		
	rst	dorsr	reponer primer bitio "dor"
	ldo	ram1	desplazar siguiente bitio al registro "dor"
15	ldo	ram2	
	ldo	ram3	
	ldo	ram4	
	ldo	ram5	
	ldo	ram6	
	ldo	ram7	
	ldo	ram8	desplazar el último bitio al registro "dor"
	...		
	set	dorfull	indicar que el registro "dor" esta cargado

20 Tabla 2b. RECEPCION DE DATOS DESDE UN DISPOSITIVO

	<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Comentarios</u>
	...		
	set	waitrd	comenzar escrutinio
	lda	datain	leer primer bitio de datos
	sta	ram1	conservar el ram 1
25	lda	datain	
	sta	ram2	
	lda	datain	
	sta	ram3	
	(etc.)		
	lda	datain	
	sta	ram9	conservar el último bitio en ram 9
	...		

30

Tabla 3a COMPROBACION DE UNA PAUTA "1001" DE BITIOS ESPECIFICA

<u>Código de operación</u>	<u>fuente/destino</u>	<u>Comentarios</u>
5 ... lda oia	ram2 ram3	cargar ram 2 realizar función "0" con ram 3 e inver- tir el acumulador
ana	ram1	realizar función "Y" con resultado y ram 1
ana	ram4	acumulador = 1 sola- mente si concuerda la pauta ram
10 		

Tabla 3b COMPARACION DE DOS CAMPOS

<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Dirección de bifurcación</u>	<u>Comentarios</u>
15 ... lda ebb	a1 b1, no comparar		Bifurcar si no es igual
lda ebb ...	a2 b2, no comparar		Bifurcar si no es igual

Tabla 3c DESCODIFICACION DE UN CAMPO DE DOS BITIOS

<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Comentarios</u>
20 ... lbb lbb	a1,lx a2,0l	bifurcar si a1 = 1 a1 fué igual a 0; bifur- car si a2 = 1
00 ... br	final	a1, a2 fueron 0,0
01 ... br	final	a1, a2 fueron 0,1
25 lx lbb	a2,ll	a1 fue 1; bifurcar si a2 = 1
10 ... br	final	a1, a2 fueron 1,0
11 ... final ...		a1, a2 fueron 1,1

1 Tabla 3d INCREMENTO DE UN CONTADOR DE DOS BITIOS

	<u>Código de operación</u>	<u>Fuente/destino</u>	<u>Comentarios</u>
5	...		
	rst	acarreo	reponer circuito de retención de acarreo
	lda	uno	cargar "uno"
	add	cl	sumar con acarreo
	sta	cl	conservar el resultado
	lda	cero	reponer acumulador
	add	c0	sumar el bitio mas significativo con acarreo
	sta	c0	conservar el resultado
	...		

10

D.4 Ejemplo de reparto de Intervalos Selectores

Para ilustrar adicionalmente el funcionamiento del adaptador de bucle terminal y, en particular, el funcionamiento del microordenador, se considerará ahora la función de reparto de intervalos selectores. El reparto de intervalos selectores está expuesto y reivindicado en la solicitud de Patente en tramitación anteriormente identificada de Bowman y otros y no se reivindica como invento propio. El reparto de intervalos selectores es una característica que permite a múltiples adaptadores TLA (un "grupo de intervalos selectores") compartir la misma dirección de intervalo selector. En lo que sigue, una orden de dispositivo es una orden de bucle que contiene una dirección de dispositivo y que se registra y transmite normalmente a través del sistema de acoplamiento del dispositivo.

25

En funcionamiento típico, cualquier adaptador TLA en un grupo de intervalos selectores puede pedir la utilización del intervalo selector enviando una orden de Atención (solicitud de servicio) (es decir, una orden que contiene la dirección del dispositivo solicitante). Otros adaptadores

30

1 en el mismo grupo de intervalos selectores que reciben esta
orden de atención o su eco (que es enviado por el controla-
dor) son automáticamente obligados a permanecer en el modo
de paso porque no tienen asociado el dispositivo direcciona-
5 do. Alternativamente, el controlador puede obligar directa-
mente a todos, excepto un adaptador TLA de un grupo de in-
tervalos selectores, a entrar en el modo de Paso expidiendo
una orden de dispositivo al adaptador TLA deseado.

10 Cualquier adaptador TLA que esté en el Modo de Pa-
so retransmitirá los bitios de bucle sin alteración. Al com-
pletarse una transacción, el controlador de bucle puede ex-
pedir una orden de "Salir del Modo de Paso", al tener lugar
lo cual todos los adaptadores TLA en el grupo volverán a un
estado de inactividad, siendo nuevamente capaces de pedir
15 la utilización del intervalo selector. Alternativamente,
el controlador puede expedir cualquiera de las órdenes de
dispositivo a cualquiera de los adaptadores TLA en el grupo,
incluso aunque cualquiera o todos ellos puedan estar en el
Modo de Paso. El adaptador TLA seleccionado ejecutará la
20 orden y saldrá del Modo de Paso mientras que todos los de-
más adaptadores TLA del grupo permanecerán en el modo de
paso (o volverán al mismo).

25 El microprograma TLA permite que sea también eje-
cutado un conjunto seleccionado de órdenes de bucle que no
sean órdenes de dispositivo, incluso aunque el adaptador
TLA esté en el Modo de Paso y permanezca en él.

30 En el diagrama de flujo de la figura 17 están re-
presentados los procesos principales y decisiones requeri-
das para ejecutar el reparto de intervalos selectores. Está
ilustrada la esencia del microprograma para reconocer y eje-

1 cutar una orden. Para mayor claridad, no está indicada la
recepción explícita y almacenamiento de los bitios de bucle
sucesivos que componen el intervalo selector. Similarmente,
están implicadas, pero no representadas, otras funciones,
5 tales como actualización de contadores, modificación de bi-
tios de estado, etc.

Varias suposiciones se consideran diagrama de flu-
jo:

- 10 1. El adaptador TIA está en el modo de reparto de intervalos
selectores.
2. Ha sido adquirido el sincronismo de encuadre.
3. Durante el curso del intervalo selector anterior al que
se está considerando, el microprograma ha efectuado el
valor correcto para el bitio RAM ("Mi intervalo selec-
15 tor"), (habiendo incrementado previamente el contador
de intervalos selectores y comparado su valor con el
intervalo selector básico y habiendo utilizado otra in-
formación de estado, como sea adecuado).

20 El funcionamiento típico durante el curso de la
recepción de un intervalo selector tiene lugar del modo
siguiente: (se pondrá un énfasis particular en la recep-
ción de una orden durante el intervalo selector):
Bloque 200: Comenzar la recepción del intervalo selector.
Bloque 202: Comprobar "Mi intervalo selector"
25 Bloque 204: Si la decisión MI INTERVALO SELECTOR es negati-
va, retransmitir todos los bitios de bucle de este interva-
lo selector según se reciban (este bloque implicará periód-
icamente la nueva verificación de que el adaptador TIA está
en Sincronismo de encuadre comparando los bitios de bucle
30 recibidos con la pauta establecida de Intervalo Selector de

1 Encuadre).

Bloque 206: (La decisión MI INTERVALO SELECTOR es afirmativa). Comprobar el primer bitio ("orden") del intervalo selector entrante.

5 Bloque 208: (El bitio de orden del intervalo selector fue re-
puesto indicando ausencia de orden). Si está en el Modo de
Paso, dejar pasar el intervalo selector, es decir retrans-
mitir los bitios de bucle recibido, bloque 204. Si no está
en el Modo de Paso, tratar los bitios restantes del inter-
10 valo selector según sea adecuado al estado en curso del
adaptador TLA, bloque 210.

Bloque 212: (El bitio de orden estaba activado, indicando
que estaba siendo recibida una orden). Almacenar bitios res-
tantes del intervalo selector.

15 Bloque 214: Probar validez de la orden comparando la primera
mitad del intervalo selector (exclusiva de los dos primeros
bitios) con la segunda mitad. Si las dos mitades no coinci-
den, volver al bloque 200.

Bloque 216: (La orden era válida). Descodificar el campo de
20 orden para determinar el tipo de orden.

Bloque 218: Comprobar el estado del circuito de retención
MODO DE PASO. Si no está activado, proseguir al bloque 228
y ejecutar la orden.

Bloque 220: (El circuito de retención MODO DE PASO estaba
25 activado). Si la orden descodificada es una orden de dispo-
sitivo, se tomará la siguiente acción: El circuito de re-
tención MODO DE PASO es repuesto (bloque 222), el registro
SELECTOR es cargado con la dirección de dispositivo, el re-
gistro DOR es cargado con la orden de dispositivo y el cir-
30 cuito de retención REGISTRO DOR LLENO es activado (todo en

1 el bloque 224). De este modo se hace un intento por parte
del adaptador TLA de enviar la orden al dispositivo direc-
cionado. Como se ha descrito en la sección 5.5, si el dis-
positivo direccionado no está asociado, el circuito de re-
5 tención MODO DE PASO será activado automáticamente por el
sistema de circuitos. Si el dispositivo direccionado está,
en realidad, asociado, aceptará la orden y el circuito de
retención MODO DE PASO permanecerá repuesto hasta algún ins-
tante futuro.

10 Bloque 226: Algunas órdenes que no son de dispositivo son
permisibles en el Modo de Paso. Este bloque de decisión
inhibe la ejecución de órdenes que no están permitidas en
el Modo de Paso.

Bloque 228: Ejecutar la orden. Si la orden es una orden de
15 dispositivo, son válidas aquí también la misma función in-
dicada para el bloque 224 y las mismas consideraciones allí
establecidas.

E. Operación de Salida (Dispositivo no Ocupado)

20 Se hará referencia al diagrama de tiempos de la
figura 13. Están dispuestas para sincronizar el sistema
de acoplamiento I/O (figura 9) las formas de onda "Encua-
dre" y "Muestra" de sincronismo.

25 Se inicia una operación de salida cuando una ins-
trucción en el microprograma activa el circuito de reten-
ción "REGISTRO DOR LLENO". Como se representa en la figura
13, esta operación tiene dos posibles relaciones de tempo-
rización con las señales ENCUADRE y MUESTRA. En cualquier
caso (figura 5) la señal SELECCIONAR se hace válida a con-
tinuación del flanco de bajada de la señal ENCUADRE EN CURSO.
30 El retorno de la señal ACEPTACION del dispositivo seleccio-

1 nado activa inmediatamente el circuito 64 de retención
ACEPTACION INDISTINTA y, si está aún presente, activa el
circuito 62 de retención ACEPTACION VALIDA en el flanco de
bajada de la señal MUESTRA. Los nueve bitios de datos son
5 transmitidos controladamente sobre el sistema de acopla-
miento durante intervalos subsiguientes sucesivos de la se-
ñal ENCUADRE, comenzando con el flanco de subida de la se-
ñal SELECCIONAR. El contador de bitios/escrutinio cuenta
los bitios a medida que son enviados e inicia una reposición
10 después que ha sido transmitido el noveno bitio. La reposi-
ción del circuito de retención REGISTRO DOR LLENO notifica
al microordenador que la operación de salida ha sido com-
pletada.

F. Operación de Salida (Dispositivo Ocupado o no Equipado).

15 Se hará referencia al diagrama de tiempos de la
figura 14. Si una operación de salida selecciona un dispo-
sitivo ocupado, es retornado un impulso corto de aceptación.
Este impulso de aceptación "corto" activa el circuito 64 de
retención ACEPTACION INDISTINTA (figura 9), pero desaparece
20 antes del flanco de bajada de la señal MUESTRA y, por con-
siguiente, no activa el circuito 62 de retención ACEPTACION
VALIDA. Los circuitos lógicos de acoplamiento retienen las
líneas SELECCIONAR válidas y asimismo válida la línea DATOS
DOR y espera una señal completa ACEPTACION. El microordena-
25 dor puede continuar con otras operaciones incluyendo ESPERAR
PARA RECEPCION, mientras espera que se complete la operación
de salida. La llegada de una señal completa ACEPTACION acti-
va el circuito de retención ACEPTACION VALIDA y la operación
de salida prosigue como se ha descrito en la sección E para
30 un dispositivo no ocupado.

1 Si el dispositivo seleccionado no está equipado
(y la línea I/O en MODO DE PASO está unida a masa) no se
recibirá un impulso ACEPTACION ni completo ni corto. En este
caso es activado el circuito de retención MODO DE PASO
5 (figura 6) en vez de ACEPTACION INDISTINTA y la operación
de salida, incluyendo la reposición del circuito REGISTRO
DOR LLENO, finaliza. En esta situación se dice que el adaptador
TLA está en el modo de paso.

G. Operación de Entrada. (Escrutinio y entrada de datos)

10 Se hará referencia a los diagramas de tiempos de
las figuras 15 y 16. Los dispositivos I/O que tienen datos
por enviar o requieren atención inician una operación de entrada
elevando el nivel de la señal en la línea SOLICITUD
de vía múltiple (figura 2). El microprograma comprueba el
15 estado de esta línea siempre que esté preparado para atender
una solicitud de entrada. "Cargar Acumulador" desde la
fuente solicitante y "bifurcar sobre cero", son las instrucciones
para hacer esta comprobación. Si uno de los dispositivos
ha elevado el nivel de la señal SOLICITUD, la bifurcación
20 no tendrá lugar. La siguiente instrucción, "establecer
el estado de ESPERAR PARA LECTURA", inicia la operación de
entrada y pone el microordenador en el estado ESPERAR. Puesto
que la fuente de la solicitud es desconocida, una operación
de escrutinio encuentra la dirección del dispositivo
25 solicitante. Los circuitos de retención ESCRUTINIO, CONTROLAR
SALIDA REGISTRO SEL de escrutinio y CONTROLAR SALIDA
CONTADOR DE ESCRUTINIO (figura 11) son activados y es emitido
un impulso de reposición incidental al CONTADOR DE ESCRUTINIO
(figura 8), incluso aunque habrá sido puesto a cero
30 al final de cualquier utilización anterior. El contenido del

1 contador de escrutinio es conectado, a través del REGISTRO
34 de desplazamiento SEL (figura 5), a las líneas selecto-
ras del sistema de acoplamiento I/O. Sin embargo, la direc-
5 ción cero es la misma que en el caso de ausencia de selec-
ción. En el flanco de bajada de la siguiente señal ENCUADRE,
el impulso INCR PB CTR incrementa el contador de escrutinio
a la dirección "1". Si, como se representa en la figura 15,
ocurre que el dispositivo 1 seleccionado está ocupado, es
retornado un impulso de aceptación corto. Esta señal repone
10 el circuito de retención CONTROLAR SALIDA DE REGISTRO SEL
DE ESCRUTINIO y de este modo hace caer la señal SELECCIONAR.
En la caída del siguiente impulso ENCUADRE, el impulso INCR
PB CTR incrementa el contador de escrutinio a la dirección
2 y es nuevamente activado el circuito de retención CONTRO-
15 LAR SALIDA DE REGISTRO SEL DE ESCRUTINIO para seleccionar
el dispositivo 2 . Si, como se representa en la figura 15,
ocurre que el dispositivo 2 está preparado para aceptar da-
tos de salida, responde a la señal SELECCIONAR con un im-
pulso de aceptación completo. El funcionamiento del adapta-
20 dor TLA es el mismo que para el impulso de aceptación cor-
to. El dispositivo en este caso responde, sin embargo, a
la caída del impulso SELECCIONAR haciendo desaparecer a su
vez la señal ACEPTAR. El contador de bitios de escrutinio
incrementa a la siguiente dirección de orden superior en
25 la caída de cada encuadre subsiguiente hasta que se selec-
ciona el dispositivo solicitante. Cuando ocurre esto, como
se representa para el dispositivo 5, la señal SOLICITAR cae
y la señal RESPUESTA A SOLICITUD sube. La última señal re-
pone el circuito ESPERAR PARA LECTURA (figura 6) para reini-
30 ciar el microprograma, repone el circuito de retención CON-

1 TROLAR CONTADOR DE ESCRUTINIO para retener la dirección es-
crutada en el REGISTRO DE DESPLAZAMIENTO SEL, activa el cir-
cuito RESPUESTA A SOLICITUD VALIDA (figura 11), repone el
5 contador PB de modo que puede ser utilizado para contar bi-
tios de datos y repone el CIRCUITO DE RETENCION DE ESCRUTINIO.
El primer bitio está en la línea de entrada de datos en este
instante y la primera instrucción presentada, a continuación
de la salida del estado ESPERAR es LDA (entrada de datos),
que carga este bitio en el acumulador. La segunda instrucción
10 almacena este bitio en la memoria RAM y la tercera instruc-
ción lee el segundo bitio de datos. En general, hay dos in-
tervalos de instrucción por bitio de modo que el microorde-
nador puede gobernar la velocidad de transmisión de datos.
Después que se ha recibido el bitio 9, son repuestos los cir-
15 cuitos de retención ESCRUTINIO y RESPUESTA A SOLICITUD VALI-
DA; es repuesto el contador PB y desaparece la señal de las
líneas SELECCIONAR para finalizar la operación. La dirección
del dispositivo interrogado individualmente queda disponible
en el REGISTRO DE DESPLAZAMIENTO SEL para posible utilización
20 en la confección de una orden ATENCION para el dispositivo.

H. Resumen

Lo que se ha descrito es un aparato para uti-
lización en establecer y mantener comunicación con un módu-
lo de control que transmite datos y órdenes de control en
25 serie por bitios. El aparato comunica también con uno o más
dispositivos de entrada/salida sobre un sistema de acopla-
miento de demanda/respuesta.

El aparato está compuesto por un microorde-
nador con una organización de vía de datos en serie y una
30 unidad lógica aritmética de un bitio. La unidad

1 lógica aritmética incluye un acumulador que realiza la do-
ble función de almacenar los resultados de una operación
aritmética y actuar como acceso de entrada/salida para el
sistema de acoplamiento en serie.

5 Está dispuesto un circuito de retención de Pretrans-
misión para almacenar un único bitio antes de su retransmi-
sión al módulo de control. Los bitios recibidos sobre el sis-
tema de acoplamiento de transmisión en serie son almacena-
dos simultáneamente en el acumulador y en el circuito de
10 retención de Pretransmisión. Si los datos han de ser modifica-
dos por el microordenador, el contenido del circuito de re-
tención Pretransmisión es alterado y de otro modo, los da-
tos son retransmitidos son modificar al módulo de control.
De este modo el dispositivo puede funcionar sobre un siste-
15 ma de transmisión de bucle síncrono en serie. Los bitios al-
macenados en el acumulador pueden ser modificados por ins-
trucciones aritméticas, transferidos al circuito de reten-
ción de pretransmisión para retransmisión o transferidos
a la Memoria de Acceso Aleatorio (Memoria RAM) del microor-
denador para su ensamblaje y distribución.
20

 El microordenador está provisto de instrucciones
que realizan operaciones de unión, operaciones de desplaza-
miento, operaciones de activación, operaciones de bifurca-
ción y operaciones aritméticas. Con este conjunto de ins-
25 trucciones se crean posibilidades de comunicaciones comple-
tas que incluyen la recepción y almacenamiento de bitios en
serie, sucesivos, en la memoria RAM y la transmisión de bi-
tios sucesivos al sistema de acoplamiento en serie. Adicio-
nalmente, puede realizarse la inversión y transmisión de un
30 bitio invirtiendo el contenido del acumulador y desplazando

1 los bitios invertidos al circuito de retención de pretransmisión.

Sobre el lado de dispositivo del aparato, pueden ser transmitidos y recibidos datos desde un dispositivo cargando bitios en el acumulador y desplazando los bitios del
5 acumulador a los registros de entrada/salida del dispositivo para transmisión al dispositivo.

Entre los usos adicionales de las instrucciones se incluyen la comprobación de pauta de bitios específica,
10 la comparación de dos campos con operaciones de bifurcación adecuadas y la descodificación de campos de bitios para realizar operaciones tales como comparación de direcciones y descodificación de órdenes.

Los bitios recibidos sobre el sistema de acoplamiento de transmisión en serie son sincronizados por circuitos lógicos que establecen la sincronización de bitios y generan un impulso de reiniciación en el intervalo de recepción de bitio. Una instrucción en el programa del microordenador activa un circuito de retención "Poner en Estado de Espera
15 para Recibir", que pone el microordenador en el estado de espera durante el cual se suspende la ejecución del programa. En el intervalo de recepción de bitio, en respuesta al impulso de reiniciación, el circuito de retención de esperar para recepción es repuesto y el programa vuelve a comenzar. Bajo el
20 control de programa, el bitio de recepción es transferido a la Memoria de Acceso Aleatorio, donde es ensamblado y en donde el programa realiza operaciones tales como descodificación de órdenes.

La transferencia de datos entre el dispositivo y
30 el microordenador se realiza bajo control de programa. Una instrucción en el microprograma activa un circuito de reten-

1 ción "esperar para lectura" que pone el microordenador en
el estado de espera. Esta instrucción activa también cir-
cuits lógicos de escrutinio incrementando secuencialmente
a través de direcciones secuenciales. Cuando un dispositivo
5 de entrada/salida reconoce su propia dirección, responde
elevando el nivel de la señal de respuesta a solicitud. La
dirección del dispositivo es retenida en un registro de des-
plazamiento de selección para mantener conexión con el dis-
positivo. La señal de respuesta a solicitud repone el con-
10 tador de escrutinio que se convierte ahora en el contador
de bitios para contar los bitios recibidos desde el disposi-
tivo. También repone el circuito de retención "esperar para
lectura" que reinicia el programa, el cual, ahora bajo con-
trol de programa, controla el paso de datos del dispositivo
15 de entrada/salida a la Memoria de Acceso Aleatorio.

El aparato tiene la ventaja de que requiere una
mínima cantidad de circuitos lógicos para su ejecución y
dispone característicamente de accesos de entrada y salida
de transmisión en serie para reducir el número de líneas
20 de conexión exteriores.

El invento tiene también como característica un
sincronismo totalmente autónomo y control de enclavamiento
entre el aparato y el módulo de control, por una parte, y
el aparato y los dispositivos de entrada/salida por otra
25 parte.

Se crean circuitos de control de nueva concepción
para poner el microordenador en estado de espera para sus-
pender la ejecución de instrucciones y esperar hasta que se
recibe el siguiente bitio en serie en el acumulador o se re-
30 ciben datos en el dispositivo de entrada/salida sobre el sis-

1 tema de acoplamiento de entrada/salida.

La organización de microordenador tiene como característica una unidad lógica aritmética de un único bitio y varias vias de datos generales de transmisión en serie para realizar uniones lógicas en un modo de funcionamiento de transmisión en serie por bitios para reducir el tamaño y complejidad del sistema lógico.

10

REIVINDICACIONES

15 Los puntos de Invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención, en España, son los que se recogen en las reivindicaciones siguientes:

18.- Perfeccionamientos introducidos en un adaptador de línea de bucle de transmisión en serie para recibir y transmitir datos desde y a un medio de transmisión en serie, que incluye un ordenador que tiene una unidad lógica aritmética controlable por programa, y conexiones de entrada/salida controlables por programa, caracterizados porque está dispuesta una memoria intermedia (22) de acumulador de bitio único para recibir selectivamente datos de salida desde dicha unidad lógica aritmética (20) o transmitir datos procedentes de una vía (10) de recepción de dicho medio de transmisión.

30

28.- Perfeccionamientos de acuerdo con la reivin-

1 dicación 1ª, según los cuales dicho adaptador comprende
adicionalmente: una memoria intermedia (16) de pretransmi-
sión conectada a dicha vía (10) de recepción y una vía (12)
de transmisión de dicho medio de transmisión y a la memoria
5 intermedia (22) de acumulador, para recibir selectivamente
datos transmitidos desde dicho medio de transmisión o bien
para modificar datos procedentes de dicha memoria interme-
dia de acumulador.

3ª.- Perfeccionamientos de acuerdo con las reivin-
10 dicaciones 1ª o 2ª, según los cuales dicho adaptador com-
prende adicionalmente: una pluralidad de vías de datos de
fuente, una línea general de entrada conectada funcional-
mente a dicha unidad lógica aritmética; medios de conmuta-
ción, que incluyen medios de conmutación de fuente conecta-
15 dos a dichos vías de datos de fuente y a dicha línea gene-
ral de entrada, que pueden activarse para conectar vías se-
leccionadas de dichas vías de datos de fuente a dicha línea
general de entrada; y medios de control, conectados a dicha
unidad lógica aritmética y a dichos medios de conmutación
20 destinados a interpretar instrucciones secuenciales de pro-
grama, que incluyen instrucciones aritméticas ejecutables
por dicha unidad lógica aritmética e instrucciones de con-
trol para excitar selectivamente dichos medios de conmuta-
ción para conectar así vías de datos de fuente selecciona-
25 das a dicha línea general de entrada de acuerdo con infor-
mación de control contenida en dichas instrucciones.

4ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 3ª, según los cuales dicho adaptador comprende
adicionalmente: una pluralidad de vías de datos de destino;
30 una línea general de salida; dichos medios de conmutación

1 que incluyen adicionalmente medios de conmutación de desti-
no conectados a dichas vías de destino y a dicha línea ge-
neral de salida, excitables por dichos medios de control
programables para conectar vías seleccionadas de dichas
5 vías de datos de destino a dicha línea general de salida.

5ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 4ª, según los cuales dicho adaptador comprende adi-
cionalmente: una vía adicional de destino conectada a una
vía de transmisión de dicho medio de transmisión y a dichos
10 medios de conmutación de destino, con lo cual dichos medios
de control hacen que los datos contenidos en dicha memoria
intermedia de acumulador sean transferibles a dicha vía de
transmisión excitando a dichos medios de conmutación de des-
tino en correspondencia a la salida de dicha memoria inter-
15 media de acumulador y dicha vía adicional de destino.

6ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 4ª, caracterizados porque dichos medios de conmu-
tación están destinados adicionalmente a conectar selecti-
vamente dicha línea general de entrada, o la salida de di-
20 cha memoria intermedia de acumulador, a dicha línea general
de salida para transferencia de datos.

7ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 3ª y la reivindicación 4ª, caracterizados porque
dichas vías de datos de fuente incluyen vías de datos y lí-
neas de solicitud procedentes de dispositivos de entrada/
25 salida, y dichas vías de datos de destino incluyen vías de
datos y líneas de selección a dispositivos de entrada/sali-
da.

8ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 3ª, según los cuales dicho adaptador comprende adi-
30

1 cionalmente: una memoria para almacenar instrucciones, constituyendo la salida en serie de dicha memoria una de las vías de datos de fuente; estando conectados a dicha memoria dichos medios de control.


5 9ª.- Perfeccionamientos de acuerdo con la reivindicación 4ª y la reivindicación 8ª, caracterizados porque la entrada en serie de dicha memoria constituye una de las vías de datos de destino.

10 10ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª o la 2ª, caracterizados porque dicha unidad lógica aritmética tiene una capacidad de un bitio y de este modo funciona secuencialmente por bitios.

15 11ª.- Perfeccionamientos de acuerdo con la reivindicación 2ª, según los cuales tanto la memoria intermedia de acumulador como la memoria intermedia de pretransmisión están acopladas al medio de transmisión para registrar un bitio recibido; comprendiendo dicho adaptador adicionalmente un detector acoplado a dicha memoria intermedia de acumulador para determinar, a partir de una serie de bitios
20 recibidos en dicha memoria intermedia de acumulador, cuándo está siendo llamado el adaptador de línea; medios para aplicar datos generados en el adaptador de línea llamado para sustitución de datos en dicha memoria intermedia de pretransmisión; medios de conmutación para acoplar datos desde dicha memoria intermedia de pretransmisión al medio de transmisión; y medios de temporización asociados con dichos medios de conmutación para recibir los datos procedentes de dicha memoria intermedia de pretransmisión y sincronizar
25 nuevamente los datos antes de que sean aplicados al medio
30 de transmisión.

1 12ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 1ª o la 2ª, según los cuales dicho adaptador com-
prende adicionalmente: medios de sincronismo conectados a
5 dicha vía de recepción para establecer el sincronismo de
bitios, que incluyen medios para generar un impulso de rei-
niciación en el intervalo de recepción de bitio; medios de
control programables, destinados a interpretar instrucciones
secuenciales de programa para efectuar el almacenamiento y
puesta en curso de datos en tránsito entre dicho medio de
10 transmisión y módulos de entrada/salida asociados al adapta-
dor de línea de acuerdo con información de control conteni-
da en dichas instrucciones de programa; y medios conectados
a dichos medios de control y a dichos medios de sincronismo
para detener la interpretación secuencial de instrucciones
15 en respuesta a una instrucción predeterminada y para volver
a iniciar la interpretación secuencial de instrucciones en
respuesta a dicho impulso de reiniciación.


20 13ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 12ª, caracterizados porque dicho adaptador compren-
de: un contador de instrucciones para seleccionar secuencial-
mente instrucciones de programa a interpretar por dichos me-
dios de control programables; y un circuito de retención
"esperar para recepción" conectado para ser activado por una
instrucción predeterminada interpretada por dichos medios de
25 control y para ser repuesto por un impulso de reiniciación
procedente de dichos medios de sincronismo para inhibir di-
cho contador de instrucciones y detener así la interpreta-
ción secuencial de instrucciones en respuesta a dicha ins-
trucción predeterminada, y para iniciar nuevamente la inter-
30 pretación secuencial de instrucciones en respuesta a dicho



1 impulso de reiniciación.

5 14ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª o la 2ª, según los cuales dicho adaptador comprende adicionalmente: medios de escrutinio para generar
10 direcciones secuenciales para transmisión a módulos de entrada/salida asociados al adaptador de línea para seleccionar así un módulo de entrada/salida que desea establecer conexión con dicho aparato; una vía de entrada para recibir una señal de respuesta a solicitud generada en cualquiera de dichos módulos de entrada/salida en respuesta a
15 una dirección presentada a dicho módulo de entrada/salida por dichos medios de escrutinio; medios de control programables destinados a interpretar instrucciones secuenciales de programa para efectuar el almacenamiento y puesta en curso de datos en tránsito entre dicho medio de transmisión y
20 dichos módulos de entrada/salida de acuerdo con información de control contenida en dichas instrucciones de programa; y medios de enclavamiento que incluyen medios para activar dichos medios de escrutinio y medios conectados a dichos
medios de control y dicha vía de entrada para detener la interpretación secuencial de instrucciones en respuesta a una instrucción predeterminada, y para iniciar nuevamente la interpretación secuencial de instrucciones en respuesta a dicha señal de respuesta a solicitud.

25 15ª.- Perfeccionamientos de acuerdo con la reivindicación 14ª, caracterizados porque dicho adaptador comprende: un contador de instrucciones para seleccionar secuencialmente instrucciones de programa a interpretar por dichos medios de control programables; y un circuito de retención de espera para lectura conectado para ser activado
30



1 por una instrucción predeterminada interpretada por dichos
 medios de control y para ser repuesto por dicha señal de
 respuesta a solicitud procedente de dicho módulo de entrada/
 salida para inhibir dicho contador de instrucciones para
 5 detener así la interpretación secuencial de instrucciones
 en respuesta a dicha instrucción predeterminada, y para
 iniciar nuevamente la interpretación secuencial de instruc-
 ciones en respuesta a dicha señal de respuesta a solicitud.

16ª.- "PERFECCIONAMIENTOS INTRODUCIDOS EN UN ADAP
 10 TADOR DE LINEA DE BUCLE DE TRANSMISION EN SERIE".

Tal y como se ha descrito en la Memoria que ante-
 cede, representado en los dibujos que se acompañan y para
 los fines que se han especificado.

Esta Memoria consta de sesenta y cuatro hojas es-
 15 critas a máquina por una sola cara.


Madrid, 12.M.Y.1976

P.A.

Alberto de 
 Por Poderes

20

25


 IAG/. 30

a)

HOJAS DE LEYENDAS

FIG. 1 y FIG. 2

CL ----- RELOJ
LB ----- BITIO 1
BS 1 ----- INTERVALO DE BASE 1
BS 2 ----- " " " 2
BS 4 ----- " " " 4
BS 8 ----- " " " 8
FM I/O ----- MODO DE PASO ENTRADA/SALIDA
TLA ----- INHABILITAR TLA
RS ----- SELECCIONAR ROM
RR ----- REPONER ROM
DI ----- ENTRADA DATOS
REQ ----- PETICION
ACC ----- ACEPTACION
REQ RESP ----- RESPUESTA A PETICION
FR ----- CUADRO
SA ----- MUESTRA
CA ----- TRANSPORTE
ACC ----- ACUMULADOR
FS ----- SINCRONISMO CUADROS
TTL ----- REPONER TTL
SU ----- SUPRESION
FM ----- MODO DE PASO
DF ----- PUERTA LLENA
WR ----- ESPERA PARA LECTURA
WRE ----- ESPERA PARA REGISTRO
W ----- ESPERA
DD ----- DATOS PUERTA

b)

FIG. 3A

-CO 6 ----- LLEVAR SALIDA 6
CC 6 ----- LLEVAR RELOJ 6
INV ----- INVERSOR
Y ----- PUERTA Y
O ----- PUERTA O

FIG. 3B

-CL A ----- RELOJ A
-SS 5 ----- DESPLAZAR SLECTOR 5
CL A R 4 |
O OP | ----- RELOJ A ROM 4
 | SALIDA OP
-PR B CLK --- ENVIO PREVIO BARRA COLECTORA RELOJ
-ACC CL 2 --- ACEPTAR RELOJ 2
+ACC CL +ACEPTAR RELOJ
 L RLS² ---- MENOS RLS²
Y ----- PUERTA Y
O ----- PUERTA O

FIG. 4

RL ----- FIADORES ROM
ED ----- DETECTOR BORDE

FIG. 5

CL D ----- EXCITADOR DE RELOJ
Y ----- PUERTA Y
O ----- PUERTA O

FIG. 6

+S L TTL ---- ENVIAR LINEA TTL | WRE ----- ESPERA REGISTRO
-TTL ----- REPONER TTL | * ----- LINEAS EXTERNAS

e)

FIG. 7

-G WR S 5 ---- -PUERTA SELECTOR ESPERA PARA LECTURA 5
Y ----- PUERTA Y
O ----- PUERTA O

FIG. 9

* ----- LINEAS EXTERNAS
** ----- DEL DISPOSITIVO

FIG. 10

EDD ----- DETECTOR DE BORDE DOBLE
RLS DEL 6 ---- RLS RETARDADA 6

FIG. 11

G.P. SEL ---- SELECTOR DE INTERROGACION PERIODICA DE LA PUERTA
+P LTH ----- INTERROGACION PERIODICA LTH
RES P CTR ---- REPONER INTERROGACION PERIODICA CTR
G.P. CTR ---- PUERTA INTERROGACION PERIODICA CTR
VAL REQ RESP - RESPUESTA VALIDA A INTERROGACION
ST PB CTR ---- PASO PB CTR
R SY ----- SINCRONISMO LECTURA
-FR DEL ----- -CUADRO RETARDADO
* * ----- DEL DISPOSITIVO

FIG. 12

S INV ----- INVERSION LENTA
* ----- LINEAS EXTERNAS

FIGS. 13, 14, 15 y 16

INSTR. CTR --- INTRUCCION CTR
ROS OUT ----- SALIDA ROS

d)

G& WR SEL & D.O - SELECCIONAR PUERTA ESPERA LECTURA Y SALIDA DATOS
SEL ----- SELECCIONAR
ACC (F) ----- ACEPTAR (LLENO)
A ACC ----- CUALQUIER ACEPTACION
V ACC ----- ACEPTACION VALIDA
INCR. PB CTR --- INCREMENTAR PB CTR
ADV D/O ----- AVANCE SALIDA DATOS S/R Y PB CTR
R PB CTR ----- REPONER PB CTR
DEV.N.E. ----- DISPOSITIVO NO EQUIPADO
D.B.NO B. ----- EL DISPOSITIVO SE DESOCUPA
R SYN ----- SINCRONISMO LECTURA
D IN ----- ENTRADA DATOS
V REQ RESP ----- RESPUESTA VALIDA A PETICION

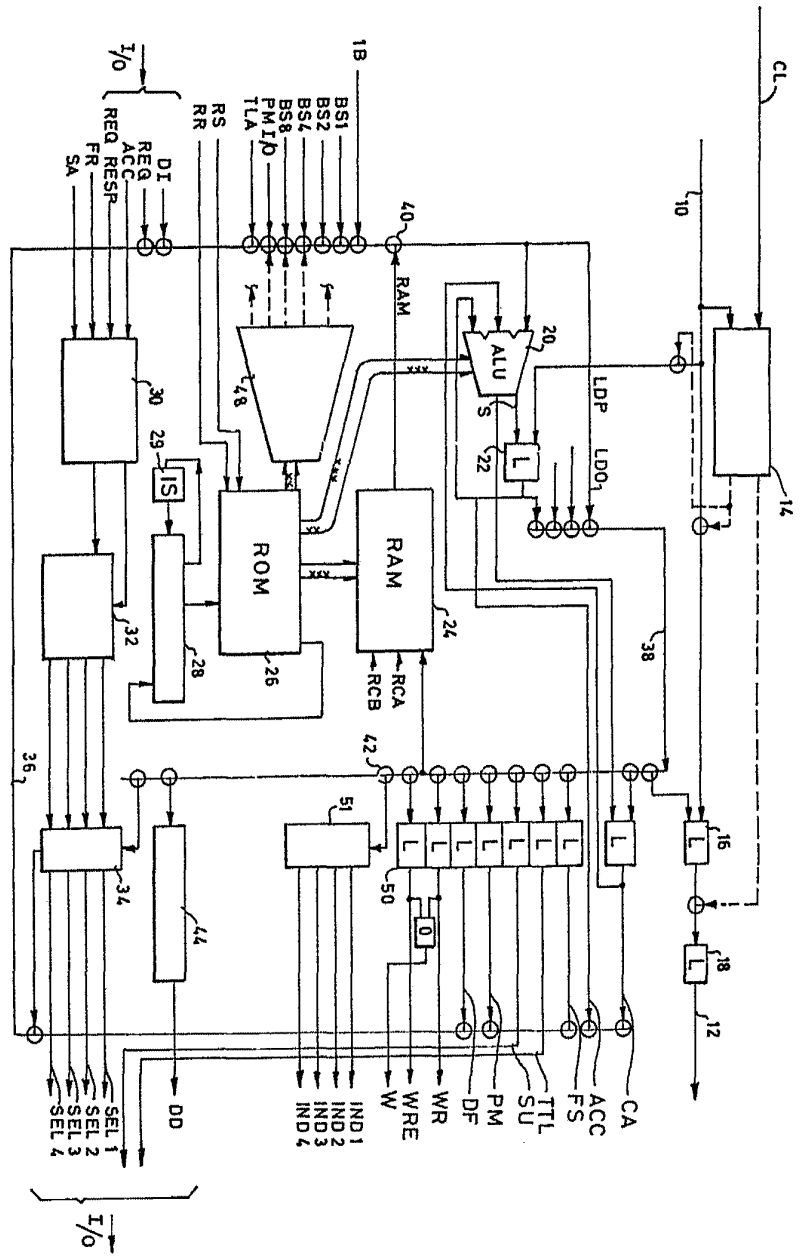


FIG-1

Alberto/ue
Pat. Fedet

Alberto/ue
Pat. Fedet

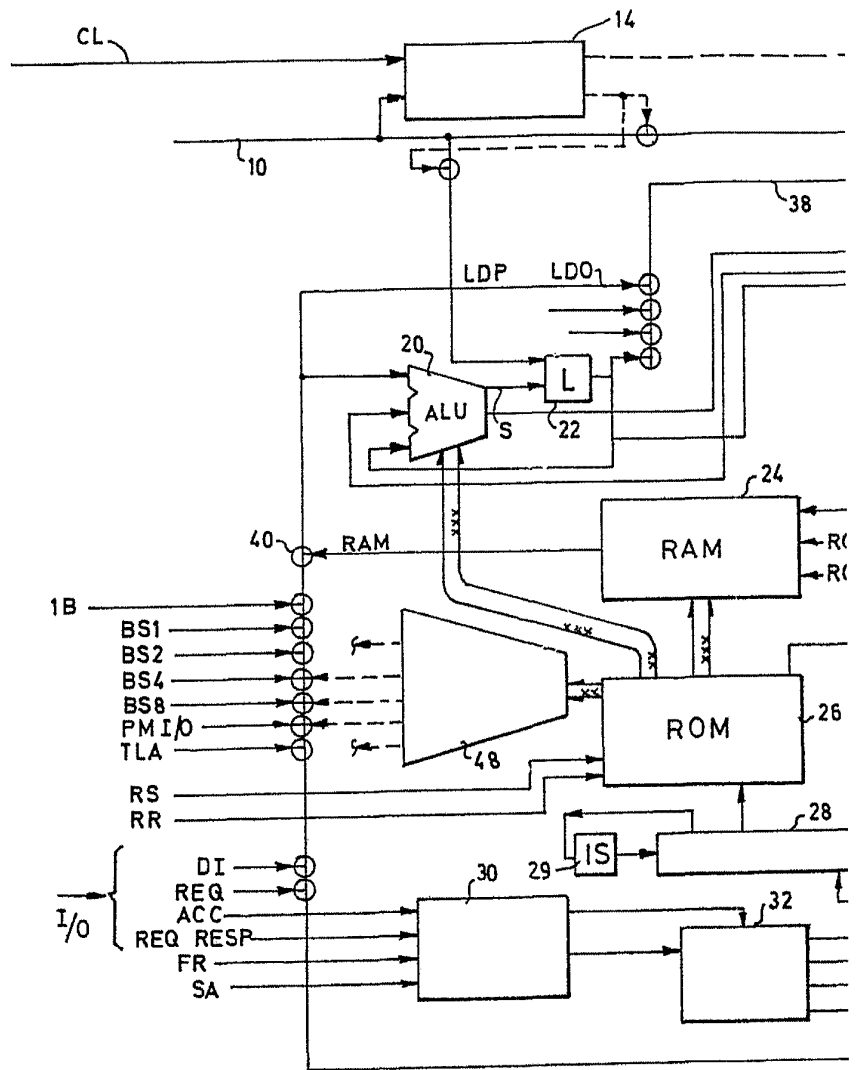


FIG-1

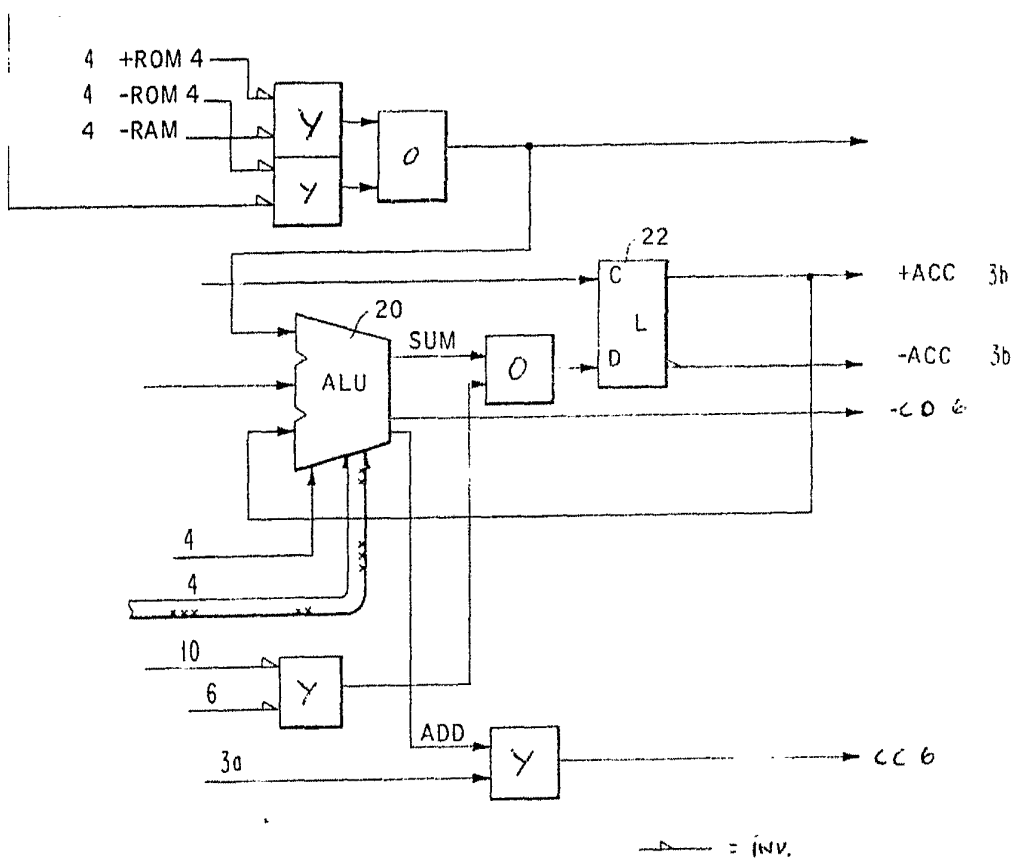
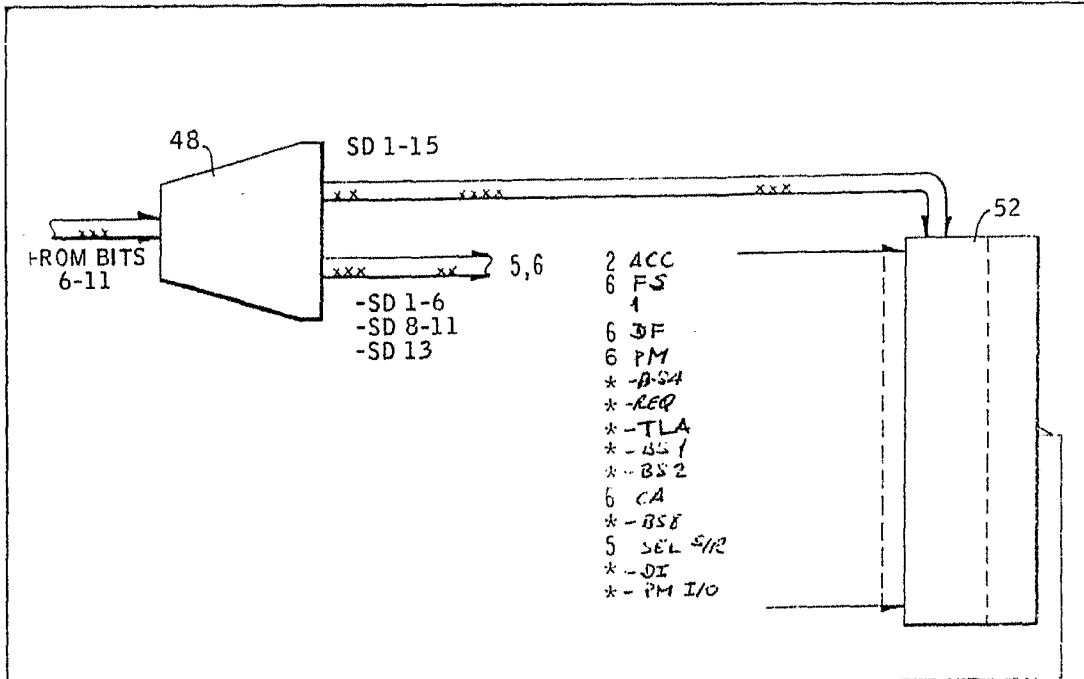


FIG. 2

Approved for Release by NSA on 05-08-2013 pursuant to E.O. 13526

For Patent

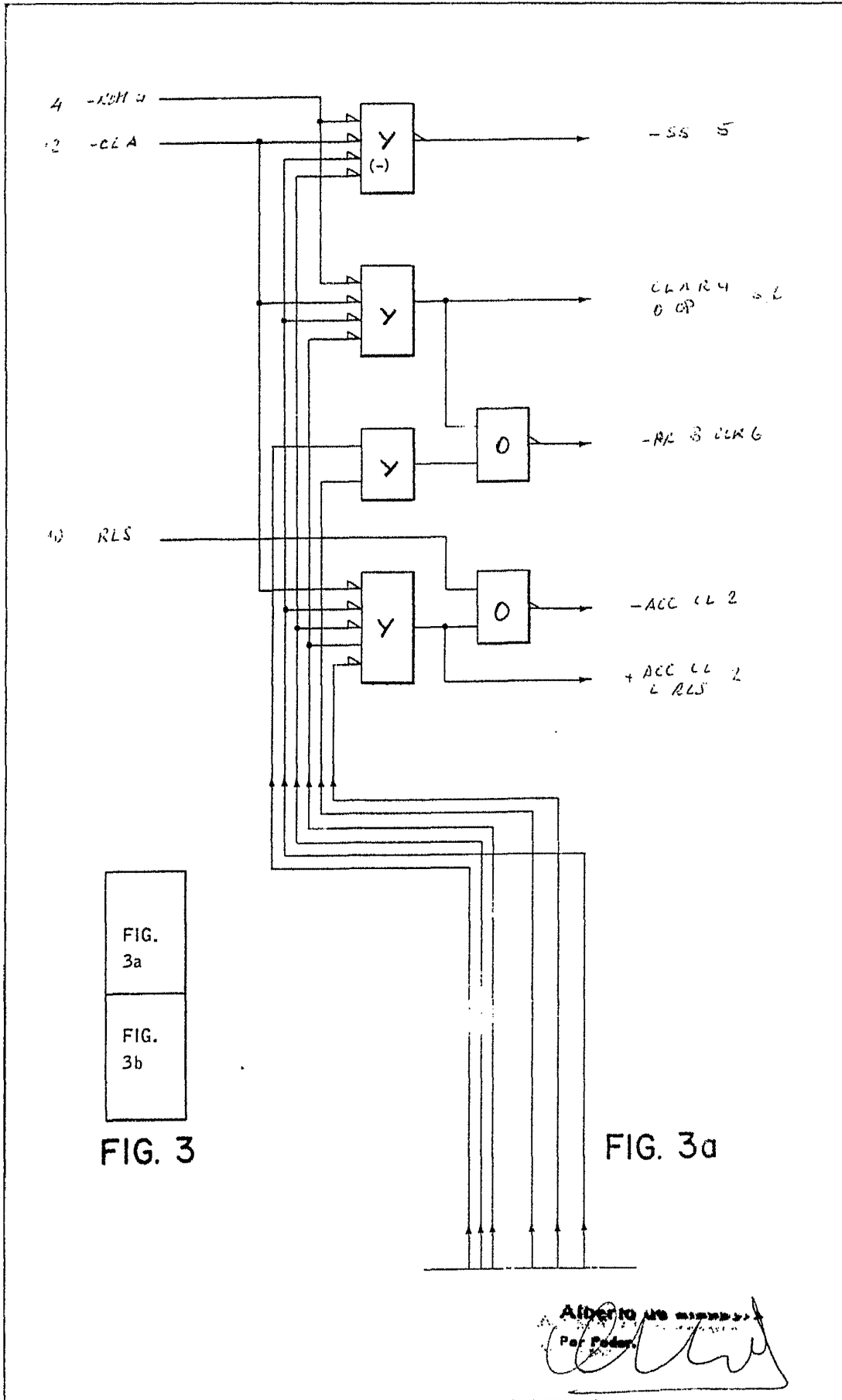


FIG. 3a
FIG. 3b

FIG. 3

FIG. 3a

Alberto M. ...
Per ...

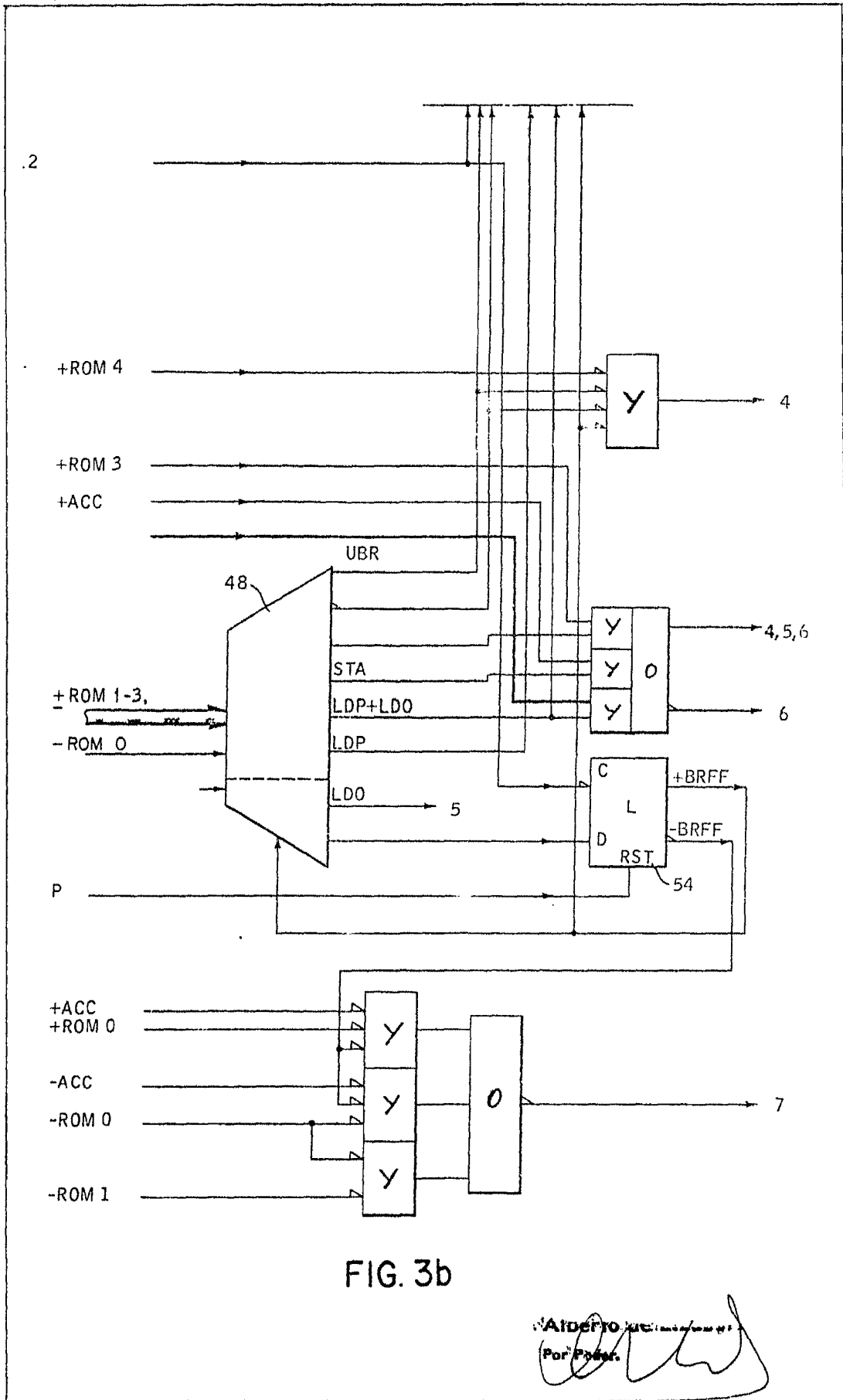


FIG. 3b

ALBERTO ...
For Power.

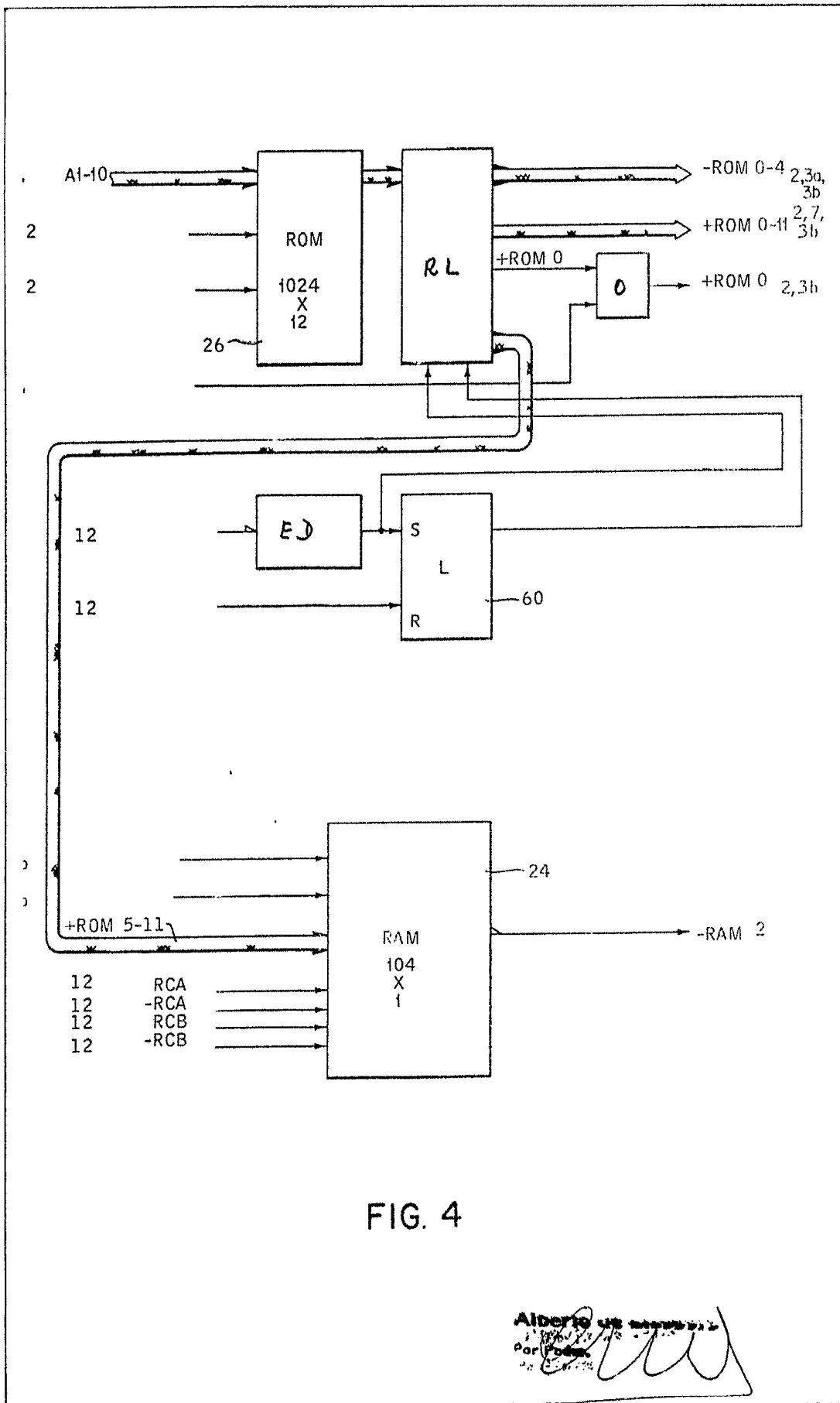


FIG. 4

Alberto de ...
Per Form

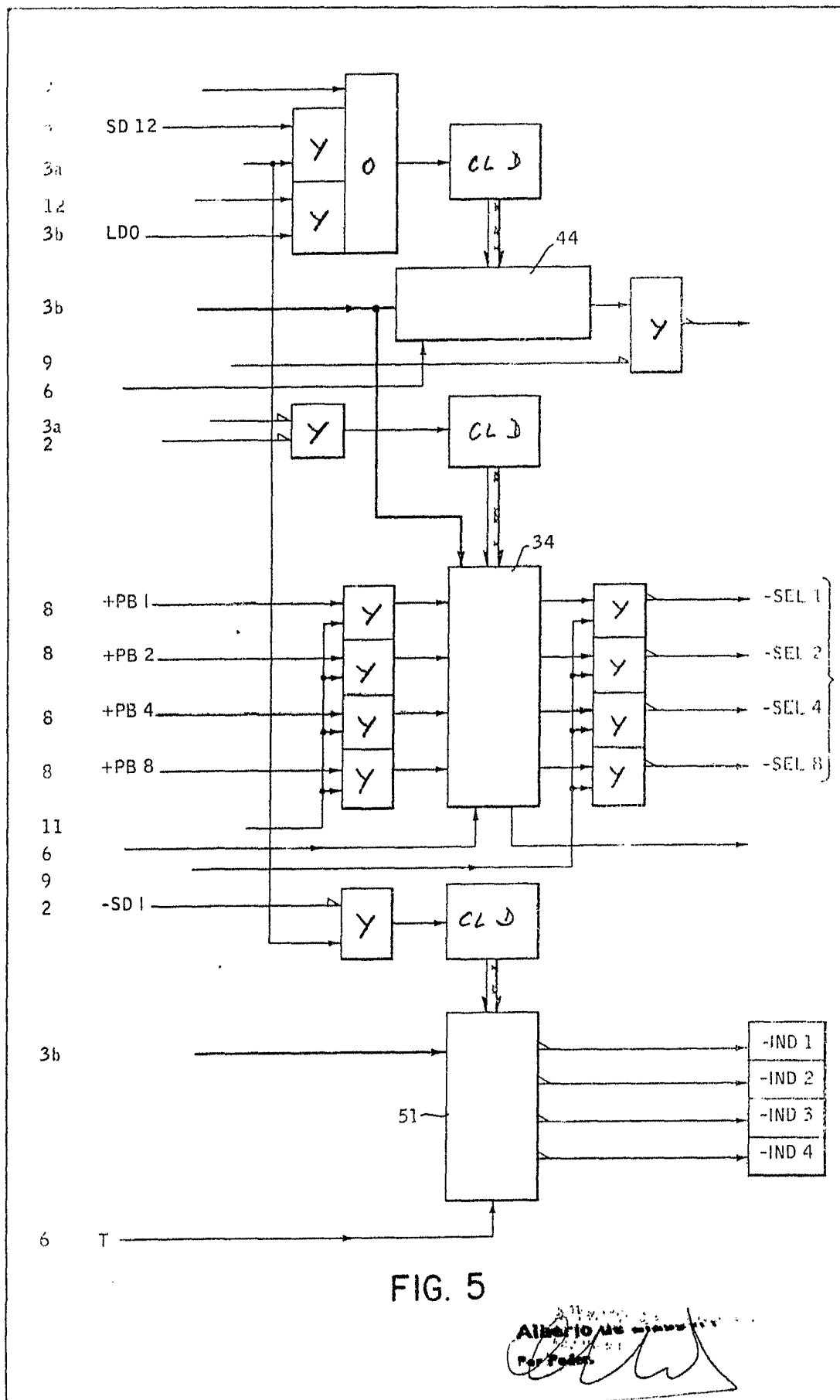


FIG. 5

Alberto M. ...
Per Fede.

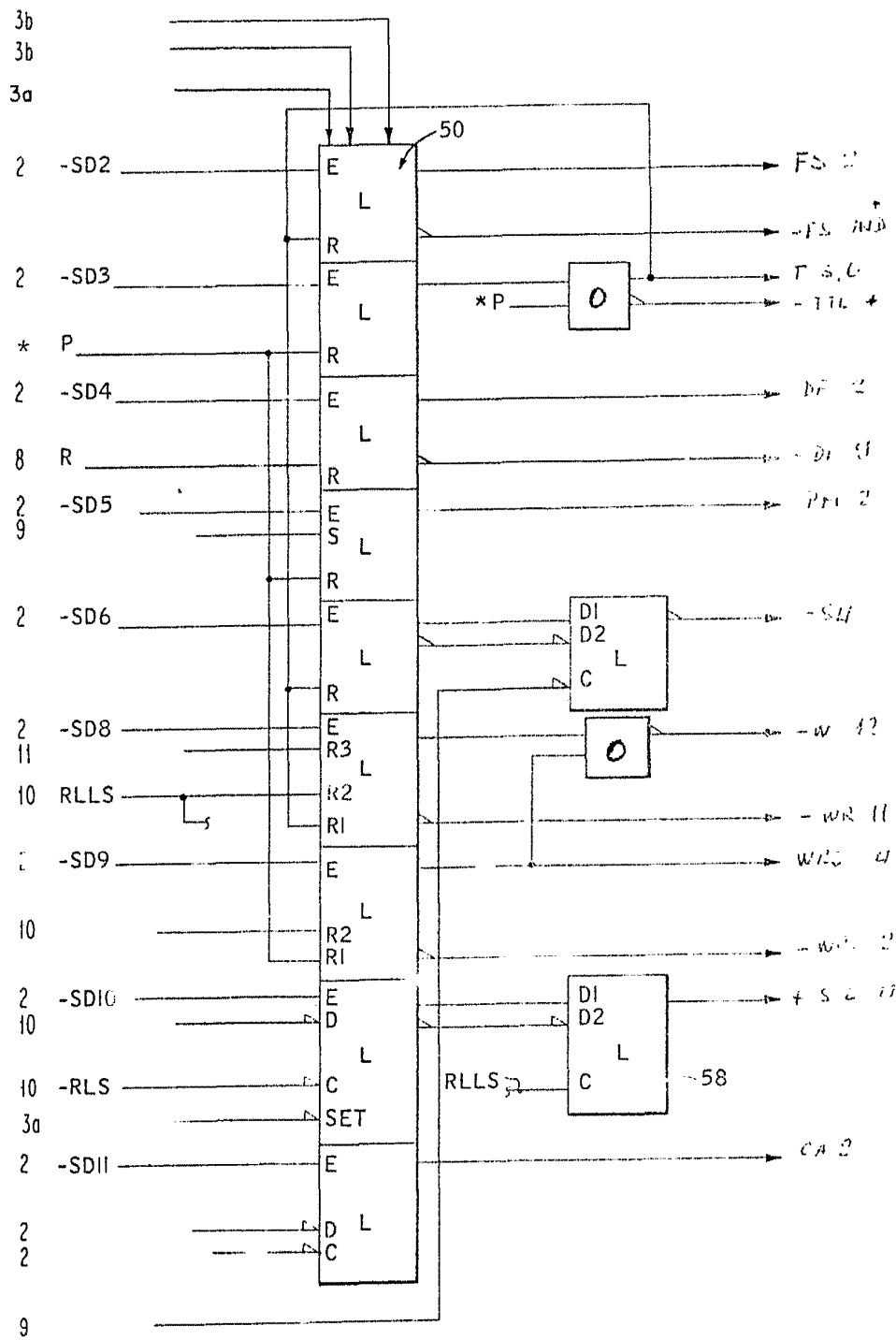


FIG. 6

Alberio
Pgr Poder

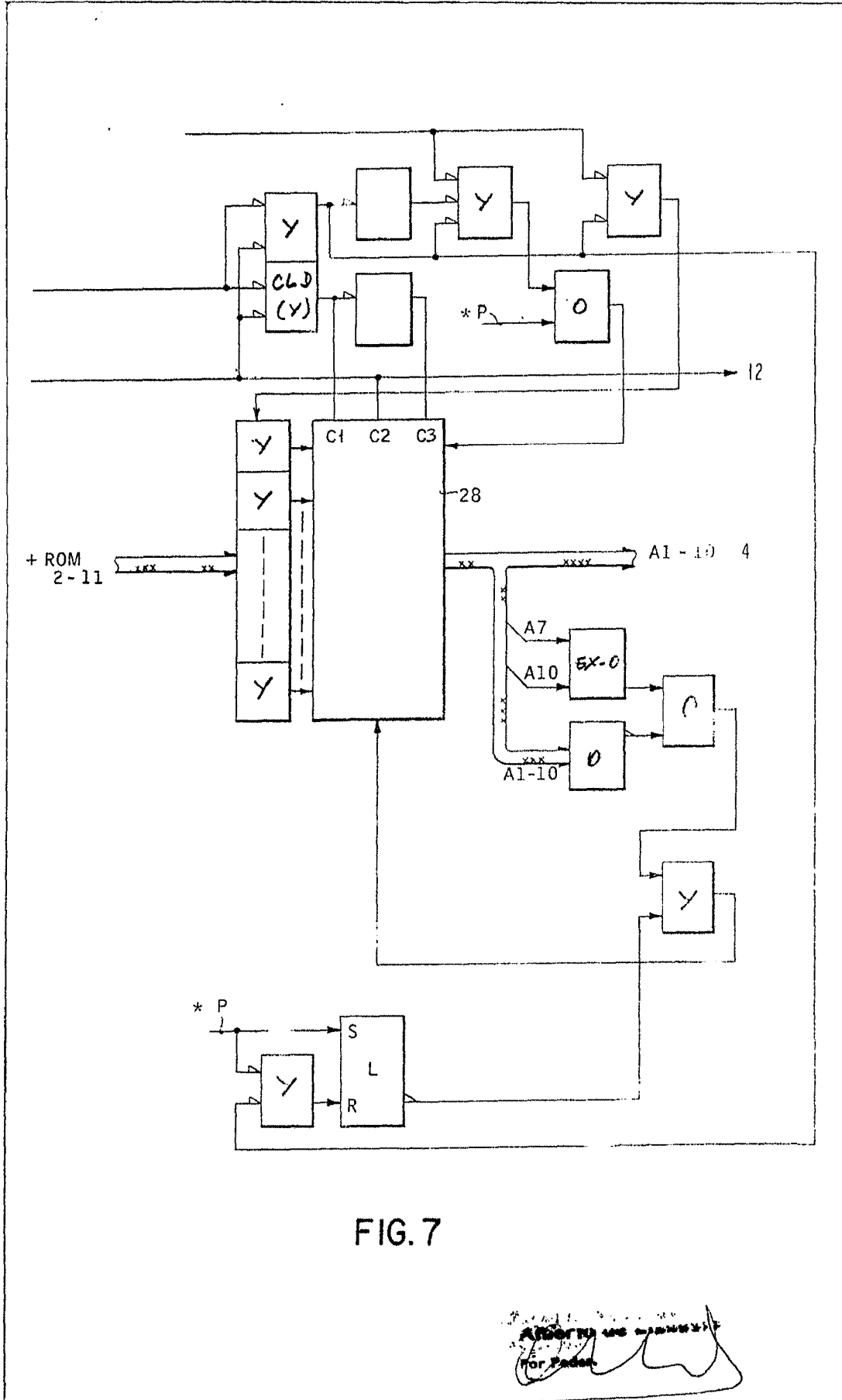


FIG. 7

APPROVED AND AUTHORIZED
FOR PAGES

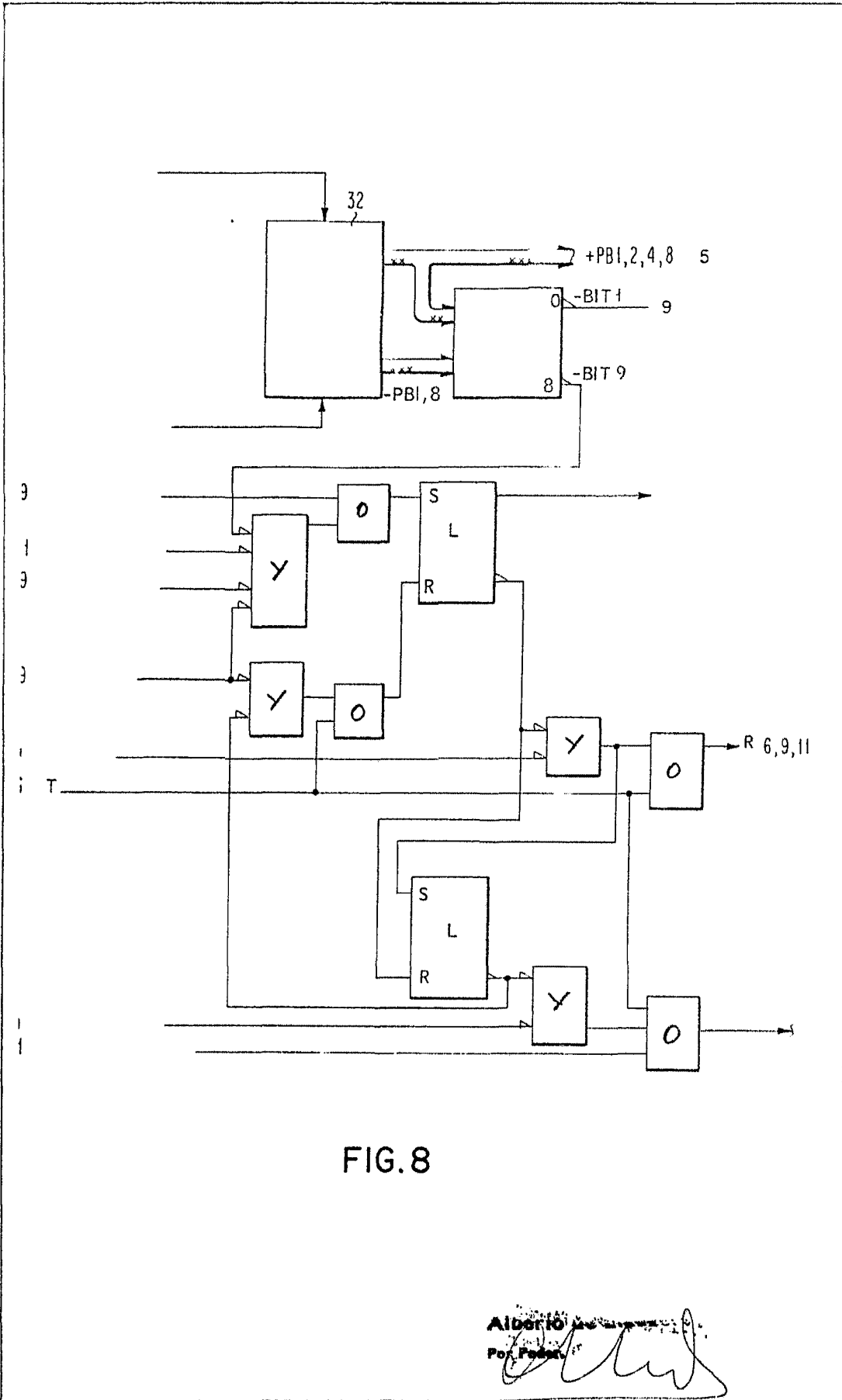


FIG. 8

Alberto
Pos. Fedet.
[Handwritten Signature]

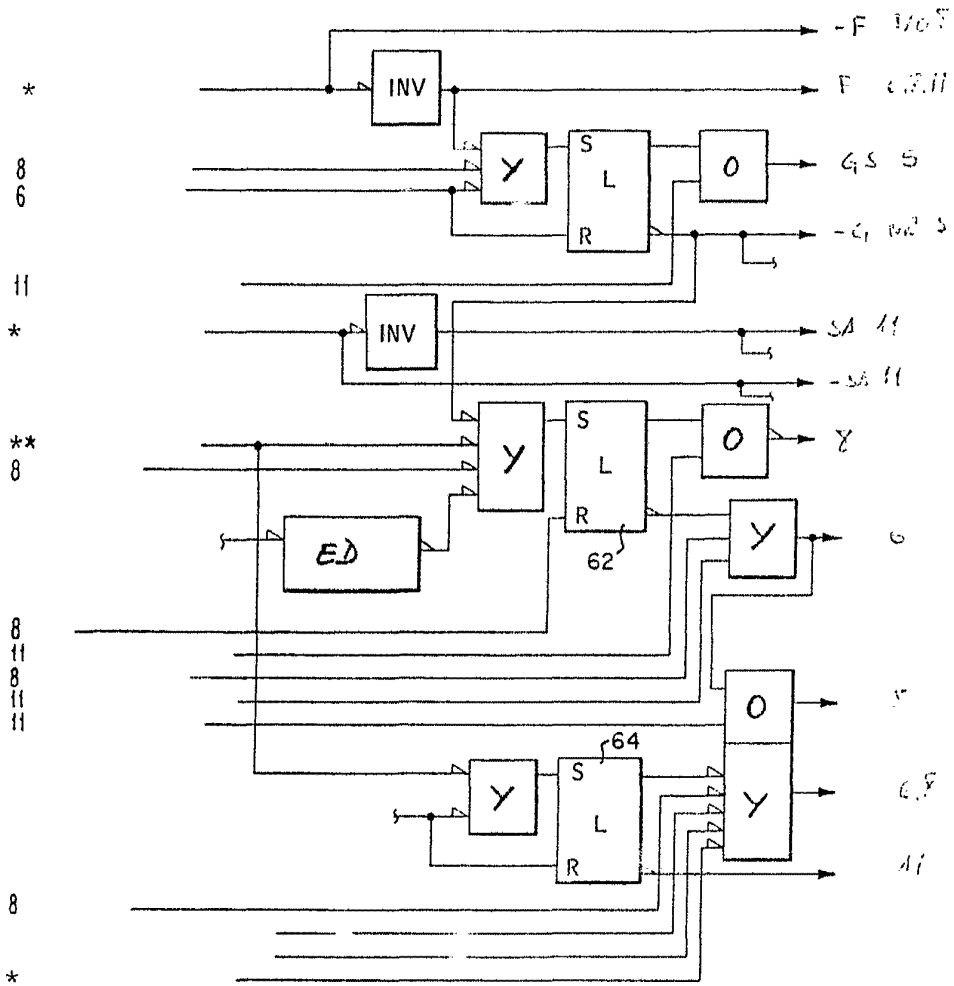


FIG. 9

[Handwritten signature and illegible text]

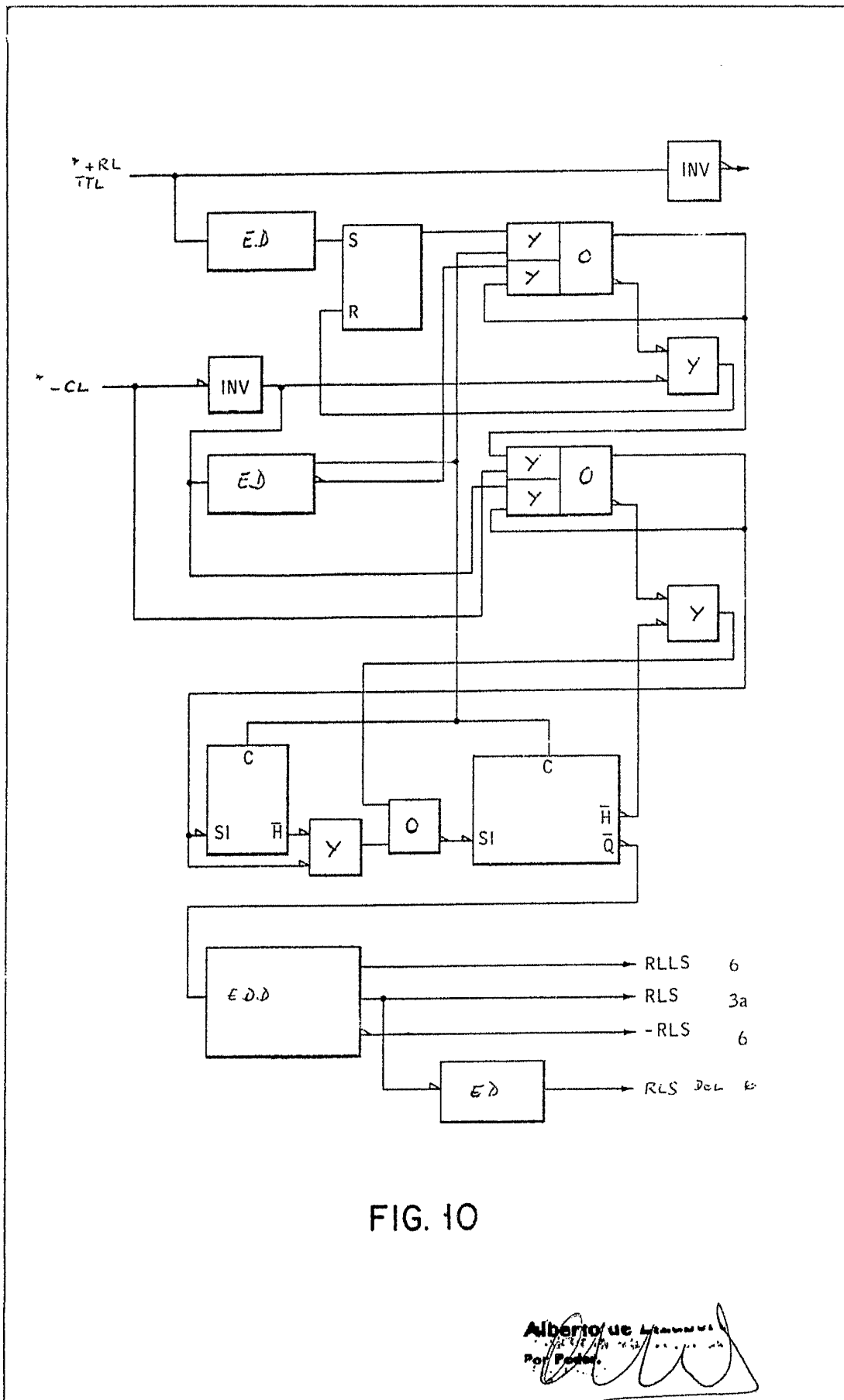
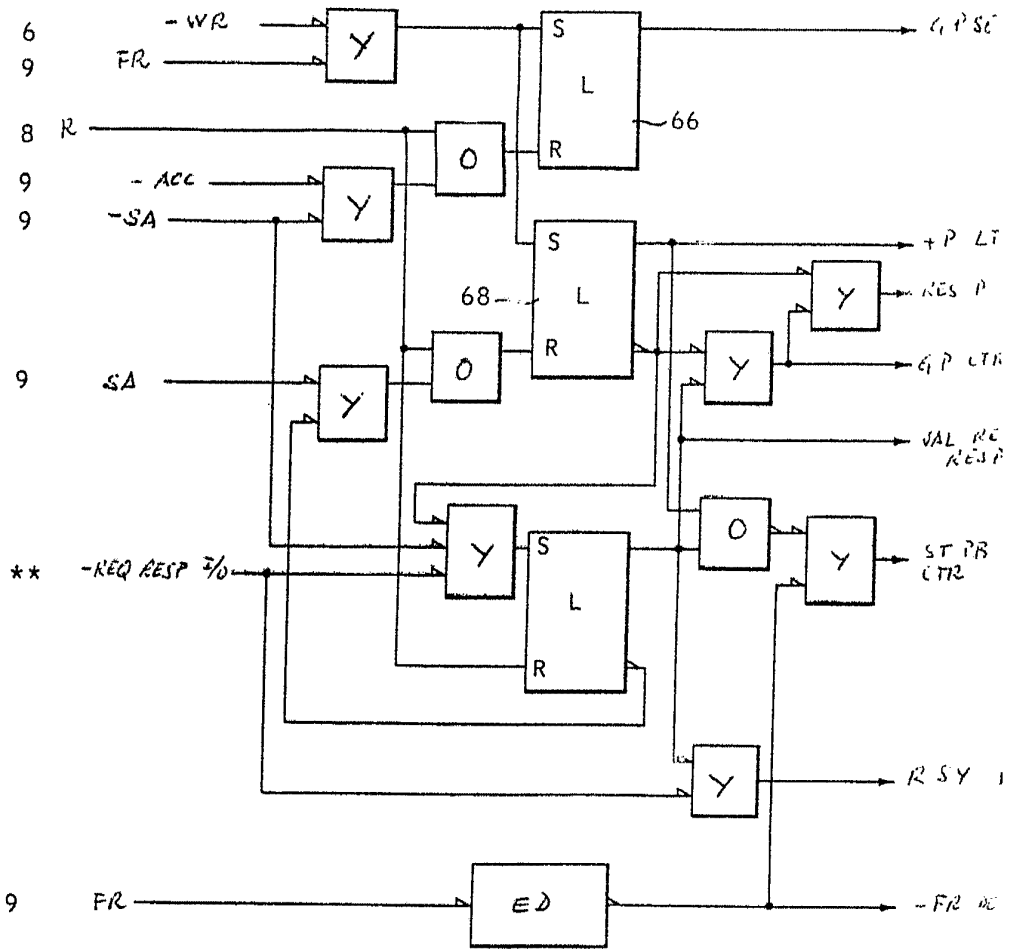


FIG. 10

Alberto de Lencastre
 Prof. F. de Lencastre



**

FIG. 11

Alberto de...
For Patent.

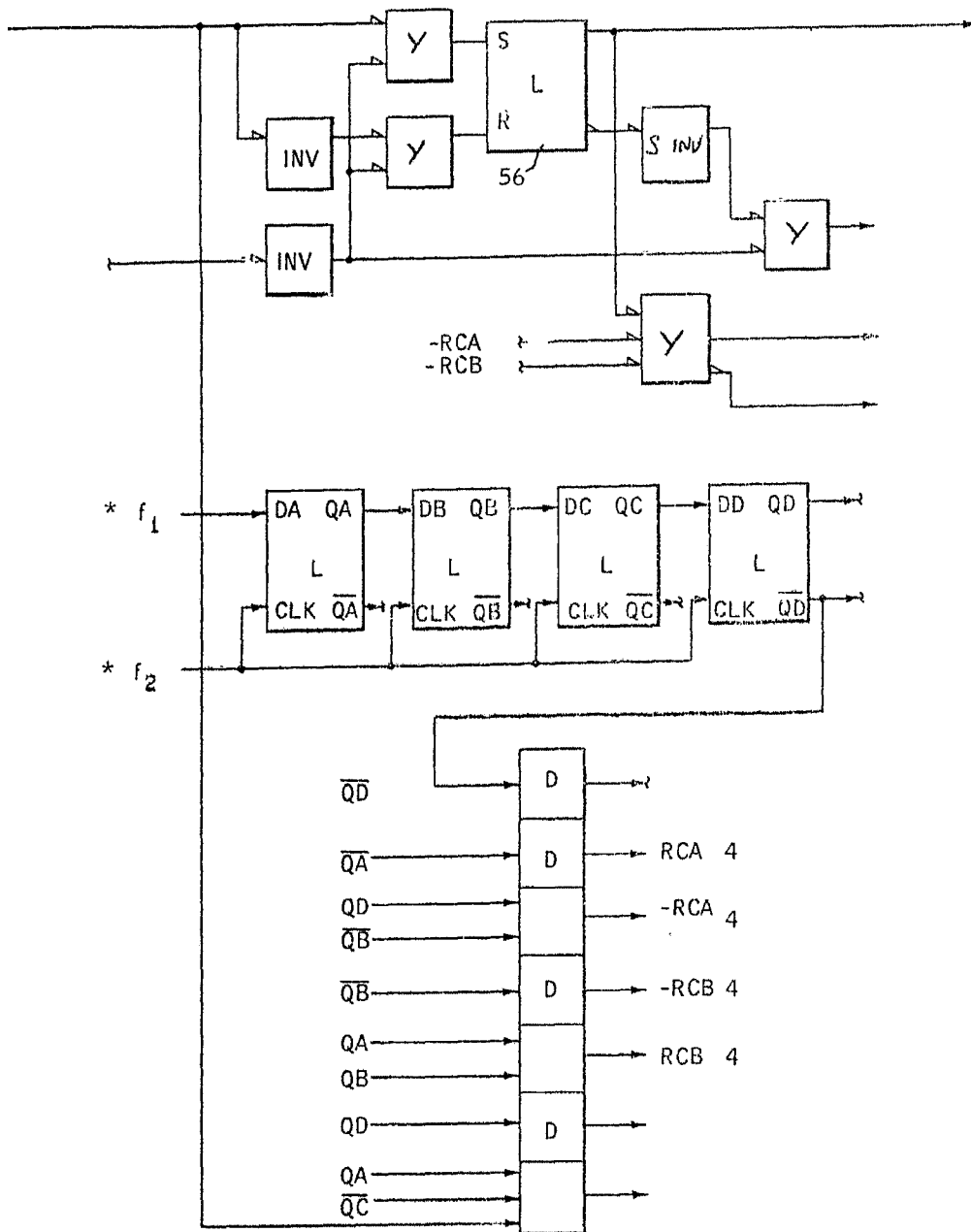


FIG. 12

Alberto M. ...
For Patent

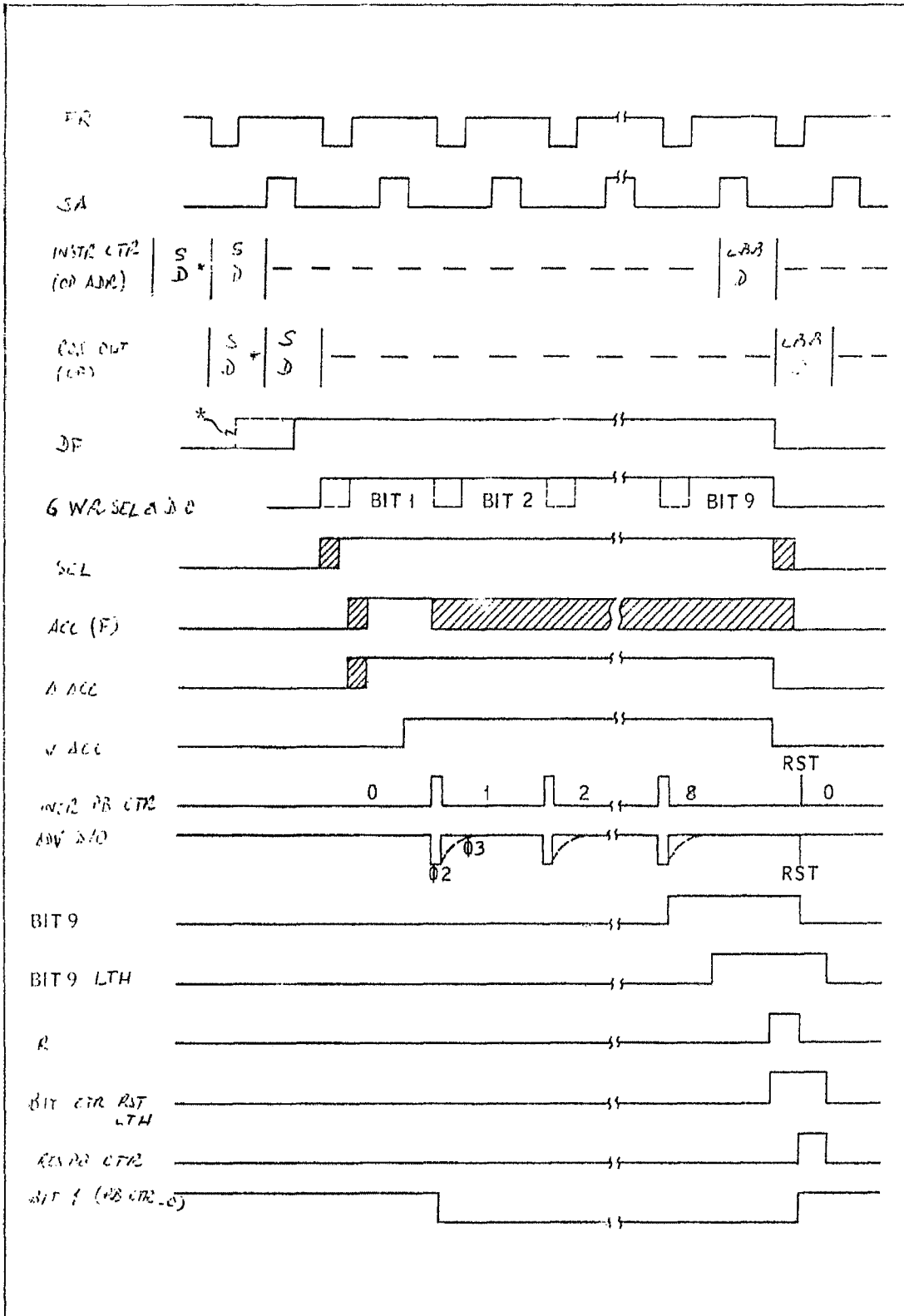


FIG. 13

Alberio us
Fodan

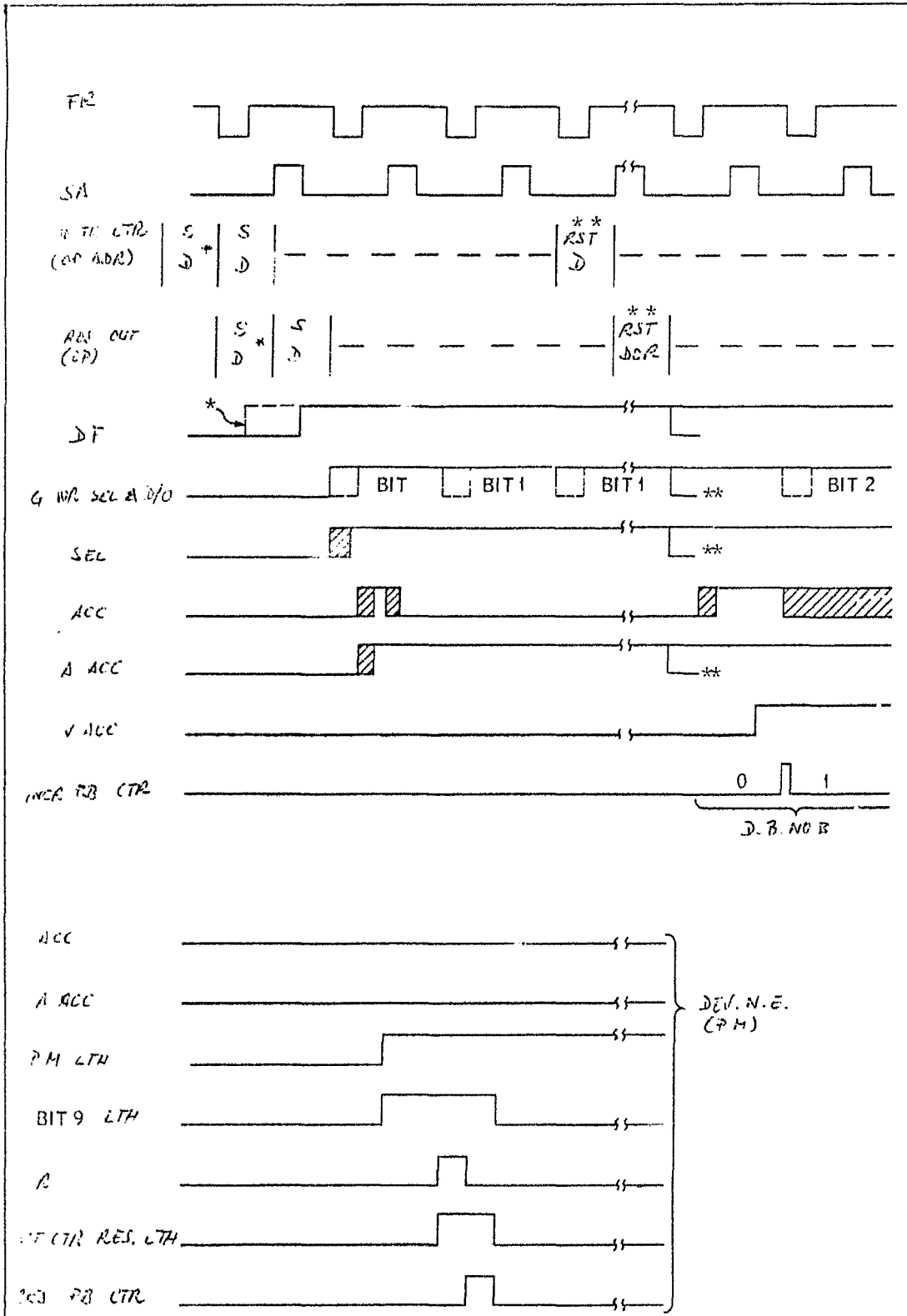


FIG. 14

Alberto G. ...
 For Power ...
[Handwritten signature]

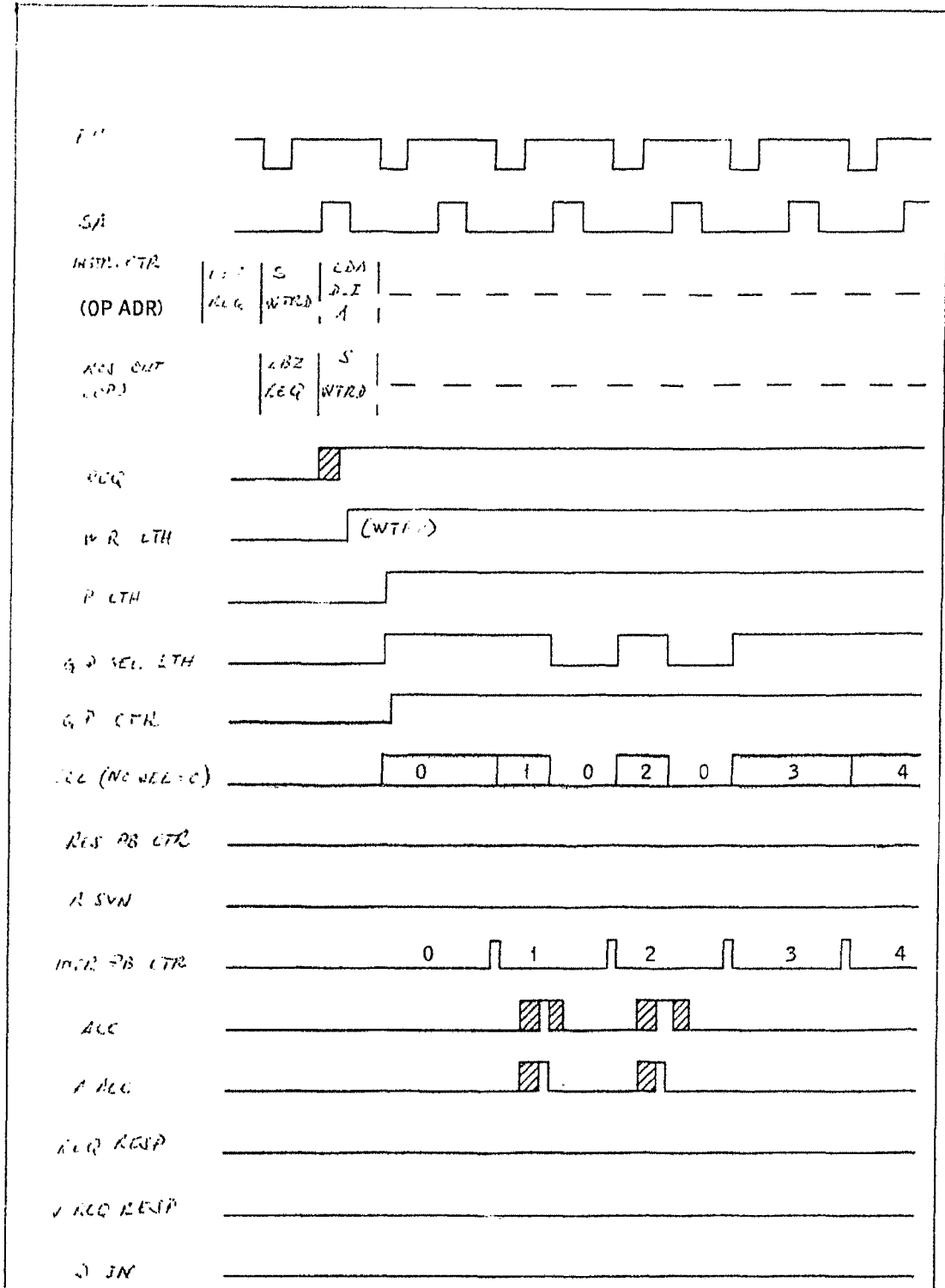


FIG. 15

Approved for release
 by Special Agent in Charge
 [Signature]

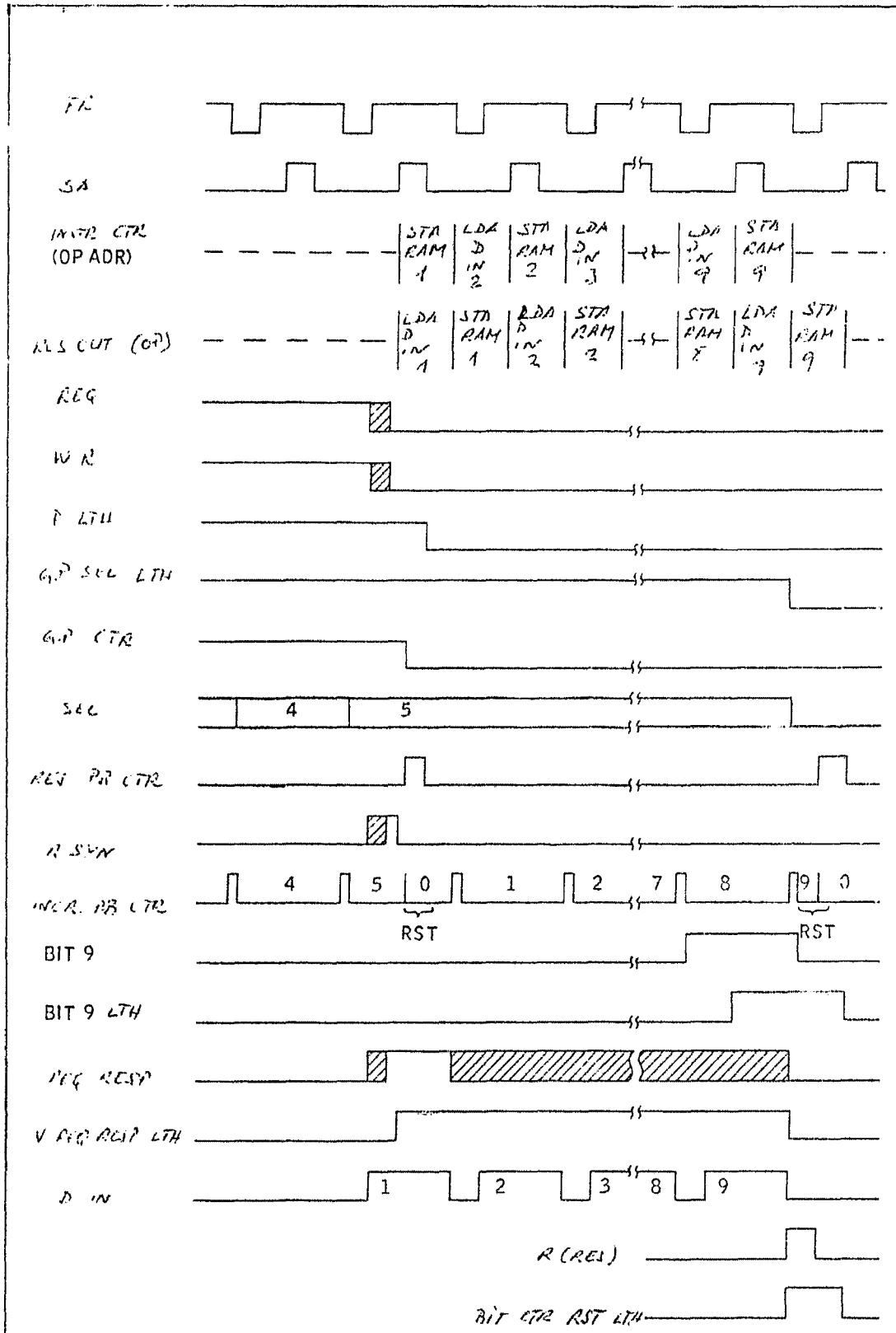
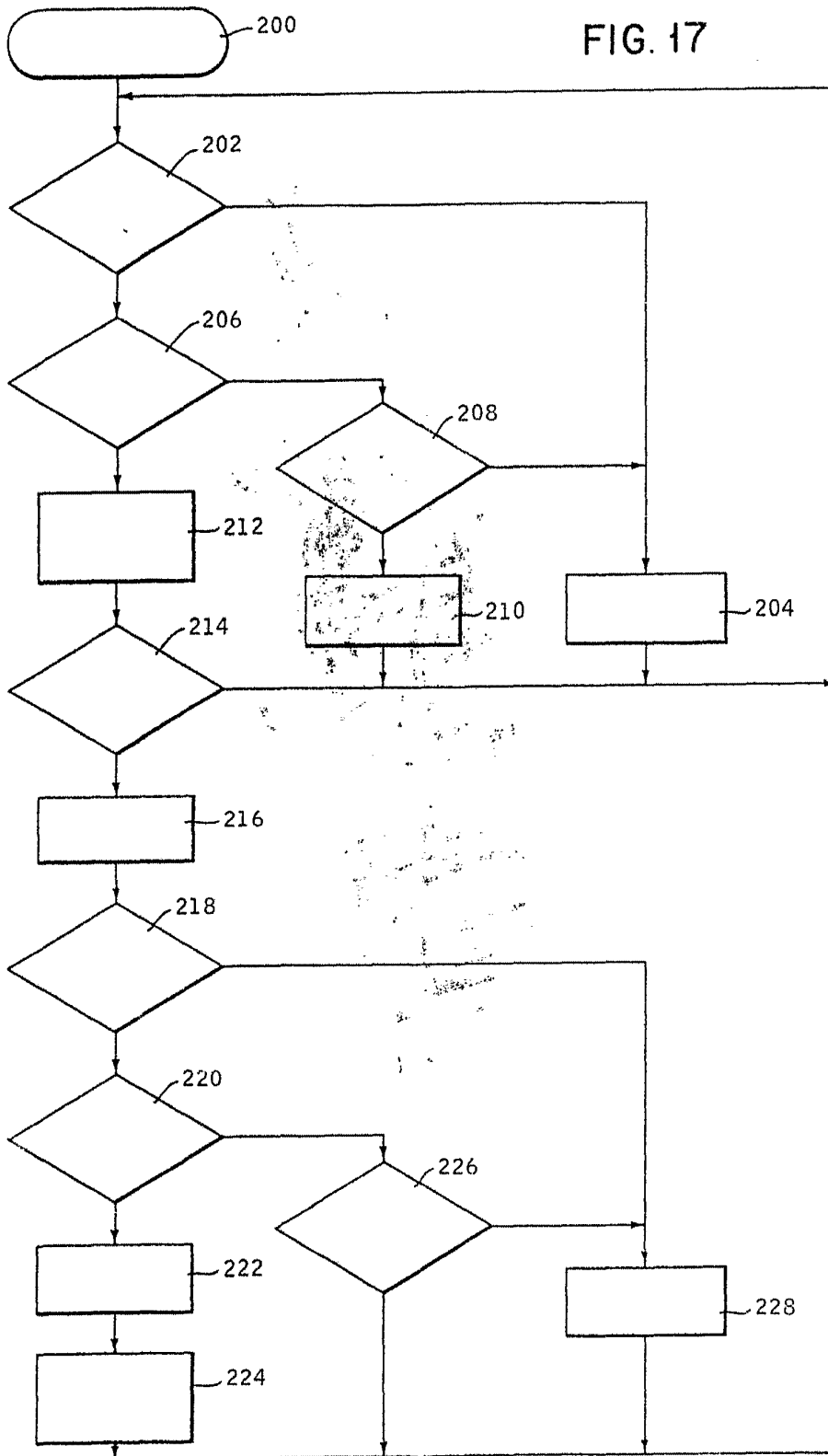


FIG. 16

Aldorco
 Pac. Indust.

FIG. 17



Alfonso de ...
by ...