



19 ES	11 NUMERO 21 447222	10 A 1
	22 FECHA DE PRESENTACION	

PATENTE DE INVENCION

60 PRIORIDADES: 91 NUMERO	92 FECHA	93 PAIS
570.057 G. 236	21.Abril,75	Estados Unidos

47 FECHA DE PUBLICIDAD	51 CLASIFICACION INTERNACIONAL	62 PATENTE DE LA QUE ES DIVISIONARIA
------------------------	--------------------------------	--------------------------------------

54 TITULO DE LA INVENCION
"UN CIRCUITO PARA LA ASIGNACION DE CANAL AUTOMATICO"

71 SOLICITANTE (S)
STANDARD ELECTRICA, S.A.

DOMICILIO DEL SOLICITANTE
Madrid, calle de Ramirez de Prado, n.º 5.

72 INVENTOR (ES)
James Monroe Clark

73 TITULAR (ES)

74 REPRESENTANTE
D. Manuel Gómez Santamaría.

El presente invento se refiere a un circuito para la asignación de canal automático, en una asociación de control para una combinación de multiplexor y demultiplexor por división de tiempo digital síncrono o asíncrono en un terminal de comunicaciones, para asignar los canales de flujos de datos síncronos recibidos o transmitidos a señales de datos síncronos a asíncronos, de una manera tal que disminuye al máximo la memoria de datos temporal, sin importar el número de cadencias diferentes de bits de las señales de datos, asignando las señales de datos a los canales de cada uno de los flujos de datos transmitidos y recibidos de tal manera que los bits de cada una de las señales de datos tiendan a tener igual espaciamiento en todos los bits de los flujos de datos transmitidos y recibidos asociados. Sin embargo, el circuito de asignación de canal automático, proporciona, automáticamente una selección de cadencia en el tiempo y un formato de datos variable respecto a los portadores. El circuito de control de asignación de canal incluye también un elemento para indicar automáticamente cuando la mezcla total de cadencias de bits ha excedido un máximo permisible.

El invento se refiere a un circuito de asignación de canal automático en sistemas de comunicaciones múltiplex por división de tiempo digitales (TDM), en una asociación que controla un multiplexor y demultiplexor TDM síncrono ó asíncrono utilizado en un terminal de comunicaciones de un sistema de comunicaciones digital.

Para evitar confusiones, las señales de entrada de datos síncronas o asíncronas a ser multiplexadas y las señales de salida demultiplexadas se denominarán aquí

como señales "portadoras" de transmisión o recepción, y las aberturas de tiempo básicas en un formato de flujo de datos multiplexados síncrono se denominarán "canales".

Un objetivo del presente invento es proporcionar un circuito de asignación de canal automático en una asociación de control con un multiplexor y demultiplexor TDM digital asíncrono ó síncrono, en un terminal de comunicaciones de un sistema de comunicaciones digital que proporciona casi igual espaciamiento de bits de cada cadencia de datos en un flujo de datos síncrono para cualquier mezcla de cadencias de datos hasta una cadencia total máxima con un mínimo de facilidades de almacenaje temporal.

Una característica del presente invento es la provisión de un circuito de asignación de canal automático en una asociación de control con un multiplexor y demultiplexor multiplex por división de tiempo digital síncrono o asíncrono en un terminal de comunicaciones, para controlar la multiplexión de N señales portadoras de transmisión que tienen una primera mezcla de cadencias diferentes de bits, en un flujo de datos síncronos transmitidos que tiene un formato de datos fijo predeterminado y una cadencia de bits dada mayor que la cadencia total de la primera mezcla de cadencias diferentes de bits, y para controlar la demultiplexión de N señales portadoras de recepción que tienen una segunda mezcla de cadencias de bits diferentes, de un flujo de datos síncronos recibido, que tiene el mismo formato de datos y la cadencia de bits dada, donde N es un entero mayor que la unidad, y que comprende: una primera fuente de un primer código de temporización que identifica las aberturas de tiempo de transmisión del flujo de datos transmitido; una

segunda fuente de un segundo código de temporización que identifica las aberturas de tiempo de recepción del flujo de datos transmitido , y un circuito acoplado a la primera y segunda fuentes que responde, de una manera dada, a los

5 códigos primero y segundo de temporización, para producir, por lo menos, un señal de control de transmisión y, por lo menos, una señal de control de recepción, para controlar la distribución de los bits de cada una de las señales portadoras de transmisión con igual espaciamiento en todas las

10 aberturas de tiempo de transmisión y para controlar la extracción de bits de cada una de las señales portadoras de recepción, del flujo de datos recibido, estando distribuidos los bits de cada una de las señales portadoras de recepción con igual espaciamiento en todas las aberturas de

15 tiempo de recepción, estando de acuerdo la distribución de los bits de cada una de las señales portadoras de transmisión y recepción en las aberturas de tiempo de transmisión y recepción, con su cadencia de bits asociada.

En el caso en que las mezclas primera y segunda sean diferentes, el circuito acoplado a la primera

20 y segunda fuentes responderá secuencialmente a ambos códigos de temporización.

En el caso en que las mezclas primera y segunda sean idénticas, el circuito acoplado a las fuentes

25 primera y segunda puede responder simultáneamente, en lugar de secuencialmente, a ambos códigos de temporización.

Las características y objetivos anteriores del invento aparecerán más detallados en la descripción que sigue y en los dibujos que se acompañan en los cuales

cronos típico;

La fig. 1B ilustra una distribución típica de bits de tres fuentes de datos diferentes que tiene, cada una, una cadencia de bits diferente en el formato de la fig. 1A de acuerdo con las técnicas primitivas;

La fig. 1C es un diagrama bloque del circuito necesario para distribuir los bits de tres fuentes de datos diferentes que tiene cada una una cadencia de bits diferente, de acuerdo con la técnica anterior ilustrada en la fig. 1B;

La fig. 2 ilustra la distribución de los bits de tres fuentes de datos diferentes que tiene cada una una cadencia de bits diferentes en el formato de la fig. 1A, de acuerdo con los principios del presente invento;

La fig. 3 ilustra un conjunto de curvas que definen la asignación de aberturas de tiempo de un flujo de datos síncrono para diferentes cadencias portadoras;

La fig. 4 ilustra un formato de datos de 32 KBS (Kilobits por segundo) utilizado en la realización de la fig. 6 de acuerdo con los principios del presente invento,

La fig. 5 ilustra el formato de cabeza para el formato de datos de la fig. 4;

La fig. 6 es un diagrama bloque de una configuración del circuito de asignación de canal automático, de acuerdo con los principios del presente invento;

La fig. 7 es un conjunto de curvas que ilustran como se sincroniza el circuito de la fig. 6;

La fig. 8 es un diagrama bloque de otra configuración del circuito de asignación de canal automático, de acuerdo con los principios del presente invento, reali-

zado por una modificación de la fig. 6 debajo de la línea A-A; y

La fig. 9 es un diagrama de tiempos que ilustra el funcionamiento de la configuración de la fig. 8.

5 Seguidamente describiremos el problema básico de proporcionar circuitos apropiados que permitan una mezcla de cadencias para una combinación de multiplexor y demultiplexor y la solución básica a tal problema.

Supongamos tres fuentes de datos con cadencias 10 continuas de 400, 200 y 100 BPS (bits por segundo) para ser multiplexados en un formato de flujo de datos síncrono con 100 bits por segundo para sincronización. Puede utilizarse un formato de datos síncronos que define ocho canales C0-C7 de 100 BPS cada uno, como se muestra en la 15 fig. 1A.

Pueden utilizarse cuatro canales del formato de la fig. 1A para la fuente S1 de 400 BPS, dos canales para la fuente S2 de 200 BPS, un canal para la fuente S3 de 100 BPS y un canal de sincronización S. Si se asignan canales 20 consecutivos del formato de la fig. 1A a las fuentes, resulta el formato de la fig. 1B.

El formato de la fig. 1B no es bueno porque, por ejemplo, los bits de la fuente S1 se envían al doble de la cadencia media durante la primera mitad del cuadro. Esto 25 requiere almacenaje temporal de los bits en almacenajes temporales 4, 5 y 6 antes de multiplexar en el multiplexor 7 bajo el control de la fuente síncrona 8, como se muestra en la fig. 1C, porque la cadencia de la fuente es continua: esto es, los bits de la fuente están igualmente espaciados.

30 El almacenaje proporcionado por los almacenajes

temporales 4, 5 y 6 puede disminuirse al mínimo utilizando la distribución del bits de las fuentes S1 y S2 y S3, como se muestra en la fig. 2. De acuerdo con la fig. 2, para cada fuente, los bits asignados a esta fuente están igualmente espaciados y, como consecuencia, transmitidos continuamente.

Aún cuando el formato de datos de la fig. 2 es típico del utilizado en este invento, también es un formato típico de técnicas anteriores y la mezcla de cadencias conocida en el momento del diseñado y construida en circuitos lógicos. Las técnicas anteriores pueden aún proporcionar unas mezclas algo diferentes seleccionables por un conmutador. Pero ningún dispositivo anterior ha podido proporcionar cualquier mezcla de cadencias (normalmente, millones de combinaciones) como si puede realizarse con el circuito de asignación de canal automático de este invento, donde la mezcla de cadencias se selecciona en el momento en que el equipo entra en funcionamiento, sin que sea diseñado anteriormente.

Cada uno de los flujos de datos transmitidos y recibidos tienen un formato de datos fijo predeterminado con respecto a los canales. Sin embargo, el circuito de asignación de canal automático del presente invento proporciona, en efecto, una selección automática de cadencia en el tiempo determinada de un formato de datos variable respecto a los portadores.

Un problema resuelto por el presente invento es el proporcionar un circuito de asignación de canal automático en una asociación de control con un multiplexor para que éste pueda combinar hasta N señales de datos en un flujo de salida de datos síncronos. Una señal de datos puede

tener cualquiera de las cadencias de datos R , $2R$, $4R$, $8R$..
 $\dots 2^m R$, y la cadencia del canal de salida del flujo de salida de datos síncronos es de $2^m R$. La cadencia KR se utiliza para "encabezamiento", esto es, otras funciones tales como
 5 sincronización, y cualquier combinación de cadencias puede existir en los que la cadencia total de todas las fuentes no exceda de $(2^m - K)R$. De acuerdo con los principios del presente invento se describirá una técnica general para
 asignar los canales del flujo de datos síncrono que dis-
 10 minuirá los requerimientos de memoria de datos temporal o almacenaje sin importar la combinación de cadencias. El circuito de asignación de canal de este invento adapta automáticamente un formato de datos apropiado según las técnicas anteriores cuando para cada fuente, se activa un conmutador para indicar la cadencia seleccionada. También, el cir-
 15 cuito de asignación automática del invento proporciona un elemento para indicar automáticamente cuando el total de las cadencias seleccionadas ha excedido la cadencia máxima permisible.

20 Otro problema resuelto por el invento es similar al anterior, pero las cadencias son $K_1 R$, $k_2 R$, $K_3 R$..
 $K_N R$ y la cadencia del canal de salida es KR , donde las constantes K_1 , K_2 ... K_N y K son enteros, pero no necesariamente potencias de dos. En este caso, se requieren más facilidades
 25 de almacenaje de datos temporal, pero las facilidades de almacenaje con respecto a las facilidades de almacenaje de la técnica anterior puede todavía ser disminuidas. (El espaciamiento de bits es casi, pero no necesariamente, exactamente ecualizado).

30 Las mismas técnicas discutidas anteriormente

son también aplicables a la conmutación por división de tiempo de los portadores con cadencias mezcladas.

A continuación figura una descripción de los conceptos principales del presente invento. Para mayor claridad, los valores $R = 100$, $N = 3(2^n = 8)$, $m = 4(2^m = 16)$, $K = 1$ y $N = 5$ se utilizarán en dicha descripción.

Para un cuadro de $2^m = 16$ bits, la posición de bit o aberturas de tiempo se numeran convencionalmente del 0 al 15, y estas aberturas de tiempo pueden ser identificadas por los estados de un contador binario de m -bits que cuenta de 0000 a 1111 (0 a 15 en decimal).

Los números de canales que corresponden a los números de aberturas de tiempo serán definidos de tal manera que resulten de la mayor utilidad. Para cualquier abertura de tiempo, se obtiene el número de canal correspondiente escribiendo el número de abertura de tiempo en notación binaria hacia detrás, obteniendo el número de canal en notación binaria. Esto es, el bit menos significativo del número de canal es también el bit más significativo de la abertura de tiempo y viceversa. Puede utilizarse también el mismo proceso para convertir el número de canal en número de abertura de tiempo. Esto es ilustra en la siguiente tabla

TABLA I

número abertura tiempo		número canal	
decimal	binario	binario	decimal
0	0000	0000	0
1	0001	1000	8
2	0010	0100	4
3	0011	1100	12
4	0100	0010	2
5	0101	1010	10
6	0110	0110	6
7	0111	1110	14
8	1000	0001	1
9	1001	1001	9
10	1010	0101	5
11	1011	1101	13
12	1100	0011	3
13	1101	1011	11
14	1110	0111	7
15	1111	1111	15

Por ejemplo, la abertura de tiempo 11 corresponde al canal 13, y la abertura de tiempo 13 corresponde al canal 11.

15

Si los números se toman en el orden mostrado en la siguiente Tabla II.

TABLA II

números canal	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
20 asignaciones portadoras 8R	← A →							← B →								
asignaciones portadoras 4R	← C →			← D →				← E →			← F →					
asignaciones portadoras 2R	G		H		I		J		K		L		M		N	
25 asignaciones portadoras R	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15

y los números de canales se parten en medios, cuartos, octavos, etc., como se muestra en la Tabla II, se tendrán unas asignaciones de portadoras apropiadas. Los canales 0-7 (asig-

30 nación A) o los canales 8-15 (asignación B) son cada una

asignaciones apropiadas para una portadora que requiere la cadencia 8R, esto es, una portadora que requiere ocho canales. Refiriéndonos a las tablas I y II, nótese que la asignación A incluye todas las aberturas de tiempo pares, y la asignación B incluye todas las aberturas de tiempo impares. En cada caso, las aberturas de tiempo están igualmente espaciadas en tiempo como muestra la fig. 3 que indica los números de aberturas de tiempo en secuencia.

Dividiendo la asignación A en dos partes se crean las asignaciones C y D apropiadas para una cadencia 4R como se muestra en la Tabla II. La Tabla II y la fig. 3 muestran como las asignaciones se dividen repetidamente por la mitad hasta que se obtienen las asignaciones de un canal (o una abertura de tiempo) por portadora.

Para obtener las asignaciones apropiadas cuando se seleccionan cadencias de portadoras específicas, tal como se muestra en la Tabla III.

		<u>TABLA III</u>				
portadora	1	2	3	4	5	
cadencia	R	4R	R	8R	R	

las portadoras se clasifican por cadencias, de tal manera que las portadoras de cadencia más elevadas pueden ser asignadas a canales antes que las portadoras de cadencia inferiores, como se ilustra en la Tabla IV.

		<u>TABLA IV</u>					
portadora	4	2	nada	1	3	5	
cadencia	8R	4R	2R	R	R	R	

La secuencia de las portadoras 1, 3 y 5 es arbitraria, porque tienen la misma cadencia. Los canales se asignan entonces en el orden que se indica en la Tabla V.

TABLA V

números de canal	0	7	8	11	12	13	14
asignación	← A →		← E →		12	13	14
5 portadora	4		2		1	3	5
cadencia	8R		4R		R	R	R

El canal 15 se deja para funciones de encabezamiento.

Puede ser conveniente utilizar una codificación binaria de cada asignación de portadora que sea compacto (pocos bits) y fácil de interpretar. Si se utiliza una X para indicar una condición "sin cuidado", los números de canal y números de aberturas de tiempo que corresponden a las asignaciones A-N pueden ser representados como indica la Tabla VI.

TABLA VI

	asignación	canal	abertura tiempo	código asignación
	A	OXXX	XXXO	00010
	B	1XXX	XXX1	00011
	C	00XX	XX00	00100
5	D	01XX	XX10	00110
	E	10XX	XX01	00101
	F	11XX	XX11	00111
	G	000X	X000	01000
	H	001X	X100	01100
	I	010X	X010	01010
	J	011X	X110	01110
10	K	100X	X001	01001
	L	101X	X101	01101
	M	110X	X011	01011
	N	111X	X111	01111
	O	0000	0000	10000
	1	0001	1000	11000
	etc.	etc.	etc.	etc.
15	15	1111	1111	11111

La representación de abertura de tiempo no es binaria, ya que un dígito puede ser 0, 1 ó X; pero puede formarse un código de asignación binario sustituyendo cada fila de X por un número igual de ceros binarios seguidos de un uno binario. Esto es, la especificación de abertura de tiempo XXX se sustituye por 0001; la especificación de abertura de tiempo XX se sustituye por 001; la especificación de abertura de tiempo X se sustituye por 01; y se añade un 1 a la izquierda si no existe una X en la especificación de abertura de tiempo. El código de asignación 00000 puede utilizarse para indicar una no asignación (portadora libre). La interpretación es fácil, por ejemplo, el código 00101 tiene dos ceros de encabezamiento, por lo tanto, la especi-

ficación de abertura de tiempo es XX seguida de los bits 01 después del bit "1" de más a la izquierda, concretamente XX01. Sustituyendo las XX por todas las combinaciones posibles de dos bits, todas las aberturas de tiempo que pertenecen a esta asignación pueden ilustrarse como se indica en la Tabla VII.

TABLA VII

	<u>E</u>	<u>XX01</u>
10	1	0001
	5	0101
	9	1001
	13	1101

Nótese que las asignaciones de aberturas de tiempo de la Tabla VII coinciden con la asignación E de la fig. 3.

Supongamos que la cadencia de bits síncrona total (salida) es un múltiplo entero de R, pero no de la forma $2^m R$. Por ejemplo, $13R$ en lugar de $16R$ como en los ejemplos anteriores. En este caso, se suprimen los tres últimos canales 13, 14 y 15. Estos canales corresponden a las aberturas de tiempo 11, 7 y 15, que no existirán si se hace que el contador de temporización salte las cuentas 7, 11 y 15. Esto provoca alguna inestabilidad del formato, siempre menor que un ciclo, pico-a-pico, porque las aberturas de tiempo no están realmente igualmente espaciadas.

Supongamos que las cadencias de portadoras son múltiplos enteros de R, pero no de la forma $2^n R$. Para la cadencia de portadora pR , pueden asignarse P canales consecutivos, como antes. Esto corresponderá a aberturas de :

tiempo casi igualmente espaciadas, pero el espaciamiento no será perfecto, conduciendo a más inestabilidad. De cualquier modo, la inestabilidad será mínima comparada con otros esquemas tales como las configuraciones de técnicas anteriores, mencionadas antes.

En aplicaciones de multiplexión, el demultiplexor en un terminal remoto debe utilizar las mismas asignaciones que el multiplexor en el terminal local, estando ambos enlazados por un enlace de comunicaciones. La misma información de selección de cadencia debe estar disponible tanto en el multiplexor como en el demultiplexor enlazados, bien por un dispositivo anterior, o por coordinación con línea de órdenes o enviando la información por un canal de control prácticamente libre de error. También, cualquier elección arbitraria de asignaciones debe realizarse por la misma regla arbitraria tanto por el multiplexor como por el demultiplexor enlazados. Es conveniente asignar canales a las portadoras que requieran la misma cadencia aumentando el número del portador y aumentando el número de canal.

La conmutación por división de tiempo con cadencias mezcladas se consigue pareando un multiplexor y un demultiplexor con asignaciones diferentes. Esto se ilustra en la Tabla VIII.

TABLA VIII

	portadoras multiplexor	4	2	6	1	3	7	5
5	canales multiplexor	0-3	4-7	8 9	10 11	12 13	14	15
	canales demultiplexor	0 3	4 7	8 9	10 11	12 13	14	15
	portadoras cemultiplexor	5	1	3	7	2	4	6

10 Nótese en la Tabla VIII que la portadora del multiplexor 4 está conectada a la portadora de demultiplexor 5, etc. Así, las asignaciones de canal para las portadoras de entrada se hacen como se ha indicado anteriormente, pero cada vez que se da una asignación de canal A(M)

15 a una portadora de entrada M, se da la misma asignación de canal A(M) a la portadora de salida C(M). Pero, si la cadencia de la conmutación de la portadora de entrada M no se adapta a la cadencia de conmutación de la portadora de salida C(M), surge una señal de alarma.

20 Puede también conseguirse una combinación de conmutación y demultiplexión con cadencias mezcladas como se ilustra en la Tabla IX.

TABLA IX

	portadoras multiplexor	2	3	5	1	4	6
5	canales multiplexor	0 — 7	8 9	10 11	12 13	14	15
	canales demultiplexor	0 — 3 4 — 7	8 — 11	12 13	14	15	
	portadoras demultiplexor	1 5	2	3	6	4	

10 Como puede verse en la Tabla IX las portadoras del multiplexor 3 y 5 están multiplexadas en la portadora del demultiplexor 2 y la portadora del multiplexor 2 está demultiplexada en las portadoras de salida 1 y 5.

15 El resto de la descripción estará dedicada a una realización de la técnica de asignación de portadora descrita anteriormente.

20 La fig. 4 ilustra un formato de flujo de datos síncrono de 32 KBS apropiado para un multiplexor/demultiplexor asíncrono de 24 portadoras. Los canales de encabezamiento ocupan las aberturas de tiempo 11, 19 y 51 de cada subcuadro. Las asignaciones de canal del formato de flujo de datos están basadas en la codificación de canales y aberturas de tiempo como se muestra en la Tabla X.

TABLA X

Abertura de tiempo

LSB. MSB

Canal

MSB LSB

ABCDEF	Número Canal	Número Abertura de tiempo
000000	0	0
000001	1	32
000010	2	16
000011	3	48
000100	4	8
000101	5	40
000110	6	24
000111	7	56
001000	8	4
001001	9	36
001010	10	20
001011	11	52
001100	12	12
001101	13	44
001110	14	28
001111	15	60
010000	16	2
010001	17	34
010010	18	18
010011	19	50
010100	20	10
010101	21	42
010110	22	26
010111	23	58
011000	24	6
011001	25	38
011010	26	22
011011	27	54
011100	28	14
011101	29	46
011110	30	30
011111	31	62
100000	32	1
100001	33	33
100010	34	17
100011	35	49
100100	36	9
100101	37	41
100110	38	25
100111	39	57
101000	40	5
101001	41	37

DISPONIBLE PARA DATOS

.../.....

TABLA X (continuación)

Abertura tiempo		Canal		Número abertura tiempo	...
LSB	MSB	MSB	LSB		
ABCDEF		Número Canal			
5	101010	42	21
	101011	43	53		
	101100	44	13		
	101101	45	45		
	101110	46	29		
	101111	47	61		
	110000	48	3		
	110001	49	35		
	110010	50	19		
	110011	51	51	ENCABEZAMIENTO (3)	
	110100	52	11		
10	110101	53	43	Reserva-1/3	no usado-2/3
	110110	54	27		
	110111	55	59		
	111000	56	7		
	111001	57	39		
	111010	58	23	NO USADOS (10)	
	111011	59	55		
	111100	60	15		
	111101	61	47		
	111110	62	31		
15	111111	63	63		

Como es necesario, los números de canal 0-49 están disponibles para asignar a 24 portadoras. Los canales 50, 51 y 52 están permanentemente asignados a un canal de encabezamiento. Los números de canal 54-63 no se utilizan.

El número de canal 53 se utiliza solamente cada tercer cuadro medio, para obtener la división de la cadencia del flujo de datos síncrono de 32 KBS a la cadencia de datos de canal deseada. Los números de canal se hacen corresponder a las aberturas de tiempo (y viceversa) representándolos en notación binaria e invirtiendo los números binarios de tal manera que el bit más significativo (MSB) de un número de canal es también el bit menos significativo (LSB) del número de apertura de tiempo correspondiente, y viceversa. Los números de aberturas de tiempo se refieren a la secuencia de los datos en cada subcuadro y los números de canal se

refieren a la secuencia por la que se asignan las aberturas de tiempo (o canales).

Existen tres subcuadros por cuadro medio, y 64 cuadros medios por multicuadro como se muestra en la fig. 4. El tercer subcuadro en cada cuadro medio tiene 54 períodos de bits, excepto para los cuadros medios numerados 7, 15, 23, 27, 31, 39, 47, 55, 59 y 63 (los cuadros medios se numeran 0-63). Todos los otros subcuadros tienen 53 períodos de bit. La longitud del subcuadro se varía saltando la abertura de tiempo 43 como se necesario. Esto ajusta la cadencia de datos de cada canal de datos a 600,46912 BPS.

La fig. 5 ilustra dos formatos de datos. Cada uno de estos formatos incluye el código de sincronismo corto 01 con la "orden de no relleno" que incluye el número de cuadro medio, mientras que la "orden de relleno" incluye el complemento del número de cuadro medio. (El número de cuadro medio es seis bits en notación binaria).

Las palabras de datos de encabezamiento se utilizan para enviar el código de sincronismo corto y el código de sincronismo largo junto con una orden de relleno y no relleno. El sincronismo de multicuadro completo se consigue fácilmente en menos de 80 mseg. Combinando un código de sincronismo corto y un código de sincronismo largo, permite la obtención del sincronismo de multicuadro en mucho menos que el período de multicuadro (320 mseg). Tres subcuadros, que contengan una palabra de encabezamiento, se denomina un cuadro medio. Un contador de seis bits que cuenta 64 cuadros medios por multicuadro se sincroniza (para obtener la integridad de la cuenta de bits)

enviando la cuenta de seis bits cada cuadro medio. Para codificar el control de relleno, se envía un bit "1" y el complemento de la cuenta de seis bits, para indicar una acción de relleno.

5 Por ejemplo, consideremos la cuenta 000101 (binario 5) y su complemento 111010. Si la portadora asignada a la abertura de tiempo cinco no rellena la siguiente, entonces se envía un bit "0" y la cuenta aparecerá como 0000101. Si la portadora rellena la siguiente, entonces se
10 envía un bit "1" y una cuenta complementada, concretamente 1111010. Para obtener la cuenta para fines de sincronización, el primer bit es EXCLUSIVO-OR-ED con los siguientes bits, obteniendo 000101, (la cuenta) en ambos casos. Para detectar el mensaje de control de relleno, corrigiendo tres
15 errores de bits, la cuenta es EXCLUSIVA-OR-ED con los últimos seis bits, obteniendo 0000000 en el primer caso, y 1111111 en el segundo caso. Un voto mayoritario de siete bits corrige hasta tres errores de bit en cada código. El anterior código de siete bits es así un código de sincronis
20 mo largo combinado y un código de control de relleno. Un tal código de siete bits y un código de sincronismo corto de dos bits constituyen una palabra de encabezamiento de nueve bits, uno de los cuales ocupa cada cuadro medio.

Refiréndonos a la fig. 6, en ella se ilustra un diagrama bloque de un circuito de asignación de canal
25 automático de acuerdo con los principios del presente invento incluyendo un contador de exploración de portadora 9, un contador de exploración de cadencia 10 y un contador de transmisión-recepción 11, que cuenta hacia abajo desde un
30 reloj básico de 600 Hz. El contador 11 asigna la mitad de un

ciclo de cuenta a los circuitos de transmisión y la mitad a los circuitos de recepción (200 mseg en cada caso) donde las mezclas de cadencias de transmisión y recepción son diferentes. La salida del contador 11 hace que la entrada del contador 4 se conmute de un reloj de transmisión de 600 Hz a un reloj de recepción de 600 Hz en el multiplexor 12. Cuando las mezclas de cadencias de transmisión y recepción son idénticas, el contador 11 y el multiplexor 12 pueden ser eliminados, siendo excitados los contadores 9 y 10 desde cualquier conveniente reloj, a condición de que se haga uso del esquema alternativo de las figs. 8 y 9. En esta configuración no se requiere sincronización.

Sin embargo, con la realización mostrada en la fig. 6, la sincronización de los contadores 9, 10 y 11 en el modo de transmisión y recepción es necesaria, y se consigue utilizando estados extras de los contadores como se ilustra en la fig. 7. El contador de exploración de portadora 9 (curva A, fig. 7) cuenta generalmente a través de los estados que corresponden a las portadoras 1 a 24, el contador de exploración de cadencia 10 (curva B, fig. 7) cuenta generalmente a través de las cuentas que corresponden a las cadencias 9600, 4800, 2400, 1200 y 600 BPS y el contador de transmisión y recepción 11 (curva C, fig. 7) cuenta entre los estados de transmisión y recepción. Sin embargo, antes y después de cada cambio del contador 11, como se muestra en la curva A, fig. 7 (y solamente en esos instantes) se utilizan los estados extras B, S y R entre los estados "24" y "1" del contador 9. El propósito de estos estados extra es: B (en blanco)- Escribir códigos "en blanco" en la memoria del distribuidor de temporización de portadora para los canales

y aberturas de tiempo no asignados como se indicará después.
 S (sincronismo) - Esperar el primer impulso de reloj nueva-
 mente seleccionado. Por ejemplo, si el contador 11 se conmuta
 de RCV. (recepción) a XMT (transmisión), esperar el primer im-
 5 pulso de reloj XMT. Ya que un impulso de reloj RCV provocó
 la conmutación a la temporización XMT, y ya que XMT y RCV
 son asíncronos, la espera puede ser de cero a un período de
 reloj completo, esto es, no hay siempre suficiente tiempo
 para asegurar algo útil, por lo tanto, se espera para coman-
 10 zar un período de reloj completo.

R (reposición) - Reponer el acumulador 16 a cero. Esto se
 representa por la entrada CLEAR al acumulador 16.

El contador 9, según se ilustra en la fig. 6, puede tener un factor de división 24, pero también puede
 15 tener un factor de división 27, dependiendo del estado de
 cuenta del contador 10.

En cada mitad del ciclo de cuenta total,
 el contador 10 cuenta a través de cinco estados que repre-
 sentan las cadencias de bits portadoras en orden descendente
 20 9600, 4800, 2400, 1200 y 600 BPS. El multiplexor 13 seleccio-
 na el bus selector de cadencia de transmisión o recepción
 según determina el estado del contador 11. El código de se-
 lección de cadencia cambia a 1200 BPS si es TTY, (de otro mo-
 do, no cambia este código) y se compara entonces en el compa-
 25 rador 14 con el código de cadencia del contador 10. Los cón-
 digos de adaptación indican que el conmutador selector de
 cadencia explorado en ese momento por el contador 9 está se-
 leccionando la misma cadencia que a seleccionada por el con-
 tador 10. El resultado de esta comparación en el comparador
 30 14 se utiliza para activar la asignación de las aberturas de

tiempo para este conmutador selector de cadencia. Los contadores 9 y 10 están dispuestos de tal manera que las asignaciones se realicen de la siguiente manera

	todas las portadoras de transmisión a 9600 BPS
5	todas las portadoras de transmisión a 4800 BPS
	todas las portadoras de transmisión a 2400 BPS
	todas las portadoras de transmisión a 1200 BPS
	todas las portadoras de transmisión a 600 BPS
	todas las portadoras de recepción a 9600 BPS
10	todas las portadoras de recepción a 4800 BPS
	todas las portadoras de recepción a 2400 BPS
	todas las portadoras de recepción a 1200 BPS
	todas las portadoras de recepción a 600 BPS

dónde los 1200 BPS de la lista anterior incluye el modo TTY.

15 Dentro de cada uno de los grupos anteriores, a las portadoras se les da asignaciones en el orden de los números de portadoras (1 a 24, codificado de 0 a 23 en código binario, por ejemplo).

El conversor de código 15 convierte el código de selección de cadencia a un número binario (r) dando el número de canales por portadora. El registro acumulador 16 se repone a cero al comienzo de cada mitad del ciclo de cuenta total por la salida de 5 Hz del contador 10. Para el otro medio ciclo, el registro 16 mantiene una cuenta del número total de canales asignados. En un punto típico del ciclo de asignación, se han asignado (a) canales; concretamente los canales 0 a (a)-1 y tienen que asignarse a continuación (r) canales más, concretamente los canales (a) a (a)+(r)-1. Los canales se asignan según las necesidades de 0 a 50. Si

30 (a) + (r) es mayor que 50, el comparador 17 activa una alarma

de cadencia. La señal (a) + (r) se obtiene por el sumador binario 18 conectado a las salidas del convertidor 15 y el registro 16.

Un canal (c) es uno de los canales que se van a asignar a continuación si satisface las desigualdades $(a) \ll (c)$ y $(c) < (a) + (r)$. Dependiendo de cual medio ciclo sea el activo, se puertea el código de abertura de tiempo de transmisión o recepción a través del multiplexor 19 como está e invertido (volviendo a denominar los bits en orden inverso o invertir la conexión de cableado tal como en 20), convirtiendo así el código de abertura de tiempo a un denominado código de canal (c). Los comparadores 21 y 22 comprueban las dos anteriores desigualdades. Si se satisfacen ambas, y no hay alarma de cadencia, aparece un binario "1" a la salida del inversor 25 y se genera un impulso de activación de escritura al distribuidor de temporización de portadora de transmisión o recepción apropiado en las puertas-AND 23 y 24 durante la abertura de tiempo que corresponde al canal asignado. La activación de escritura hace que el código de portadora se escriba en una memoria o en los distribuidores de temporización de portadora de transmisión o recepción. Si la asignación difiere del código de portadora almacenado previamente, el código de portadora que se está leyendo en ese momento en la memoria de los distribuidores de temporización de portadora de transmisión o recepción y que se decodifica para producir los impulsos de temporización de portadora, se sustituirá por un nuevo código de portadora. Así, las memorias de los distribuidores de temporización de portadora de transmisión y recepción están "sujetos a" o "actualizados por" la información de cadencia que se almacena mecánicamente

por los conmutadores de selección de cadencia de transmisión y recepción.

Al final de cada medio ciclo, podrían asignarse menos de 50 canales (la cadencia total de la portadora puede ser menor que 30 KBS). Aunque no se muestra en el diagrama bloque, debe generarse una pausa en este punto, durante la cual, se escriban las portadoras "en blanco" en la memoria de los distribuidores de temporización de portadora de transmisión o recepción para los canales que satisfagan solamente la desigualdad $(a) \ll (c)$. Estos códigos de portadoras "en blanco" incluyen los números 24 a 31 en código binario, que no corresponden a las portadoras reales. Los decodificadores 1-entre-24 de los distribuidores de portadora de transmisión y recepción no producen impulsos para los códigos de portadoras "en blanco" y, ya que estos códigos "en blanco" se almacenan para los números de canales que exceden a 50 (canales de encabezamiento y relleno), no pueden generarse impulsos de temporización de portadora durante las aberturas de tiempo de encabezamiento o relleno.

La configuración del circuito de asignación automática de este invento, que se ha descrito, se incorpora en un conjunto de control con un multiplexor y demultiplexor de un terminal de un sistema de comunicaciones digitales, según se describió en la solicitud de Patente española nº 446.768.

Refiriéndonos a las figs. 8 y 9, se describió una alternativa de la fig. 6. Esta configuración alternativa es realmente una modificación de la configuración de la fig. 6 por debajo de la línea A-A. La señal de salida del comparador 14 se acopla, a través de la puerta-AND 28 en temporización T2, a una entrada del registro acumulador 16. El registro

acumulador 16, el sumador binario 18 y el comparador 17 funcionan como hemos descrito respecto de la fig. 6.

Como se describió en la solicitud citada anteriormente, los distribuidores de temporización de portadora de transmisión y recepción se utilizan para retener e interpretar la información de asignación proporcionada por los números binarios (a) y (a) + (r). (Los distribuidores de temporización de portadora se comparten por todas las portadoras).

Sin embargo, de acuerdo con las modificaciones de la fig. 8, los números de información de asignación se transfieren a los registros 26 y 27 bajo el control de las puertas-AND, 29-30. Los registros 26 y 27, las puertas asociadas 31, 32 y los comparadores 21, 22, 21' y 22' están ahora presentes en cada circuito de portadora, donde los registros 26 y 27 de cada portadora retienen solamente la información de asignación para la portadora asociada. Los números de salida del registro 26 están acoplados a los comparadores 21 y 21' en el distribuidor de la portadora de transmisión y los números de salida del registro 27 están acoplados a los comparadores 22 y 22' en el distribuidor de la portadora de recepción. Los códigos de aberturas de tiempo de transmisión se acoplan a los comparadores 21 y 22 y los códigos de aberturas de tiempo de recepción se acoplan a los comparadores 21' y 22'. Los comparadores 21 y 22 y la puerta-AND 33 interpretan los números de asignación acoplados a los mismos y generan las señales de temporización de portadora de transmisión, mientras que los comparadores 21' y 22' y la puerta-AND 34 interpretan el número de asignación acoplados a los mismos y generan las señales de temporización de portadora de recepción. T32 KHz y R32 KHz son relojes para las cadencias

de bits multiplexadas de transmisión y recepción, respectivamente.

Ha de quedar entedido que la anterior descripción de una forma determinada del invento se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de patente formulada en Estados Unidos el día 21 de Abril de 1975, señalada con el nº 570,057 Grupo 236 y se acoge por tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de 20 años son los siguientes:

- 5 1.- Un circuito para la asignación de canal automático, en asociación de control con un multiplexor y demultiplexor múltiplex por división de tiempo digital en un terminal de comunicaciones, para controlar la multiplexión de N señales portadoras de transmisión que tienen
- 10 una primera combinación de cadencias diferentes de bits, en un flujo de datos síncrono transmitido que tiene un formato de datos fijo predeterminado y una cadencia de bits dada mayor que la cadencia total de la primera combinación de diferentes cadencias de bits, y para controlar la
- 15 demultiplexión de N portadoras de señal de recepción que tienen una segunda combinación de cadencias diferentes de bits, a partir del flujo de datos síncrono recibido que tiene dicho formato de datos y la cadencia de bits dada, dónde N es un entero mayor que la unidad, comprendiendo:
- 20 - una primera fuente de un primer código de temporización que identifica las aberturas de tiempo de dicho flujo de datos transmitidos;
- una segunda fuente de un segundo código de temporización que identifica las aberturas de tiempo recibidas de los flujos de datos transmitidos; y
- 25 - un circuito acoplado a las fuentes primera y segunda que responde, de una manera dada, a los códigos de temporización primero y segundo para producir, al menos, una señal de control de transmisión y, al menos, una señal de control
- 30 de recepción, para controlar la distribución de bits de ca-

da señal portadora de transmisión con igual espaciamento de las aberturas de transmisión y controlar la extracción de bits de cada una de las señales portadoras de recepción del flujo de datos recibidos, estando distribuidos dichos bits de cada señal portadora de recepción con igual espaciamiento en todas las aberturas de tiempo de recepción, estando de acuerdo dicha distribución de bits de cada una de las señales portadoras de recepción y transmisión en las aberturas de tiempo de recepción y transmisión, con su cadencia de bits asociada.

2.- Un circuito para la asignación de canal automático, según el punto 1, en donde dicho circuito incluye:

- una tercera fuente de reloj de transmisión,
- una cuarta fuente de reloj de recepción,
- un primer contador para generar los códigos de portadora para las señales portadoras de transmisión y recepción,
- un segundo contador acoplado en serie con el primer contador para generar códigos para las señales portadoras de transmisión y recepción,
- un tercer contador acoplado en serie con el segundo contador para definir una porción de transmisión y una de recepción de un ciclo de funcionamiento del circuito, conectando dicho tercer contador la tercera fuente al primer contador durante la porción de transmisión y dicha cuarta fuente al primer contador durante la porción de recepción,
- un primer multiplexor acoplado al tercer contador, un bus de cadencia de transmisión y un bus de cadencia de recepción,
- un primer comparador acoplado al segundo contador y al primer multiplexor para comparar dichos códigos secuencialmente

- con una cadencia de transmisión, en el bus de cadencia de transmisión, y una cadencia de recepción, en el bus de cadencia de recepción, para producir una primera señal de control por cada porción de transmisión y cada porción de recepción,
- 5 - un conversor de código acoplado al segundo contador para convertir cada uno de los códigos de cadencia a un primer número binario que representa el número de canales por portadora, apareciendo dicho número binario en cada porción de transmisión y en cada porción de recepción,
- 10 - un registro acumulador acoplado a una de las fuentes tercera y cuarta y al primer comparador, respondiendo dicho registro a la primera señal de control para proporcionar en cada porción de transmisión y de recepción, un segundo número binario que representa el número de canales asignados,
- 15 - un sumador binario acoplado a dicho registro y al convertidor de código para sumar los números binarios primero y segundo y proporcionar un tercer número binario en cada porción de transmisión y de recepción, acoplando dicho sumador binario el número binario a una entrada del registro,
- 20 - un segundo multiplexor acoplado a las fuentes primera y segunda y al tercer contador que responde a los códigos de temporización primero y segundo, para proporcionar un cuarto número binario en cada porción de transmisión y de recepción, representando dicho cuarto número binario el número de canales a ser asignados,
- 25 - un segundo comparador acoplado al registro y al segundo multiplexor para proporcionar una segunda señal de control cuando el segundo número binario sea igual o menor que el
- 30 cuarto número binario.

- un tercer comparador acoplado a dicho sumador y al segundo multiplexor para proporcionar una tercera señal de control cuando el cuarto número binario sea menor que el tercer número binario,
- 5 - un cuarto comparador acoplado al sumador para proporcionar una señal de alarma de cadencia cuando el tercer número binario sea mayor que el número máximo de canales que pueden ser asignados a los portadores,
- un inversor acoplado al cuarto comparador para invertir
10 dicha señal de alarma
- una primer puerta AND acoplada al inversor, a los comparadores segundo y tercero, al tercer contador y a la tercera fuente para producir dicha señal de control de transmisión en la porción de transmisión en respuesta al reloj de transmisión, una salida de transmisión del tercer contador y las
15 señales de control segunda y tercera, y
- una segunda puerta AND acoplada al inversor, a los comparadores segundo y tercero, al tercer contador y a la cuarta fuente para producir la señal de control de recepción en
20 la porción de recepción, en respuesta al reloj de recepción una salida de recepción del tercer contador y las señales de control segunda y tercera.

3.- Un circuito para la asignación de canal automático según el punto 2, en donde el multiplexor y el
25 demultiplexor son síncronos.

4.- Un circuito para la asignación de canal automático, según el punto 2, en donde el multiplexor y el demultiplexor son asíncronos.

5.- Un circuito para la asignación de canal
30 automático, según el punto 2, en donde las señales de trans-

misión y recepción son síncronas.

6.- Un circuito para la asignación de canal automático, según el punto 2, en dónde las señales de transmisión y de recepción son asíncronas.

5 7.- Un circuito para la asignación de canal automático, según el punto 2, en dónde la señal de control de transmisión es una señal de activación de escritura de transmisión, y la señal de control de recepción es una señal de activación de escritura de recepción.

10 8.- Un circuito para la asignación de canal automático, según el punto 2, en dónde las combinaciones primera y segunda son diferentes, y dicho circuito responde secuencialmente a los códigos de temporización primero y segundo.

15 9.- Un circuito para la asignación de canal automático, según el punto 2, en dónde las combinaciones primera y segunda son idénticas y dicho circuito responde simultáneamente a los códigos de temporización primero y segundo.

20 10.- Un circuito de asignación de canal automático, según el punto 1, en dónde el multiplexor y el demultiplexor son síncronos.

25 11.- Un circuito para la asignación de canal automático, según el punto 1, en dónde el multiplexor y el demultiplexor son asíncronos.

12.- Un circuito para la asignación de canal automático, según el punto 1, en dónde las señales portadoras de transmisión y recepción son síncronas.

30 13.- Un circuito para la asignación de canal automático, según el punto 1, en dónde las señales por-

tadoras de transmisión y recepción son asíncronas.

14.- Un circuito para la asignación de canal automático, según el punto 1, dónde las combinaciones primera y segunda son diferentes, y dicho circuito responde se-
5 cuencialmente a los códigos de temporización primero y segundo.

15.- Un circuito para la asignación de canal automático, según el punto 1, dónde las combinaciones primera y segunda son idénticas, y el circuito responde
10 simultáneamente a los códigos de temporización primero y segundo.

16.- Un circuito para la asignación de canal automático, según el punto 1, dónde la señal de control de transmisión es una señal de activación de escritura
15 de transmisión, y la señal de control de recepción es una señal de activación de escritura de recepción.

17.- Un circuito para la asignación de canal automático, según el punto 1, dónde la señal de control de transmisiones es un conjunto de señales de temporización por-
20 tadoras de transmisión, y
- la señal de control de recepción es un conjunto de señales de temporización portadoras de recepción.

18.- Un circuito para la asignación de ca-
25 nal automático, según el punto 1, dónde dicho circuito inclu-
ye
- una tercera fuente de un reloj de transmisión,
- una cuarta fuente de un reloj de recepción
- un primer contador para generar los códigos portadores
30 para las señales portadoras de transmisión y recepción

- un segundo contador acoplado en serie con el primer contador para generar los códigos de cadencia para las señales portadoras de transmisión y recepción,
- un tercer contador acoplado en serie con el segundo contador para definir una porción de transmisión y una porción de recepción de un ciclo de funcionamiento del circuito, conectando dicho contador la tercera fuente al primer contador durante la porción de transmisión y la cuarta fuente al primer contador durante la porción de recepción.
- un multiplexor acoplado al tercer contador, un bus de cadencia de transmisión y un bus de cadencia de recepción,
- un primer comparador acoplado al segundo contador y a dicho multiplexor para comparar los códigos de cadencia secuencialmente con una cadencia de transmisión en un bus de cadencia de transmisión, y una cadencia de recepción en un bus de cadencia de recepción para producir una primera señal de control para cada porción de transmisión y de recepción,
- un convertidor de código acoplado al segundo contador para convertir cada código de cadencia en un primer número binario que representa el número de canales a ser asignados por portadora, apareciendo dicho número binario en cada porción de transmisión y de recepción,
- un registro acumulador acoplado al primer comparador que responde a la primera señal de control para proporcionar en cada porción de transmisión y de recepción un segundo número binario que representa el número de canales asignados,
- un sumador binario acoplado al registro acumulador y al convertidor de código para sumar los números binarios primero y segundo y proporcionar un tercer número binario en cada porción de transmisión y de recepción, acoplando dicho

- sumador binario al tercer número binario a una entrada del registro acumulador,
- un segundo comparador acoplado al sumador para proporcionar una señal de alarma de cadencia cuando el tercer número binario sea mayor que el número máximo de canales que puede 5 asignarse a los portadores,
 - un inversor acoplado al segundo comparador para invertir la señal de alarma,
 - un primer registro acoplado al inversor, al registro acumulador y al primer comparador para almacenar el segundo número binario bajo el control de la primera señal de control y de la señal de alarma de cadencia invertida,
 - un segundo registro acoplado al inversor al registro acumulador y al primer comparador para almacenar el tercer número binario bajo el control de la primera señal de control 10 y de la señal de alarma de cadencia invertida,
 - un tercer comparador acoplado al primer registro y a la primera fuente para proporcionar una segunda señal de control cuando el segundo número binario sea igual o menor al primer código de temporización, 15
 - un cuarto comparador acoplado al primer registro y a la primera fuente para proporcionar una tercera señal de control cuando el primer código de temporización es menor que el segundo número binario, 20
 - un quinto comparador acoplado al segundo registro y a la segunda fuente para proporcionar una cuarta señal de control cuando el tercer número binario sea igual o menor que el segundo código de temporización, 25
 - un sexto comparador acoplado al segundo registro y a la segunda fuente para proporcionar una quinta señal de control 30

cuando el segundo código de temporización sea menor que el tercer número binario,

- una primera puerta AND acoplada a la tercera fuente, y a los comparadores tercero y cuarto, para producir la señal de control de transmisión en la porción de transmisión como respuesta al reloj de transmisión, y las señales de control segunda y tercera, y
- una segunda puerta AND acoplada a la cuarta fuente y a los comparadores quinto y sexto para producir la señal de control de recepción en la porción de recepción en respuesta al reloj de recepción y a las señales de control cuarta y quinta.

19.- Un circuito para la asignación de canal automático, según el punto 18, donde el multiplexor y el demultiplexor son sincronicos.

20.- Un circuito para la asignación de canal automático, según el punto 18, donde el multiplexor y el demultiplexor son asincronicos.

21.- Un circuito para la asignación de canal automático, según el punto 18, donde las señales portadoras de transmisión y recepción son sincronicas.

22.- Un circuito para la asignación de canal automático, según el punto 18, donde las señales portadoras de transmisión y recepción son asincronicas.

23.- Un circuito para la asignación de canal automático.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.

5 Esta memoria consta de treinta y siete hojas escritas por una sola cara.

Madrid, 14 JUN. 1976

M. G. SANTAMARIA
VICE-SECRETARIO GENERAL



4/1

Fig. 1A

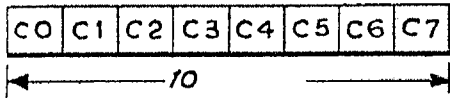


Fig. 1B

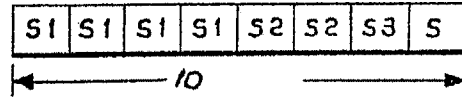


Fig. 1C

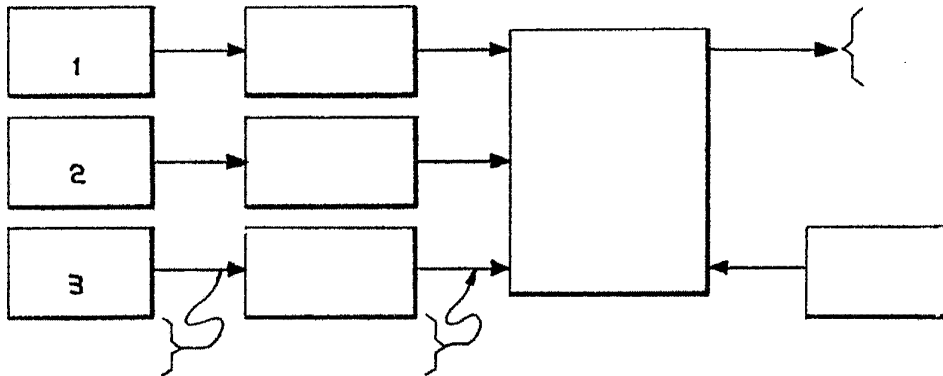


Fig. 2

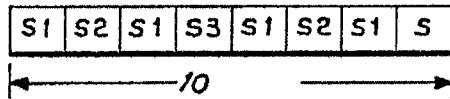
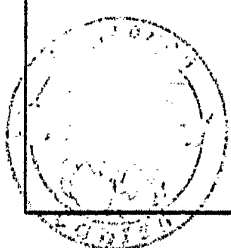


Fig. 3

	0	1	2	3	4	5	6	7	8	9	10	11	12	13	14	15
8R	A															
	B															
4R	C															
	D															
	E															
	F															
2R	G															
	H															
	I															
	J															
	K															
	L															
	M															
	N															



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

4/2

STANDARD ELECTRICA, S. A.

Fig. 4

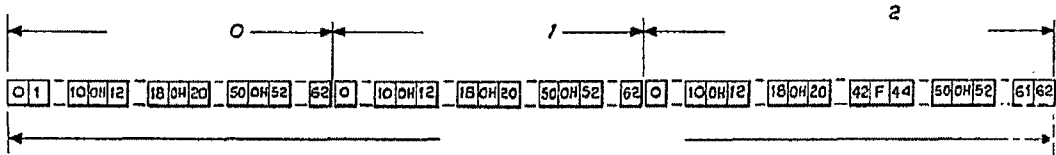
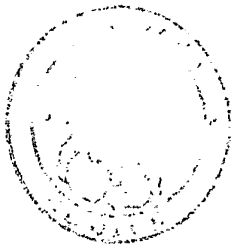


Fig. 5



14 JUN 1976



M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

4/3

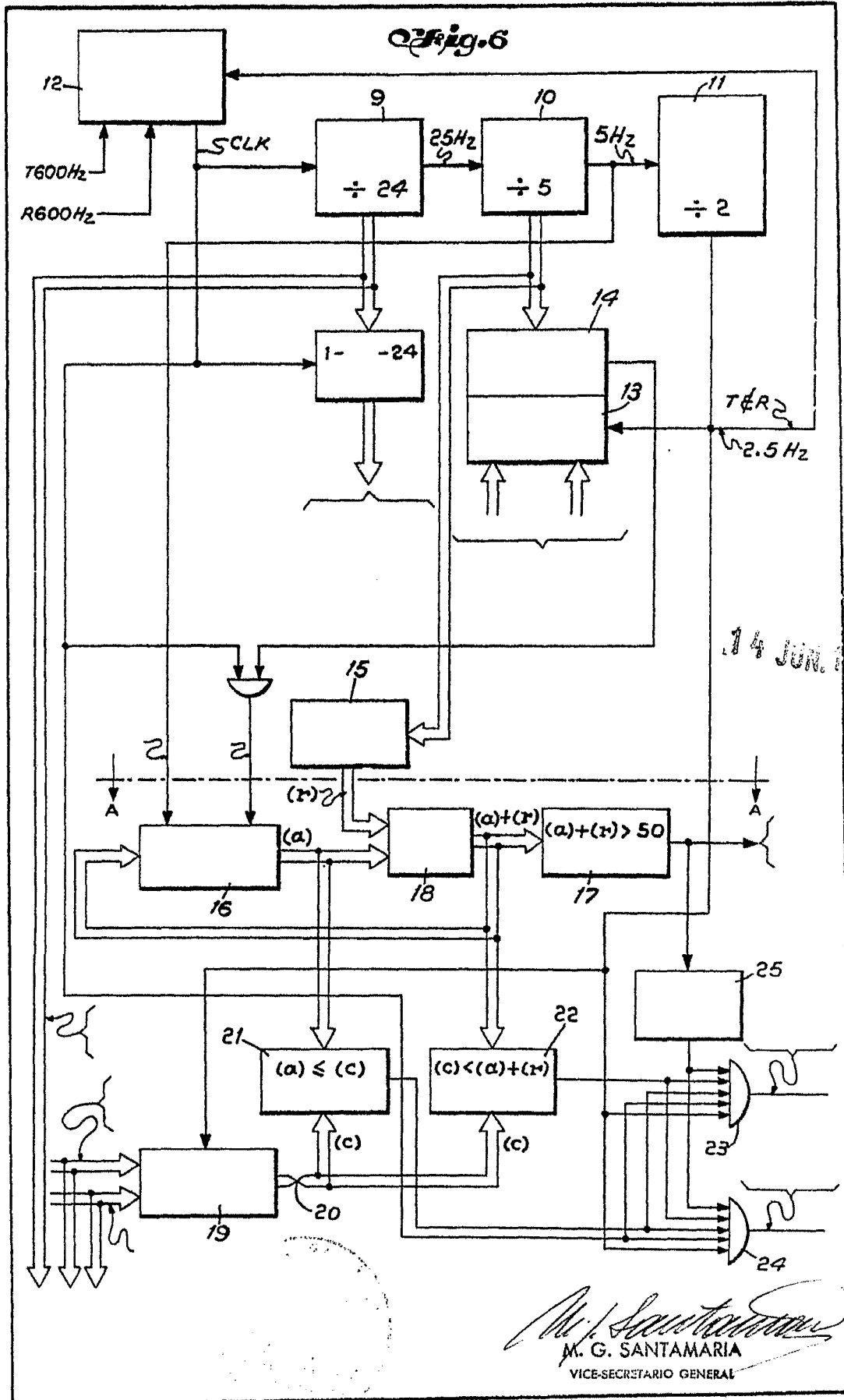


Fig. 7

9 A	23 24 B S R I 2 3	23 24 1 2 3	23 24 1 2 3	23 24 B S R I		
10 B	600	9600	4800	2400	600	9600
11 C	RCV	XMT				RCV

Fig. 8

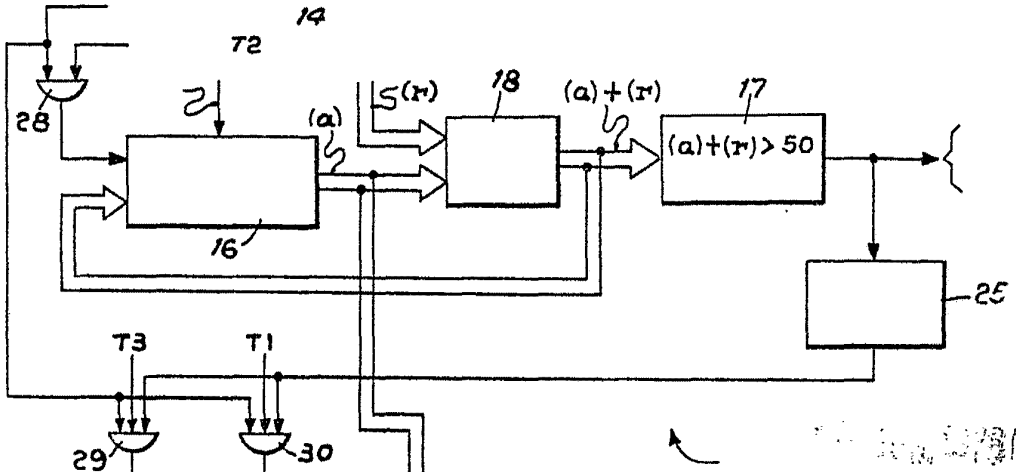
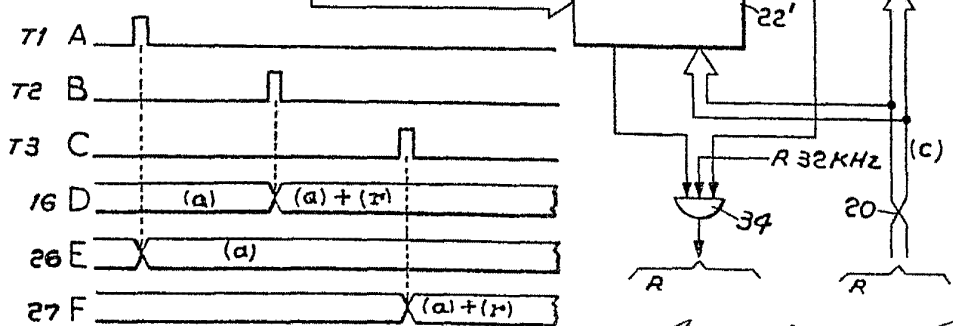


Fig. 9



M. C. Santamaria
M. C. SANTAMARIA
VICESECRETARIO GENERAL