



19 ES	21	NUMERO	447.132	10 AT
	22	FECHA DE PRESENTACION	19-4-1976	

PATENTE DE INVENCION

P.- 62.680
IBM Docket
FI 9-74-074

60 PRIORIDADES:		
61 NUMERO	62 FECHA	63 PAIS
583.926	5-6-75	EE.UU.
64 FECHA DE PUBLICIDAD	65 CLASIFICACION INTERNACIONAL	66 PATENTE DE LA QUE ES DIVISIONARIA
	H01L; H03K	
67 TITULO DE LA INVENCION		
"PERFECCIONAMIENTOS INTRODUCIDOS EN UN CIRCUITO BINARIO DE CONMUTACION"		
68 SOLICITANTE (S)		
INTERNATIONAL BUSINESS MACHINES CORPORATION		
DOMICILIO DEL SOLICITANTE		
Armonk, N.Y., Estados Unidos de América		
69 INVENTOR (ES)		
Low Boyes Freeman, Robert James Incerto y Joseph Anthony Petrosky		
70 TITULAR (ES)		
71 REPRESENTANTE		
DON ALBERTO DE ELZABURU MARQUEZ		

1 La presente invención se refiere a circuitos bi-
narios de conmutación, tales como circuitos lógicos y de me-
moria, en los que se utilizan transistores de efecto de cam-
po del tipo de enriquecimiento o concentración y del tipo
5 de empobrecimiento.

Los transistores de efecto de campo vienen sien-
do objeto de un extenso uso en diversas industrias, tales
como la industria del tratamiento de datos, y en particular
10 como circuitos integrados en gran escala, desde hace alre-
dedor de diez años. En comparación con los circuitos bipo-
lares, principales competidores de los transistores de efec-
to de campo, estos últimos son mucho menos costosos de fa-
bricar. Ahora bien, el funcionamiento de los circuitos con
transistores de efecto de campo es bastante más lento de lo
15 que puede conseguirse con los circuitos bipolares, requi-
riéndose una magnitud relativamente superior de la tensión
de alimentación para hacer funcionar los circuitos de tran-
sistores de efecto de campo.

Como solución a estos problemas se han venido pro-
poniendo diversos tipos de circuitos fundamentales de tran-
sistores de efecto de campo (FET). El circuito básico es un
inversor que puede comprender, por ejemplo, una carga de ti-
po resistivo que interconecte la tensión del electrodo de
20 salida ("drenaje") con la salida del inversor, y un transis-
tor del tipo de enriquecimiento que conecte la salida a la
fuente de tensión. Debido a la impracticabilidad de dispo-
ner una región difundida que tenga una resistencia lo bas-
tante grande para dar un bajo nivel de disipación de poten-
cia sin utilizar una cantidad enorme de área de semiconduc-
tor, se viene utilizando, en sustitución de la resistencia,
30

1 un transistor de efecto de campo del tipo de enriquecimien-
to en el cual el electrodo de mando o puerta vaya conecta-
do a la tensión de alimentación del electrodo de salida. Es-
te circuito tiene la desventaja de que la tensión de salida
5 está limitada a la tensión del electrodo de salida menos la
tensión de umbral del transistor de carga. Además, la co-
rriente de salida del dispositivo de carga disminuye con
gran rapidez al aumentar la magnitud de la tensión en la
salida, esto es, en el electrodo de entrada del transistor
10 de carga.

Otra familia de circuitos ya conocidos de la per-
sonas versadas en la materia es la del inversor complemen-
tario que hace uso de un transistor del tipo de enriquecimien-
to, de canal N, conectado a la alimentación de tensión nega-
15 tiva y un transistor del tipo de enriquecimiento, de canal
P, conectado a la alimentación de tensión positiva, estan-
do la salida constituida por los electrodos de salida ("dre-
naje") comunes. Este tipo de circuito hace uso de una poten-
cia sustancial sólo cuando los dispositivos se conmutan y
20 requieren una sola tensión de alimentación. Su uso está muy
extendido en sistemas relativamente lentos y de baja poten-
cia, tales como calculadoras y memorias portátiles compensa-
doras de datos, y relojes electrónicos. Ahora bien, el em-
pleo de transistores de tipos de canal opuestos hace nece-
25 saria una área inusitadamente grande en una pastilla de cir-
cuitos integrados, debido a los requisitos de aislamiento
entre los dispositivos. Además, se necesitan más etapas de
tratamiento, lo que acrecienta notablemente los costes de
fabricación.

30 Más recientemente, se han propuesto familias de

1 circuitos que emplean como inversor un transistor de efecto
de campo del tipo de enriquecimiento (E-FET), conectado en-
tre las tensiones de alimentación de electrodos de entrada
y de salida, con un transistor del tipo de empobrecimiento
5 (D-FET) como carga.

Como es bien sabido por los proyectistas de cir-
cuitos, un transistor de efecto de campo (FET) del tipo de
enriquecimiento tiene una conductividad de canal esencial-
mente nula para una tensión cero entre los electrodos de
10 mando ("gate") y de entrada; la conductividad de canal pue-
de aumentarse aplicando una tensión del valor apropiado en-
tre electrodos de mando y de entrada. Para un FET del tipo
de enriquecimiento, de canal N, una tensión más positiva en
tre electrodos de mando y de entrada (designada V_G , o V_{GS})
15 aumenta la conductividad de canal. Un FET del tipo de empo-
brecimiento, en cambio, tiene una conductividad de canal
apreciable para una V_G igual a cero; la conductividad de ca-
nal puede aumentarse o reducirse con arreglo a la polaridad
de la V_{GS} . Para un FET del tipo de empobrecimiento, de ca-
20 nal N, una V_{GS} más positiva aumenta la conductividad de can-
nal; la conducción prosigue hasta que se aplica una V_{GS} ne-
gativa prefijada.

La combinación de un E-FET y un D-FET como inver-
sor es superior a un inversor en el que se empleen solamen-
25 te transistores de efecto de campo del tipo de enriqueci-
miento (E-FET) solamente, porque el rendimiento es más al-
to y la respuesta de transitorios más rápida. Según se ha
visto, la corriente que pasa por el D-FET permanece sensi-
blemente constante a medida que las transiciones de tensión
30 de salida van hacia la tensión de alimentación del electro-

1 do de salida, obteniéndose así velocidades de conmutación
apreciablemente mayores. El D-FET puede también hacerse
apreciablemente más pequeño que un E-FET usado con el mis-
mo fin, en particular cuando no se requiere una velocidad
5 de conmutación adicional.

Como fácilmente comprenderán los técnicos en es-
ta materia, tales circuitos inversores rara vez se usan in-
dividualmente; de ordinario, se forman combinaciones de ta-
les circuitos, como circuitos de memoria o de lógica. Tales
10 combinaciones han puesto de manifiesto problemas hasta aho-
ra no resueltos satisfactoriamente, tales como, por ejemplo,
el de la potencia necesaria y el comportamiento o rendimien-
to funcional obtenible.

Por ejemplo, el funcionamiento de los circuitos
15 numéricos con transistores de efecto de campo depende mucho
de la relación de las corrientes que circulan por los tran-
sistores cuando los dispositivos reciben una señal de entra-
da de "1" o de "0" lógico. Un excitador de líneas típico
contiene característicamente un paso de salida que compren-
20 de un D-FET y E-FET conectados en serie. La señal de entra-
da se aplica al E-FET; y la entrada del D-FET está controla-
da por la conexión en serie de otro dispositivo E-FET y otro
D-FET como carga. La señal de entrada se aplica también al
electrodo de mando o puerta de este último E-FET. El tiempo
25 de formación y el retardo del circuito vienen determinados
por la corriente generada por el D-FET de salida. Para ace-
lerar el funcionamiento del circuito, el D-FET de salida
puede hacerse más ancho, pero esto aumenta la potencia uti-
lizada en el estado de salida "bajo" (de nivel bajo).

30 Para citar otro ejemplo, se ha desarrollado una

1 célula de memoria estática de cuatro dispositivos o transis-
tores, que utiliza un par de E-FET como célula de almacena-
je con acoplamiento cruzado y un par de FET de doble umbral
que funcionan tanto a modo de carga como a modo de dispositi-
5 vativos de entrada/salida (I/O). Una célula de memoria como
ésta se describe en el artículo de D. W. Kemmerer titulado
"Storage Cell Using Double-Threshold Field-Effect Transis-
tors" ("Célula de almacenaje a base de transistores de efec-
to de campo de doble umbral"), IBM Technical Disclosure
10 Bulletin, vol. 14, nº. 4, septiembre de 1971, págs. 1077-78.
Este tipo de célula es superior al de las células estáticas
de seis dispositivos, más común, por el hecho de que la
asignación de espacio de pastilla requerida para cada célu-
la se reduce considerablemente mediante el uso de los tran-
15 sistores de efecto de campo de doble umbral. Todos los dis-
positivos descrito en dicho artículo son del tipo de enri-
quecimiento, ya que los dispositivos, normalmente, no con-
ducen hasta que en sus electrodos de mando se aplica una
polarización apropiada. La velocidad de conmutación de es-
20 te tipo de disposición es demasiado baja para que resulte
útil en formaciones o disposiciones de memoria comercialmen-
te aceptables. Además, la polarización para la línea de vo-
cablos durante el funcionamiento de las células es más com-
plicada que para las células normales.

25 Por todo ello, es objeto de la presente invención
mejorar el funcionamiento de los circuitos en los que se
utilizan transistores de efecto de campo.

Otro objeto más de la invención es el de lograr
este resultado económicamente, usando para ello estructuras
30 y técnicas de fabricación normales de los semiconductores

1 integrados.

Con arreglo a estos y otros objetos de la presente invención, se ha visto que la conexión en paralelo de transistores de efecto de campo del tipo de empobrecimiento y del tipo de enriquecimiento reduce las necesidades de energía y/o aumenta la velocidad de los circuitos de los tipos de enriquecimiento/empobrecimiento. En todos los casos se mejora la cifra o índice de energía (consumo) en relación con el comportamiento o rendimiento funcional, o sea lo que aquí se denominará índice de energía-funcionamiento.

En una forma preferida de realización del presente invento, el funcionamiento de un circuito inversor en el que se utilice un paso de salida en contrafase se mejora poniendo en paralelo un FET del tipo de enriquecimiento con el FET del tipo de empobrecimiento usado como dispositivo de salida.

En otra forma de realización, el índice de energía-funcionamiento de una célula de memoria de cuatro dispositivos se mejora utilizando la conexión en paralelo de unos dispositivos del tipo de enriquecimiento y del de empobrecimiento.

En otras formas más de realización, el factor de energía-funcionamiento de varios tipos de circuitos lógicos se mejora mediante el uso del circuito básico de la presente invención.

En los dibujos adjuntos:

- la figura 1 es un esquema eléctrico de principio de los dispositivos del tipo de empobrecimiento y del de enriquecimiento puestos en paralelo, con arreglo a la presente invención;

1 - la figura 2 es un esquema eléctrico de principio en el que los dispositivos del tipo de enriquecimiento y de empobrecimiento se ilustran como un solo dispositivo;

5 - las figuras 3A y 3B son unas vistas en perspectiva y de costado, respectivamente, de un solo dispositivo semiconductor que comprende un FET tanto del tipo de enriquecimiento como del de empobrecimiento;

10 - las figuras 4A ... 4C son unas gráficas de la corriente I_D que va del electrodo de entrada al de salida, en función de la tensión V_D entre electrodos de entrada y de salida, lo que ilustra la mejora representada por el circuito de este invento en comparación con las características de los FET individuales del tipo de enriquecimiento y del de empobrecimiento;

15 - las figuras 5A ... 5C son unas gráficas de I_D en función de la tensión V_G entre los electrodos de mando y de entrada, las cuales ilustran también el perfeccionamiento o mejora;

20 - la figura 6 es un esquema eléctrico de principio de un circuito de conmutación perfeccionado, como excitador de línea, con arreglo a la presente invención;

- la figura 7 es una gráfica de tensión respecto al tiempo, en el nudo de salida del circuito representado en la fig. 6;

25 - la figura 8 es un esquema eléctrico de principio de una célula de almacenaje perfeccionada con arreglo al presente invento; y

30 - las figuras 9 ... 14 son unos esquemas eléctricos de principio, acompañados de la tabla de verdades, de unos circuitos lógicos perfeccionados con arreglo al presente

1 te invento.

Yendo ahora a la fig. 1, se ilustra en ella el
circuito básico de la presente invención, como conexión en
paralelo de un transistor de efecto de campo 2 del tipo de
5 empobrecimiento (D-FET) y un transistor de efecto de campo
3 del tipo de enriquecimiento (E-FET). Ambos son de canal
N, aun cuando también podrían usarse transistores de canal
P. Los electrodos de entrada de los transistores del tipo
de empobrecimiento y del de enriquecimiento, designados
10 aquellos por los números 5 y 6 respectivamente, van conec-
tados al lado negativo del circuito. Los electrodos de sa-
lida van conectados al lado positivo del circuito, y tam-
bién a la línea de salida. Para los FET de canal P, se in-
vertiría la polaridad de la tensión. Los electrodos de man-
15 do o puerta van conectados en común a la entrada del circui-
to. Los electrodos de mando de cada uno de los transistores
del tipo de empobrecimiento y del de enriquecimiento perma-
necen activos, es decir, ninguno de los electrodos de mando
se pone en corto con los electrodos de entrada o de salida.
20 La tensión entre los electrodos de salida y entrada de am-
bos dispositivos está designada con el símbolo V_D ; y la ten-
sión entre los electrodos de mando y de entrada está desig-
nada con el V_G . La señal que se aplica al terminal de entra-
da (INPUT) del circuito está designada con v_g . La señal de
25 salida es la corriente I_D .

El circuito básico representado en la fig. 1 pue-
de usarse por si solo como circuito de entidad propia, pero
con suma frecuencia se usará formando parte de un número ma-
yor de componentes. En tales circuitos variará la localiza-
30 ción y la fuente de los potenciales de referencia V_G y V_D .

1 No obstante, la disposición básica de los transistores entre sí es constante: los electrodos de mando, entrada y salida de uno de los dispositivos van conectados, respectivamente, a los electrodos de mando, entrada y salida del otro;
5 y no existe conexión alguna entre los electrodos de mando y los electrodos de salida o de entrada.

La fig. 2 ilustra los FET del tipo de empobrecimiento y del de enriquecimiento, puestos en paralelo, formando esencialmente un solo dispositivo 7, representado por el símbolo E//D. La forma de ejecución de tal circuito a modo de dispositivo integrado semiconductor de canal N se ilustra en las figs. 3A y 3B. Las regiones electrónicas de entrada y salida del dispositivo, designadas con los números 14 y 15 respectivamente, comprenden difusiones de tipo N+ en un substrato 12 de tipo P. El dispositivo es distinto de los transistores normales de efecto de campo, por el hecho de tener dos regiones de canal separadas, designadas con los números 16 y 18. La región 16 sirve como parte o porción de tipo de enriquecimiento del dispositivo. Esta porción tiene una resistividad relativamente baja en comparación con la región 18, y posee una tensión de umbral V_T mayor de 0 voltios. La región 18, en cambio, tiene un nivel de impurificación relativamente bajo, de modo que posee una tensión de umbral V_T menor de 0 voltios.

25 La fabricación del dispositivo representado en las figs. 3A y 3B puede llevarse a cabo por procedimientos normales de tratamiento de los semiconductores. La región de empobrecimiento 18 del canal, de preferencia, se forma por implantación de iones de un impurificante de tipo N, tal como el arsénico o el fósforo, en la región, para reducir la
30

1 tensión de umbral V_T . La región de enriquecimiento 16 del canal puede tener el mismo nivel de impurificación que el substrato 12; o bien puede aplicarse por implantación de iones un impurificante de tipo P, tal como el boro, para 5 elevar la tensión de umbral. Otros numerosos métodos de fabricar el dispositivo de la fig. 3A se les ocurrirán a las personas versadas en la técnica de los semiconductores.

Aun cuando las figs. 3A y 3B se refieren a los transistores de efecto de campo de canal N, la invención 10 prevé también el uso de transistores de efecto de campo de canal P.

Las figs. 4A ... 4C y 5A ... 5C comparan las curvas características de los dispositivos del tipo de enriquecimiento y de empobrecimiento con las características de 15 los dispositivos conectados en paralelo conforme a la presente invención. Las figs. 4A ... 4C presentan la corriente del electrodo de salida (I_D) en función de la tensión V_D entre los electrodos de salida y entrada, para unas tensiones seleccionadas V_G entre los electrodos de mando y de 20 salida.

Las figs. 4A y 4B son las curvas características para transistores de efecto de campo normales del tipo de enriquecimiento (E-FET) y del de empobrecimiento (D-FET), respectivamente, ya conocidas de los técnicos en la materia. Para unas tensiones V_D y V_G dadas, un dispositivo del 25 tipo de enriquecimiento tiene una corriente I_D de electrodo de salida al de entrada menor que la de un dispositivo del tipo de empobrecimiento manufacturado de igual manera. Además, la oscilación de corriente debida a una variación 30 de V_G , para una V_D dada, es mayor para un D-FET y un E-FET.

1 Para la conexión en paralelo de un D-FET y un
E-FET conforme a la presente invención, no sólo es mucho ma-
yor la corriente para unas V_G y V_D dadas, sino que la osci-
lación de corriente en torno a V_G es también sustancialmen-
5 te mayor. Como la corriente que pasa por los dispositivos
puestos en paralelo es mayor que para los dispositivos in-
dividualmente, la conmutación en los terminales de una car-
ga de salida es mucho más rápida.

10 En las figs. 5A ... 5C, como se observará, para
los valores de V_G y V_D menores, la corriente que pasa por
el dispositivo de tipo E//D es igual a la del dispositivo
de empobrecimiento indicado en la Fig. 5B. Esto significa
que la potencia disipada por el FET de tipo E//D con ten-
siones bajas en el electrodo de mando es equivalente a la
15 del D-FET solo, a pesar de la mayor velocidad de conmutación
del dispositivo puesto en paralelo.

20 La fig. 6 ilustra un inversor lógico conforme a
la presente invención, que puede usarse como excitador de
línea en circuitos de transistores de efecto de campo. La
forma de conexión, nueva en su género, de la fig. 6 compren-
de la conexión en paralelo de un D-FET 32 y un E-FET 35.
La conexión de los D-FET 30 y 32 y los E-FET 31 y 33, sin
el E-FET 35, es un circuito de conmutación inversor ya co-
nocido.

25 Los transistores 30 y 31 van conectados en serie
entre una tensión V_D de electrodo de salida y una tensión
de electrodo de entrada, indicada por el símbolo usual para
el potencial de masa o tierra. El electrodo de entrada del
D-FET 30 es eléctricamente común con su electrodo de mando
30 y con el electrodo de mando del D-FET 32. El terminal de en-

trada (INPUT) del circuito va conectado a los electrodos de mando de los E-FET 31 y 33. El terminal de salida (OUTPUT) del circuito va conectado para excitar otro circuito (no representado) que tiene la capacidad (condensador) de carga indicada. La mejora de este circuito comprende la adición del E-FET 35 que tiene sus electrodos de salida, entrada y mando directamente conectados a los electrodos de salida, entrada y mando, respectivamente, del D-FET 32.

El funcionamiento del circuito de la fig. 6 se estudiará del mejor modo por referencia también a la fig. 7, que es una gráfica de la tensión V_{out} en la salida del circuito durante el período de conmutación, respecto al tiempo. La línea 22 de trazo interrumpido ilustra el funcionamiento del circuito de la fig. 6 sin la mencionada conexión del E-FET 35; en tanto que la línea 20 ilustra el funcionamiento del circuito con la conexión del E-FET 35 indicada en la fig. 6.

Suponiendo que la señal presente en la línea de entrada (INPUT) se hace positiva, esto es, de un nivel de "1" lógico, el E-FET 31 entra en conducción y hace que pase corriente desde V_D , por el D-FET 30, a la masa. La señal de entrada hace también que el E-FET 33 se ponga a conducir, en tanto que el E-FET 35 deja de conducir, debido a la comunicación que se establece desde su electrodo de mando, a través del E-FET 31, a masa. El D-FET 32, por su naturaleza, está siempre conductivo hasta cierto punto; y desde el terminal V_D pasa corriente, por el D-FET 32 y el E-FET 33, hasta la masa. En este punto, pues, el potencial del terminal de salida (OUTPUT) está ligeramente por encima del

1 de masa, siendo, por ejemplo, de 0,1 a 0,4 voltios. La potencia disipada en el circuito cuando la señal de entrada es un "1" lógico es igual a la tensión de alimentación V_D multiplicada por la corriente, cualquiera que sea, que esté pasando por los D-FET 30 y 32. La potencia disipada por los E-FET 31 y 33 es mínima, porque ambos son puestos en conducción por la señal de entrada. De igual modo, no se disipa potencia alguna a través del E-FET 35, porque éste no conduce. Así, el circuito de la fig. 6 no utiliza más energía, con el E-FET 35 en circuito, que la que gastaría de no estar en el circuito el E-FET 35, como sucede en la técnica ya conocida.

15 Cuando la señal presente en el terminal de entrada (INPUT) cambia de un potencial positivo al potencial cero, esto es, del "1" lógico al "0" lógico, ambos E-FET 31 y 33 dejan de conducir. El electrodo de mando o puerta del D-FET 32 se pone rápidamente al potencial V_D , estableciéndose el paso desde V_D a través del D-FET 30 hasta el electrodo de mando del D-FET 32. Esto pone en conducción fuerte el D-FET 32, y lleva el condensador de carga al potencial V_D . El E-FET 35 también entra en conducción, y la corriente que pasa por él se suma a la del D-FET 32 para cargar o dar energía a la carga de consumo. Esto aumenta el régimen de carga o suministro de energía de salida, hasta que la tensión de salida, designada con V_{out} en la figura 7, se eleva al punto en que la V_{GS} (o V_G) para el E-FET 35 se hace menor que su tensión de umbral V_T . En ese punto, la salida está sostenida por el D-FET 32 solamente.

20 La gráfica de la fig. 7 ilustra el potencial de salida V_{out} en función del tiempo, para el circuito con y

1 sin el E-FET 35. La línea 20, que es el potencial de salida
para el circuito que contiene el E-FET 35, presenta un tiem
po de subida notablemente más rápido en comparación con la
línea 22, que es el potencial de salida para el mismo cir-
5 cuito pero sin llevar conectado el E-FET 35.

La fig. 8 es una célula de memoria perfeccionada,
estática y de acoplamiento cruzado, en la cual los dispositi-
vos 43 y 44 de salida y de I/O, son unos FET de empobre-
cimiento y de enriquecimiento puestos en paralelo (E//D)
10 conforme a la presente invención. Los dispositivos 40 y 41
son unos transistores de efecto de campo, del tipo de enri-
quecimiento, en una configuración de acoplamiento cruzado
que comprende la propia célula de almacenaje o memoria. Los
dispositivos FET combinados (E//D) 43 y 44 constituyen una
15 carga, además de proveer funciones de franqueo de paso de
entrada/salida (I/O).

Durante el funcionamiento en espera, la línea de
vocablos 46 está al potencial bajo, por ejemplo, de $V_{w1} = 0$
voltios, y las líneas 47 y 48 de percepción de bitios están
20 al nivel alto de, por ejemplo, $V_{bs} = +5$ voltios. Uno de los
dispositivos de almacenaje 40 y 41 está conduciendo, mien-
tras el otro no. Por lo tanto, circula corriente desde una
de las líneas de percepción de bitios, a través de uno de
los dispositivos E//D y de su dispositivo de almacenaje
25 E-FET asociado, hasta la masa. Por ejemplo, si el que con-
duce es el E-FET 41, la corriente circula desde la línea 48
de percepción de bitios, por el dispositivo 43 y el E-FET
41, a masa. Como el E-FET 41 está conduciendo a masa, el po-
tencial de masa mantiene al E-FET 40 en estado inactivo o
30 sin conducir. Las porciones de empobrecimiento de los FET

1 44 y 45 de E//D están en su estado conductivo de nivel bajo, porque la línea de vocablos 46 se mantiene a 0 voltios. La célula es mantenida en el estado de activada por la corriente que circula por la porción de empobrecimiento
5 solamente.

En la célula se efectúan lecturas e inscripciones por medio de la corriente que circula por ambas porciones de los FET de tipo E//D.

Durante una operación de "leer", por ejemplo, el potencial de la línea 46 de vocablos sube a alrededor de los 5 voltios, y el potencial de las líneas 47 y 48 de percepción de bitios permanece al nivel alto. Según cuál de los E-FET de almacenaje, el 40 o el 41, esté conduciendo, el FET de tipo E//D asociado al mismo también conduce. La
10 corriente es percibida como bitio "0" o "1" en la línea asociada de percepción de bitios.
15

Durante una operación de "inscribir", la línea 46 de vocablos permanece a 5 voltios, y una u otra de las líneas 47 o 48 de percepción de bitios baja, para poner la célula de almacenaje de acoplamiento cruzado en el estado de "0" o de "1".
20

Como en la célula se efectúa la lectura y la inscripción por medio de la corriente que circula por los FET 43 o 44 de tipo E//D, tanto la relación de señal a ruido como el índice de energía-funcionamiento son muy elevados. Ambos vienen determinados por la relación:
25

$$I_D (V_{WL}=5 \text{ voltios}) / I_D (V_{WL}=0 \text{ voltios}). \quad (1)$$

Esta relación es, para los FET de tipo E//D, muchas veces mayor que si se utilizaran los D-FET solos como células de carga y de I/O.
30

Los circuitos lógicos representados e ilustrados en las figs. 9 ... 14 sirven de ejemplo para el empleo de los FET de tipo E//D, con arreglo a la presente invención, como sustitutos de los elementos normales en tales circuitos. Los presentes circuitos lógicos perfeccionados ponen de manifiesto las mismas posibilidades de excitación reforzadas que se han descrito anteriormente, así como otras ventajas.

El circuito lógico de la fig. 9 desempeña la función lógica disyuntiva, de $A + \bar{B}$, ilustrada en la tabla de verdades de la fig. 10. En la fig. 11, los dispositivos están intercambiados, con el fin de construir un circuito que desempeñe la función lógica de coincidencia, de $A.\bar{B}$, ilustrada en la tabla de verdades de la fig. 12.

Los circuitos de las figs. 9 y 11 están combinados con un paso adicional de salida en la fig. 13, formando una función disyuntiva exclusiva cuya tabla de verdades es la que se ilustra en la fig. 14. Para desempeñar esta función usando dispositivos habituales del tipo de enriquecimiento y empobrecimiento se necesitan de ordinario once transistores. El circuito de la presente invención requiere sólo seis (nueve si el FET de tipo E//D se considera como dos dispositivos).

El circuito disyuntivo exclusivo usual exige también tres pasos de retardo, en tanto que el circuito de la fig. 13 sólo necesita dos de estos pasos. Tal característica, combinada con las posibilidades de excitación reforzadas de los dos FET de tipo E//D, representa un perfeccionamiento significativo en el índice de energía-funcionamiento. La presente invención puede ampliarse hasta incluir una

1 familia más completa de circuitos lógicos que ofrecen las
mismas ventajas.

Aun cuando la invención se ha descrito en lo que
antecede con cierto grado de particularidad, se sobrentien
5 de que la presente exposición se ha realizado sólo a títu-
lo de ejemplo no limitativo, y que pueden efectuarse nume-
rosos cambios en los detalles de construcción, la combina-
ción y la disposición de partes, y el método de funciona-
miento puede realizarse sin apartarse del espíritu ni sa-
10 lirarse del ámbito de la invención, tal como a continuación
se reivindica.

15 REIVINDICACIONES

20 Los puntos de invención propia y nueva, que se
presentan para que sean objeto de esta solicitud de Paten-
te de Invención en España, por VEINTE años, son los que se
recogen en las reivindicaciones siguientes:

25 1ª.- Perfeccionamientos introducidos en un circui-
to binario de conmutación caracterizados porque dicho cir-
cuito comprende por lo menos una combinación en paralelo
que consta de un transistor de efecto de campo del tipo de
empobrecimiento y un transistor de efecto de campo del ti-
30 po de enriquecimiento; estando las regiones electrónicas de

1 entrada, de salida y de mando o puerta de dicho transistor
del tipo de empobrecimiento conectadas en paralelo con las
regiones de entrada, de salida y de mando, respectivamente,
del citado transistor del tipo de enriquecimiento.

5 2ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 1ª, según los cuales los transistores del tipo de
empobrecimiento y del de enriquecimiento de cada combina-
ción en paralelo de las citadas están realizados en forma
de circuito integrado de semiconductor, y comparten las mis-
10 mas regiones electrónicas de entrada y de salida en dicho
semiconductor; y las regiones de canal de los citados tran-
sistores son contiguas y comparten el mismo electrodo de
mando o puerta.

15 3ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 2ª, según los cuales dichas regiones electrónicas
de entrada y de salida de cada una de dichas combinaciones
en paralelo tienen conductividad de tipo N, y las citadas
regiones de canal tienen valores diferentes de conductivi-
dad.

20 4ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 1ª, según los cuales dicho circuito comprende una
de dichas combinaciones en paralelo, consistente en un pri-
mer transistor de efecto de campo del tipo de enriquecimien-
to y un transistor de efecto de campo del tipo de empobre-
25 cimiento, caracterizados por incluir además dicho circuito:
un segundo transistor de efecto de campo del tipo de enri-
quecimiento, que acopla un primer nudo de conexión a un po-
tencial de electrodo de entrada, y tiene un electrodo de
mando o puerta conectado a un terminal de entrada; un ter-
30 cer transistor de efecto de campo del tipo de enriquecimien-

1 to, que acopla un nudo de conexión de salida a un potencial
 de electrodo de entrada y tiene un electrodo de mando conec-
 tado a dicho terminal de entrada; unos medios de carga de
 utilización, por transistores de efecto de campo, para acop-
 5 plar un potencial de electrodo de salida a dicho primer nu-
 do, teniendo dichos medios de carga un electrodo de mando
 conectado a dicho primer nudo; acoplando dicha combinación
 en paralelo un potencial de electrodo de salida a dicho nu-
 do de conexión de salida, y teniendo los electrodos de man-
 10 do conectados a dicho primer nudo; y constituyendo así el
 circuito completo un inversor lógico.

5^a.- Perfeccionamientos de acuerdo con la reivin-
 dicación 1^a, según los cuales dicho circuito comprende dos
 de dichas combinaciones en paralelo, consistentes cada una
 15 en un transistor de efecto de campo del tipo de enriqueci-
 miento conectado en paralelo con un transistor de efecto
 de campo del tipo de empobrecimiento, caracterizados por el
 hecho de incluir además dicho circuito: otros dos transisto-
 res de efecto de campo del tipo de enriquecimiento, conec-
 20 tados entre sí con acoplamiento cruzado mediante el recur-
 so de conectar el electrodo de mando de uno de ellos al elec-
 trodo de salida del otro y viceversa, formando así dos nu-
 dos de conexión, y teniendo sus electrodos de entrada conec-
 tados en paralelo a un potencial básico; estableciendo cada
 25 una de dichas dos combinaciones en paralelo la conexión de
 uno de los nudos con una línea de percepción de bitios, es-
 tando todos los electrodos de mando o puerta de las mismas
 conectados a una línea de vocablo; y constituyendo así el
 circuito completo una célula de memoria binaria.

30 6^a.- Perfeccionamientos de acuerdo con la reivin-

1 dicación 1ª, según los cuales dicho circuito comprende una
de dichas combinaciones en paralelo consistente en un pri-
mer transistor de efecto de campo del tipo de enriquecimien-
to y un transistor de efecto de campo del tipo de empobre-
5 cimiento, caracterizados por el hecho de incluir además di-
cho circuito: un segundo transistor de efecto de campo del
tipo de enriquecimiento conectado en serie con dicha combi-
nación en paralelo; dos terminales de alimentación para
aplicar una tensión de referencia a los extremos de la co-
10 nexión en serie; dos terminales de entrada conectados a los
electrodos de mando de dicha combinación en paralelo y a la
puerta de dicho segundo transistor de efecto de campo del
tipo de enriquecimiento, respectivamente, para aplicar dos
señales binarias de entrada; y un terminal de salida conec-
15 tado al punto intermedio entre dicha combinación en parale-
lo y el segundo transistor de efecto de campo del tipo de
enriquecimiento; constituyendo así la disposición completa
de circuito un circuito lógico para combinar lógicamente
dos señales de entrada.

20 7ª.- Perfeccionamientos de acuerdo con la reivin-
dicación 6ª, caracterizados por el hecho de que dicho cir-
cuito comprende tres de dichos circuitos lógicos, estando
los terminales de entrada primero y segundo del primer cir-
cuito lógico conectados en paralelo a los terminales de en-
25 trada segundo y primero, respectivamente, del segundo cir-
cuito lógico; estando los terminales de salida de los cir-
cuitos lógicos primero y segundo conectados a los termina-
les de entrada primero y segundo, respectivamente, del ter-
cer circuito lógico; y constituyendo así la disposición en-
30 tera un circuito lógico disyuntivo exclusivo.

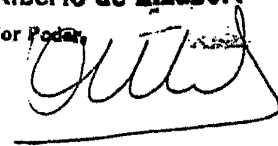
1 8ª.- Perfeccionamientos introducidos en un circui
to binario de conmutación.

Tal y como se ha descrito en la Memoria que ante-
cede, representado en los dibujos que se acompañan y para
5 los fines que se han especificado.

Esta Memoria consta de veintidós hojas escritas
a máquina por una sola cara.

Madrid, 03 JUN 1976

10 P.A. Alderico de ~~Elmoro~~
Por Poder



10

15

20

25

30

JAR.