



ESPAÑA

| | | |
|----|---|----|
| ES | NÚMERO 446826 | A1 |
| | FECHA DE PRESENTACION - 8 ABR. 1976 | |

PATENTE DE INVENCION

| | | |
|---------------------------------|---------------------|----------------|
| (30) PRIORIDADES (31) NÚMERO | (32) FECHA | (33) PAIS |
| Ser No 566.609 | 8 de abril de 1.975 | Norteamericana |

| | | |
|--------------------------|---|--|
| (41) FECHA DE PUBLICIDAD | (42) CLASIFICACION INTERNACIONAL H04B | (43) PATENTE DE LA QUE ES DIVISIONARIA |
|--------------------------|---|--|

(44) TITULO DE LA INVENCION

Perfeccionamientos en sistemas de transmisión de datos.

18 FEB. 1977

CONCEDIDA

(71) SOLICITANTE (S)

WESTERN ELECTRIC COMPANY, INCORPORATED, entidad norteamericana

DOMICILIO DEL SOLICITANTE

residente en 195 Broadway, New York, 10007, EE.UU. de A.

(72) INVENTOR (ES)

T. Tammaru.

(73) TITULAR (ES)

(74) REPRESENTANTE

D. Jaime Gomez-Acebo y Modet.

BAD ORIGINAL

La presente invención se refiere a un dispositivo para alinear bytes en un sistema de transmisión de datos que comprende una estación de transmisión para transmitir bitios de datos organizados en grupos que tienen bitios de control en una posición de bitio correspondiente en cada grupo, transportando los bitios de control en grupos diferentes información e un primer régimen de transmisión de señales, y una estación receptora para recibir los bitios de datos transmitidos y para identificar la posición de los bitios de control.

10.

En sistemas de transmisión sincrónicos, la información de una fuente de datos en forma de palabras de datos de bitios múltiples se pueden preparar para transmisión organizando los bitios de información en bytes de datos. Los bitios de encuadre, que tienen condiciones de señales binarias pre determinadas, se pueden insertar adicionalmente en posiciones de bitios fijos de cada byte. Finalmente, los bytes de datos procedentes de la fuente se pueden intercalar, sobre una base de división de tiempo, con bytes procedentes de otras fuentes y transmitirse a un receptor distante.

15.

20.

En el receptor distante, se exploran las posiciones de los bitios correspondientes de los bytes para detectar los bitios de encuadre que tienen las condiciones de señales binarias predeterminadas; la posición de los bitios de encuadre se identifican por lo tanto para determinar la alineación de las posiciones de los bitios en los bytes, y los bytes sucesivos se recuperan de éste modo para distribuirse a varios pozos de datos correspondientes a las diversas fuentes de datos.

25.

30.

Frecuentemente es conveniente transmitir señales de administrativas o de control junto con información de datos.

9. Cada fuente, por ejemplo, puede transmitir señales de control, para indicar si la fuente está desocupada u ocupada con una llamada. Esta información de control se obtiene convenientemente por medio de un bitio clave, cuya condición binaria indica el modo ocupado o desocupado de la fuente al receptor distante. Esta señales de control tienen la característica común de que su régimen de transmisión de señales es sensiblemente menor que el régimen de transmisión de señales por término medio de cualquiera de las fuentes de datos.

10. El bitio clave de información de control se puede insertar, lógicamente, en la corriente de bitios reservando una posición de bitios correspondiente en cada byte. Esto da por resultado la reducción de posiciones de bitios disponibles para transmisión de señales de información. Como el régimen de

15. transmisión de señales de la información de control es sensiblemente menor que el régimen de transmisión de señales de cualquier fuente (la condición binaria del bitio clave no varía en un periodo de una pluralidad de bytes), se ha comprendido que la información de control se puede insertar en

20. las posiciones de bitios de encuadre utilizando constreñimientos apropiados, que permiten inserta también la señal de encuadre. Por ejemplo, la señal de control se puede insertar en la posición de bitio de encuadre de bytes alternos. La señal de encuadre se detecta entonces en el receptor reconociendo

25. el patrón de encuadre de la señal binaria predeterminada en las posiciones restantes de los bitios de encuadre. No obstante, la información de control entre mezclada con la señal de encuadre hace que la detección sea más difícil y reduce la fiabilidad de la circuitería de encuadre en el receptor.

30. Este invento tiene por objeto aumentar la fiabilidad

de la circuitería de encuadre sin exigir restricciones en la inserción de la señal de control. Otro objeto más específico del invento es hacer que una posición de bitio fijo, modulado con información de control de régimen bajo de señales, se puede distinguir de bitios de información.

5.

El problema se resuelve según el invento en un dispositivo para eliminar bytes en un sistema de transmisión de datos que se caracteriza porque la estación transmisora comprende un mezclador para mezclar los bitios de datos solamente, y la estación receptora comprende un identificador para detectar regímenes de cambio del estado de los bitios que ocupan una posición de bitio correspondiente en diferentes grupos que no supera un régimen predeterminado en exceso al primer régimen de transmisión de señales y que es menor que el régimen anticipado de cambio de los bitios de datos mezclados, por lo que la posición del bitio correspondiente se identifica y la señal de control se recupera y los bitios de los datos se desmezclan.

10.

15.

Este invento comprende la elaboración de una secuencia de bytes de datos con información de control insertada en las posiciones de los bitios de encuadre sin constreñimiento. Los bitios de información se mezclan pero los bitios en las posiciones de bitios de encuadre se mantienen sin mezclar, manteniendo por lo tanto en todo momento un elevado promedio de régimen de cambio de la condición binaria de los bitios de información. La posición de los bitios de encuadre se identifican en el receptor detectando los bitios que ocupan posiciones de bitios correspondientes en los bytes, cuyo régimen de cambio de la condición binaria no excede de un régimen predeterminado superior al régimen inferior de transmisión de señales de la señal de control y que es menor que

20.

25.

30.

el régimen de cambio anticipado de los bitios mezclados.

5. En la modalidad ilustrativa de éste invento, que se describirá más adelante, el receptor compara pares de bitios que ocupan posiciones de bitios correspondientes y determina que se supera el régimen predeterminado cuando se supera una relación de desadactaciones con respecto a las comparaciones. El receptor desliza entonces una posición de bitio para comparar pares de bitios que ocupan una posición diferente de las posiciones de bitios correspondientes.

10. La relación de desadactaciones a comparaciones es calculada por un contador de desadactaciones que avanza por cada desadactación de comparación y un contador de comparaciones que avanza cada vez que se hace la comparación de un bitio. Si el contador de desadactaciones avanza hasta su contaje final antes de que el contador de comparaciones, el receptor pasa a un modo fuera de encuadre. Como variante, si el contador de comparaciones avanza hasta su contaje final antes que el contador de desadactaciones, el receptor pasa a un modo de encuadre o se mantiene en dicho modo.

15. Cuando el receptor se encuentra en modo de encuadre, un generador de impulsos, alineado con la posición del bitio que se compara, genera un tren de impulsos de temporización para identificar la posición del bitio de encuadre. Esto permite al receptor recuperar la información de control y desmezclar los bitios mezclados en las otras posiciones de los bitios.

20. Los objetos anteriores y otros objetos y ventajas del invento se comprenderán mejor por la descripción que sigue de una modalidad ilustrativa del mismo, tomando como referencia los dibujos adjuntos, e los que:

25.

La figura 1 ilustra, en forma esquemática, un transmisor organizado según este invento.

La figura 2, ilustra en forma esquemática, un receptor organizado según este invento.

5. La figura 3 representa ondas de temporización producidas por señales de datos y por equipo de reloj en el transmisor y

10. La figura 4, ilustra en forma esquemática, los detalles de la circuitería y equipo para un detector de encuadre utilizado en el receptor.

15. El dato para el terminal de origen en la figura 1, se suministra al conductor de entrada 1. Este dato constituye un tren de bits de datos a una velocidad de transmisión de señales de 64 kilobitios por segundo (Kbs). El formato del dato consiste en bytes sucesivos de 8 bitios a la velocidad de transmisión de señales de 64 Kbs. Los bytes de 8 bitios se suministran, por lo tanto, a una velocidad de 8000 por segundo. Este tipo de formato de transmisión de señales es acomodado por trayectos cruzados bidireccionales y redes en una central. La central proporciona convenientemente un reloj de servicio de 8 KHZ para alinear los bytes de 8 bitios y un reloj de servicio de 64 KHZ para alinear los bitios en la corriente de bitios. Las ondas de temporización apropiadas para el reloj de 8 KHZ, el reloj de 64 KHZ y la corriente de bitios del dato (entrada de dato ED) se ilustran en la figura 3.

20. Una inspección de la figura 3 se revela que la transición precedente de cada impulso de 64 KHZ se alinea con la transmisión precedente de cada bitio de dato. La transición precedente del impulso de 8 KHZ se alinea con la transición precedente del octavo bitio de cada byte de datos. Cada

- trayecto cruzado o red de la central acomoda 1, 5, 10 o 20 canales de datos, intercalándose los bytes de transmisión de señales de cada canal con otros canales para proporcionar en todos los casos, el ritmo de transmisión de señales de 64 Kbs de bytes de 8 bitios. Cada uno de los bytes de 8 bitios se organizan en la central para incluir 6 ó 7 bitios de datos procedentes de un abonado y se inserta un bitio clave mediante una unidad de canal de la central para control de la red. Este control de la red, por ejemplo, puede indicar si el abonado de origen tiene el teléfono colgado o descolgado proporcionando, por lo tanto un bitio "1", en la octava posición de bitio si el telefono del abonado está colgado y un bitio "cero" en la octava posición de bitio si el telefono del abonado está descolgado. Por consiguiente, los bytes de datos sucesivos para cualquier abonado individual pueden tener bitios de información aleatorios para la primera hasta la séptima posición de bitio de cada byte y bitios "cero" sucesivos o bitios "1" sucesivos para la octava posición de bitio. Se comprenderá que un abonado pasa periódicamente de "telefono colgado" a "telefono descolgado" y de nuevo a "telefono colgado" por lo que cambia la condición del octavo bitio. No obstante, el cambio se efectúa necesariamente a un régimen de transmisión de señales de velocidad muy baja.

- La señal de temporización de 64 KHz se alimenta inversamente a las entradas de dos direcciones de los basculadores 2 y 3 y se alimenta también inversamente a la puerta 05. La corriente de bitios de dato entrante pasa a la entrada "D" del basculador 2. El basculador 2 bascula por la transición de dirección negativa de la señal de temporización de 64 KHz y se coloca en un primer estado si se alimenta un bitio "1" a

5. su entrada "D" y, por el contrario, se coloca en un segundo estado si se alimenta un bitio "cero" a su entrada "D". Como el basculamiento del basculador 2 se efectua al final de cada impulso de 64 KHz, que, según se verá en la figura 3, tiene lugar en el punto medio del bitio entrante, la salida del basculador 2 es, por lo tanto, una reproducción de la corriente de bitios del dato entrante retardada un intervalo de medio bitio, además, el basculador 2 proporciona un pequeño retardo adicional de salida por lo que las transiciones de los bitios del dato retardan ligeramente las transmisiones de la señal de temporización de 64 KHz. La corriente de bitios del dato así producida se representa como la onda (salida de datos SD) en la figura 3. Esta corriente de bitios se alimenta al mezclador 6 y a la puerta Y 9.

10. 15. La onda temporizadora de 8 KHz se pasa a la entrada "J" del basculador 3. Un bitio "1" o "alto" se alimenta simultáneamente a la entrada "K" del basculador. El frente de la señal de temporización de 64 KHz impulsa por lo tanto al basculador 3 al segundo estado o estado de desexcitación en ausencia del impulso de 8 KHz; por el contrario, impulsa al basculador 3 al primer estado o estado inicial de excitación en presencia del impulso de 8 KHz. La salida "Q" del basculador 3 pasa a un estado elevado en el punto medio de la posición del octavo bitio de la corriente de bitios entrante y se restablece en el punto medio de la posición del primer bitio, según indica la onda de temporización T 8 en la figura 3. Por consiguiente, el impulso "8 se alinea con la posición del octavo bitio de la corriente de bitios de SALIDA DE DATOS SD.

20. 25. 30. el impulso T8 pasa a la puerta Y9 y también pasa inver

- tido, a la puerta Y8. Además, la onda T8 se combina con la onda de 64.KHz, invertida, por la puerta O 5. La salida de la puerta O 5 comprende, por consiguiente, la onda de 64 KHz, invertida, durante los primeros 7 bitios de cada byte de la corriente de bitios de SALIDA DE DATOS SD y comprende el impulso T8 durante el octavo bitio de cada byte, dando por resultado la eliminación del impulso durante la posición del octavo bitio. La onda de temporización así producida se representa como la onda de temporización T64 en la figura 3. Esta onda de temporización junto con la corriente de bitios de SALIDA DE DATOS SD pasa al mezclador 6.
5. El mezclador 6 comprende una máquina digital que reorganiza o vuelve a representar las secuencias de los datos para proporcionar transiciones virtualmente aleatorias. Un mezclador apropiado para esta finalidad es un dispositivo ya conocido. Una corriente de bitios entrante se demora por las etapas de un registrador de corrimiento o registrador desplazador que avanza por una señal de reloj. Una señal mezclada se construye entonces por las sumas de los bitios del dato retardado.
10. Utilizando las transiciones positivas de la onda de temporización T 64 como señal de reloj, y recordando que la onda de temporización encabeza la corriente de bitios del dato, se comprenderá que la corriente de bitios de DATO DE SALIDA SD se mezcla correspondientemente a excepción de que, como la transición positiva de la señal de reloj durante el octavo bitio se ha suprimido, el octavo bitio correspondiente del dato no avanza en el registrador de corrimiento y, por lo tanto, no se mezcla con los bitios procedentes de las otras posiciones. La salida del mezclador 6 constituye, por lo tanto, los bitios del dato mezclados en la forma apropiada
- 15.
- 20.
- 25.
- 30.

durante las siete posiciones de los bitios. La salida resultante del mezclador de datos 6 durante la octava posición del bitio no se tienen en consideración, según se describirá más adelante.

La salida del mezclador 6 se conecta a la puerta Y8. La otra salida a la puerta Y8 comprende la onda de temporización T8 invertida. Por consiguiente, la puerta Y8 se activa durante las primeras siete posiciones de bitios de cada byte de salida del mezclador 6 y se desactiva durante la octava posición de bitio. La salida del mezclador 6 pasa, por lo tanto, a través de la puerta Y8 y a través de la puerta D 10 al conductor de salida 11 durante las primeras 7 siete posiciones de bitios de cada byte. La onda de temporización T8 se alimenta también a la puerta Y9, según se ha indicado anteriormente.

Por consiguiente, la puerta Y se activa durante cada octava posición de bitio y se desactiva durante las primeras siete posiciones de los bitios. La otra entrada a la puerta Y9 se conecta a la salida del basculador 2. La corriente de bitios de SALIDA DE DATO SD retardada, derivada del basculador 2, se

alimenta por lo tanto a la puerta Y9 y, como la puerta Y se activa durante la octava posición de bitio, el octavo bitio o bitio clave pasa a través de la misma y a través de la puerta C 10 al terminal de salida 11. Por consiguiente, la corriente de bitios en el terminal de salida 11 constituye

la salida de bitios del dato mezclados del mezclador 6 durante las primeras 7 posiciones de los bitios de cada byte y constituye el octavo bitio sin mezclar de cada byte. Por lo tanto, se comprenderá que las condiciones de los primeros siete bitios de byte sucesivos procedentes de cualquier abonado es igualmente aleatoria debido a la mezcla, mientras que la condición del octavo bitio de los bytes sucesivos cambia

a la velocidad baja de transmisión de señales, puesto que el bitio es el bitio clave sin mezcla para los bytes de datos. Por lo tanto, en el terminal 11, cambia la condición del bitio clave a la velocidad muy baja, puesto que el bitio está sin mezclar y las condiciones de los otros bitios cambian a una velocidad relativamente elevada puesto que están mezclados.

5.

El dato del terminal de salida 11 que transmite convenientemente a una central distante. Tradicionalmente, cuando la central distante se encuentra situada a una distancia sensible, se puede utilizar un modem de datos para modular la corriente de datos y permitir por lo tanto la transmisión en grandes distancias. En la central distante, por lo tanto, se utiliza también un modem de datos para recuperar la señal de banda de base en la misma forma que el terminal de salida 11. Como es lógico, se comprenderá que para cortas distancias la propia señal de banda de base se puede alimentar a la línea de transmisión y enviarse a la central distante. En cualquiera de los casos, la corriente de bitios de datos de banda de base se recupera en la central distante y esta corriente de bitios se alimenta al terminal representado en la figura 2. De un modo más específico, la corriente de bitios recuperada se alimenta al conductor de entrada 12 y se pasa al circuito de recuperación de reloj 13, detector de encuadre 15, desmezclador 14 y puerta 19.

10.

15.

20.

25.

30.

El circuito de recuperación de reloj 13 recupera la onda de temporización de 64 KHz de las transiciones en la corriente de bitios de datos en el conductor 12. Se puede utilizar convenientemente un circuito bloqueado en fase y el circuito, bloqueado en fase con la corriente de bitios de datos entrante, proporciona en su salida una onda de tempo

rización de 64 KHz. Esta onda de temporización, invertida, hace bascular al basculador o flip-flop 17 con la corriente de bitios de datos entrante aplicada a la entrada "D" del basculador. La operación del flip-flop es por consiguiente la misma que la del flip-flop 2 (figura 1), proporcionando en la salida "Q" una reproducción de la corriente de bitios entrante retrasada por intervalo de medio bitio más un pequeño retraso adicional tal que las transiciones de bitios de datos retardan las transiciones de onda de temporización de 64 KHz.

5.

10.

El detector de encuadre 15 examina la corriente de bitios de datos entrante en el conductor 12 y, más particularmente examina el octavo bitio de los bytes derivados de un abonado que, como se ha descrito previamente puede ser intercalado con otros abonados. Como se describirá en detalle posteriormente, el detector de encuadre 15 proporciona una salida de tren de impulsos a un ritmo de 8 KHz idéntico a la onda de temporización T 8 cuando localiza el bit octavo o clave. Como se describirá posteriormente, el detector de encuadre 15 identifica el bit clave o indicador como el bit cuyo ritmo de señalización no exceda un ritmo que sea inferior al ritmo de señalización alto anticipado de los bits mezcladores. La salida de la onda de temporización T8 del detector de encuadre 15 es a continuación pasada por una puerta O 16 y una puerta Y 19 y pasada inversamente por una puerta Y 18.

15.

20.

25.

La puerta O 16 combina la onda de temporización de 64 KHz, invertida, derivada del circuito de recuperación de reloj 13, y la onda de temporización T 8, derivada del detector de encuadre 15. La salida de la onda de temporización resultante de la puerta O 16, es por consiguiente idéntica a la onda de temporización T 64, descrita anteriormente, genera

30.

da en el terminal de origen. La onda de temporización T 64 proporciona las señales de reloj para el desmezclador 14.

El desmezclador 14 es convenientemente del tipo ya conocido. El desmezclador proporciona una operación inversa con respecto al mezclador retardando la corriente de bitios entrante en el conductor 12 y restando bitios retardados para recuperar la corriente de bitios sin mezclar original. Se comprenderá que esta operación tiene lugar durante los intervalos de los siete primeros bitios del byte de dato puesto que la onda de temporización T 64 no tiene una transición durante el intervalo del octavo bitio. El octavo bitio no es tenido en consideración por la operación del desmezclador y la salida del desmezclador 14 comprende una desmezcla de los primeros siete bitios de cada byte.

La salida del desmezclador 14 se pasa a la puerta Y 18. Según se ha indicado anteriormente, la salida de onda de temporización T8 del detector de encuadre 15 se alimenta inversamente a la puerta Y 18. Por lo tanto, la puerta Y 18 muestrea la señal de salida del mezclador 14 durante las posiciones de los primeros siete bitios del byte de dato. Los bitios desmezclados por el desmezclador 14 durante las primeras siete posiciones de bitios pasan por lo tanto a través de la puerta Y 18 a la puerta C 20 al conductor de salida 21. Durante la posición del octavo bitio, la onda de temporización T8 desactiva la puerta Y 18 y la salida del desmezclador 14 queda por lo tanto bloqueada. Se ha indicado anteriormente que la onda de temporización T8 se alimenta a la puerta Y 19 que muestrea la corriente de bitios del dato reproducido en la salida Q del basculador 17. La puerta Y 19 se desactiva por lo tanto durante las posiciones de los

primeros siete bits de cada byte y se activa durante la posición del octavo bit. La salida de la puerta 19 comprende por lo tanto los octavos bits o bits claves de los bytes sucesivos.

Los bits clave sin mezclar se alimentan a través de la puerta 0 20 al conductor de salida 21. Por consiguiente, la corriente de bits resultante en el conductor de salida 21 constituye la corriente de bits reconstruida alimentada originariamente por el conductor 1 al terminal de origen.

Además, el terminal de recepción recibe también derivada de la corriente de bits una onda de temporización de 64 KHz. Esta onda, invertida, por el inversor 21 y la onda T8 se puede alimentar a una puerta Y, como es la puerta 23, para derivar una onda de reloj de bytes de 8 KHz alineada con el octavo bit de cada byte de datos en el conductor 21. Teniendo disponibles la corriente de datos, el reloj de bits y el reloj de bytes, la corriente de bits se puede elaborar de diversos modos. Las diversas señales de reloj se pueden alimentar a un temporizador local identificado como el temporizador 320. La corriente de bits se alimenta a una unidad de canal de central identificada como la unidad 107 para recuperar y alimentar el circuito de datos 301 la corriente del dato enviada originalmente por el abonado que envía los datos.

La señal de temporización de 64 KHz, invertida, se divide normalmente por medio del detector de encuadre 15 para proporcionar la señal de temporización T8 que tiene la velocidad de 8 KHz. Según se verá en la figura 4, la señal de 64 KHz, se aplica inversamente al contador 41. El contador 41, que es un contador divisor por ocho, proporciona un impulso de salida en cada octavo conteo de las transiciones negati-

5. Vas de la onla de 64 KHz, y de un modo más particular, proporciona un impulso de salida cada vez que el contador 41 alcanza el conteo inicial de cero. Este impulso de salida se pasa al conductor T8 para proporcionar la señal T8 descrita anteriormente. Según se describirá más adelante, la otra circuitería ejerce la función en el detector de encuadre 15 de alinear el conteo inicial del contador 41 con el bitio clave u octavo bitio de cada byte. No obstante, en el caso de que el contador no permanezca alineado de éste modo, se produce una puesta a 10. cero del contador por lo que el avance del contador se modifica para alinear de nuevo la posición del octavo bitio con el conteo inicial del contador 41.

15. La señal de temporización de 64 KHz se alimenta también inversamente al contador de muestras 42. Se recordará que la corriente de bitios de los datos puede constituir la intercalación de los bytes de datos de 5, 10 ó 20 abonados. La aparición del octavo bitio de cualquier abonado se puede separar, por lo tanto, por 160 (20x8) posiciones de bitios. El contador de muestras 42 comprende por lo tanto convenientemente 20. un contador divisor por 160. Según se describirá más adelante, el detector de encuadre 15 funciona para alinear el avance del contador de muestras 42 de forma que el conteo final o sea el conteo 159, se ponga prácticamente en línea con el octavo bitio o bitio clave del abonado cuyo bitio se muestrea u observa. Por consiguiente, cuando el contador de muestra 25. 42 se encuentra en su conteo final (159), se proporciona un impulso de salida en la salida del contador simultáneamente con la aparición del octavo bitio o bitio clave en el conductor de datos 12.

30. El impulso de salida del contador 42 se combina con la

señal de reloj de 64 KHz para activar parcialmente la puerta Y 49. Según se describirá más adelante, la puerta 49 muestrea la salida del comparador 45 y este periodo demuestra ocurrir normalmente en el punto medio del bitio clave cuando la salida del contador 42 y la señal de reloj de 64 KHz son ambas "altas". La salida del contador 42 se combina también con el reloj de 64 KHz por la puerta NY 43. La puerta NY se activa por lo tanto durante la última mitad del intervalo del bitio clave u octavo bitio. Al final de este intervalo, la puerta NY 43 se desactiva dando por resultado una transición positiva en la salida de la puerta NY 43. Esta transición positiva tiene lugar en la última parte del octavo bitio puesto que, según se ha indicado anteriormente, el reloj de 64 KHz encabeza la señal del dato. Esta transición positiva cronometra el octavo bitio en un almacén de un bitio 44. La salida del almacén de un bitio 44 se alimenta a una entrada del comparador 45. La otra entrada al comparador 45 se deriva de la corriente de bitio de dato en el conductor del dato 12. La señal de salida del comparador 45 pasa a estado alto si se produce una coincidencia de comparación y al estado bajo si se produce una desadactación de la comparación. Esta salida pasa, invertida, a las puertas Y 49 y 50, activando parcialmente estas puertas si hay una desadactación de comparación.

La salida del contador de muestras 42 pasa también al contador 46 que define un intervalo de muestro durante el cual se calcula el número desadactaciones de comparación. El contador 46, que es un contador divisor por 32 avanza cada vez que el contador 43 avanza a su contejo final para muestrear un bitio clave. Por lo tanto, después que el conta

je 42 ha ciclado en sus contajes 32 veces, el contaje 42 avanza a su contaje final de 31 y durante este contaje final proporciona un pulso positivo o alto en su salida. Este impulso alto repone al basculador 47 si previamente no estaba en su posición inicial, repone el contador 51, si había avanzado previamente, y activa parcialmente la puerta 48. El basculador 47, en el estado de reposición o libre, define una condición de encuadre o modo para el detector de encuadre 15. Con el contador de muestra 42 en su contaje final y el basculador 47 en la condición de encuadre de reposición, la puerta Y 48 se activa, alimentando un impulso de reposición al contador 41. Al mismo tiempo, suponiendo que el contador 42 haya avanzado de una manera normal y como el contaje del contador 42 es un múltiplo del contaje del contador 41, el contador 41 está en su contaje inicial (cero) y el impulso de reposición no ejerce función alguna. Esta operación de ciclos continúa en tanto que el detector de encuadre 15 se encuentre en el modo de encuadre.

Supongamos ahora que cuando el contador 42 ha avanzado hasta su contaje final, el bitio clave entrante en el conductor 12 difiere del bitio clave anterior cronometrado en el almacén 44. En este caso, la salida del almacén de un bitio 44 difiere del bitio presente en el conductor de datos 12. El comparador 45 detecta, por lo tanto, una desadactación y proporciona una condición de estado bajo en su salida. Como el contador 42 ha avanzado hasta el contaje final y el detector de encuadre 15 se encuentra en el modo de encuadre, la puerta Y 49 se activa y pasa inversamente la salida de estado bajo del contador 45 al contador 51 que avanza un contaje.

Si el régimen de cambio de la condición binaria de la

señal del bitio clave es menor que el régimen aleatorio anticipado de bitios mezclados (aunque al régimen de transmisión de señales de baja velocidad de la señal de control), se detectarían menos de 7 desadaptaciones durante cualquier intervalo de muestro de conteaje 32 definido por el contador 46.

En este caso, cuando el contador 46 avanza a su conteaje final (31), el contador 51 se repone al conteaje inicial de cero.

No obstante, en el caso de que el régimen de cambio de la señal del bitio clave sea suficientemente en exceso al ritmo de transmisión de señales de baja velocidad para que se detecten siete desadaptaciones durante el periodo de la muestra 32 definida por el contador 46, el contador 51 avanza a la cuenta de 7 antes de que el contador 46 avance a la cuenta de 31. En este caso, el contador 46 se repone y el basculador 47 se coloca en el estado inicial para definir el modo de fuera de encuadre.

La puerta Y 48 se desactiva y el contador 41 prosigue para funcionar solamente bajo control de la señal de temporización de 64 KHz.

Al reponerse el basculador 47 su salida "a" pasa a estado alto, activando parcialmente la puerta Y 50. En este instante, la salida del contador de muestras 42 es alta, activando aún más la puerta Y50, la salida del contador 42 era baja durante el conteaje de bitio anterior. Este estado bajo, provisto de un retardo de un bitio por el circuito de retardo 52 pasa, invertido a la puerta Y 50 durante el conteaje final del contador 42 activando por lo tanto la puerta Y. Se recordará que hay una desadaptación de comparación y que la puerta Y 50 está por lo tanto totalmente activada. La puerta Y, activada de este modo, causa la retención del contador 42 evitando su avance en respuesta al impulso de reloj siguiente

de 64 KHz. La salida del contadores se mantiene por lo tanto alta, la puerta 43 se mantiene activada, y pasa por lo tanto a través de los mismos el impulso siguiente de reloj de 64 KHz, y por lo tanto, se cronometra el bitio sucesivo siguiente en la corriente de bitios en el almacen de un bitio 44.

5.

El contador 42 ha quedado por lo tanto restringido a desplazarse una posición de un bitio en la corriente de bitio.

Como su salida se mantiene alta más tiempo que el intervalo de un bitio, la salida del circuito de retardo 52 pasa ahora a estado alto, desactivando la puerta Y 50 para eliminar la retención. El contador 42 vuelve a avanzar después desplazarse la posición de un bitio.

10.

Después que contador 42 ha avanzado de nuevo a su conteje final se realiza de nuevo una comparación y, si hay otra desadactación, el contador 42 se desplaza de nuevo un intervalo de un bitio. Este proceso se repite hasta que se localiza un bitio clave según determinen coincidencias de comparación sucesivas. La puerta 50 se desactiva por lo tanto por las coincidencias de comparación y el contador 42 se vuelve a alinear con el bitio clave. Posteriormente el contador 46 avanza hasta su conteje final para reponer el contador 51, y reponer el basculador 47 al modo de encuadre, y con el basculador 47 en posición inicial la puerta Y48 se activa para reponer el contador 41. Por consiguiente, el contador 41 se alinea con la posición del bitio clave y una nueva señal de temporización T8, alineada de un modo similar con la posición del bitio clave, se obtiene gracias al detector de encuadre 15.

15.

Aunque se ha ilustrado y descrito una modalidad específica de éste invento, se comprenderá que se pueden hacer diversas modificaciones sin desviarse del espíritu del invento.

20.

25.

30.

to.

5. Describa suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

10. 1.- Perfeccionamientos en sistemas de transmisión de datos, del tipo que incorporan una disposición para alinear bytes con una estación transmisora para transmitir bitios de datos organizados en grupos que tienen bitios de control en una posición correspondiente de un bitio en cada grupo, transportando los bitios de control en grupos diferentes información a un primer régimen de transmisión de señales; y una estación receptora para recibir los bitios de datos transmitidos y para identificar la posición de los bitios de control, caracterizados porque la estación transmisora comprende un mezclador para mezclar los bitios de datos solamente; y la estación receptora comprende un identificador para detectar regimenes de cambio del estado de los bitios que ocupan una posición de bitio correspondiente en diferentes grupos que no excede de un régimen predeterminado en exceso
15. al primer régimen de transmisión de señales y menor que el régimen anticipado de cambio de los bitios de datos mezclados; por lo que se identifica la posición del bitio correspondiente y se recupera la señal de control y se desmezclan los bitios de los datos.

20. 2.- Perfeccionamientos según la reivindicación 1, ca

5. racterizados porque el identificador comprende : una circuitería de comparación para comparar pares de bitios que ocupan individualmente una posición correspondiente de las posiciones de los bitios en grupos diferentes y para designar la relación predeterminada en respuesta a una relación de desadaptaciones de comparación a comparaciones de pares.

10. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque el identificador cambia la circuitería de comparación para comparar pares de bitios que ocupan una posición correspondiente diferente de las posiciones de los bitios.

15. 4.- Perfeccionamientos según la reivindicación 3, caracterizados porque el identificador comprende además un generador para generar un impulso durante una posición correspondiente de las posiciones de los bitios de cada uno de los grupos; y porque el receptor sensible al comparador alinea el generador con la posición correspondiente de las posiciones de los bitios ocupadas por los bitios comparados.

20. 5.- Perfeccionamientos según la reivindicación 4, caracterizados porque el identificador cuenta pares de comparaciones y define una condición de fuera de encuadre en respuesta a un conteje de desadaptación de comparación antes de un conteje de comparación elegido.

25. 6.- Perfeccionamientos según la reivindicación 4, caracterizados porque el identificador cuenta pares de comparaciones y define una condición de encuadre en respuesta a un conteje de comparación elegido antes de un conteje de desadaptación de comparación.

30. 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque el identificador realiza la operación de

alineación en respuesta a una condición de encuadre.

8.- Perfeccionamientos según la reivindicación 5, caracterizados porque el identificador efectúa el cambio en respuesta a una condición de desencuadre.

9.- Perfeccionamientos en sistemas de transmisión de datos, tal y como queda sustancialmente descrito en la presente Memoria, y en los dibujos adjuntos.

Esta Memoria consta de veintidos hojas, escritas a máquina por una sola cara.

Madrid, -8 ABR. 1976

WESTERN ELECTRIC COMPANY INCORPORATED

GONZALEZ ACEBA Y ASOCIADOS

Por el Firmante: L. García Fernández



FIG. 1

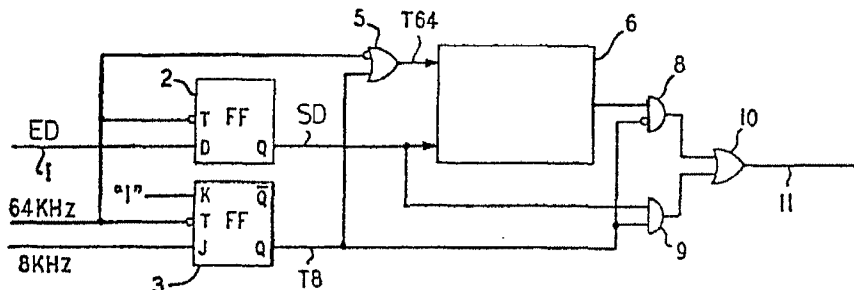


FIG. 2

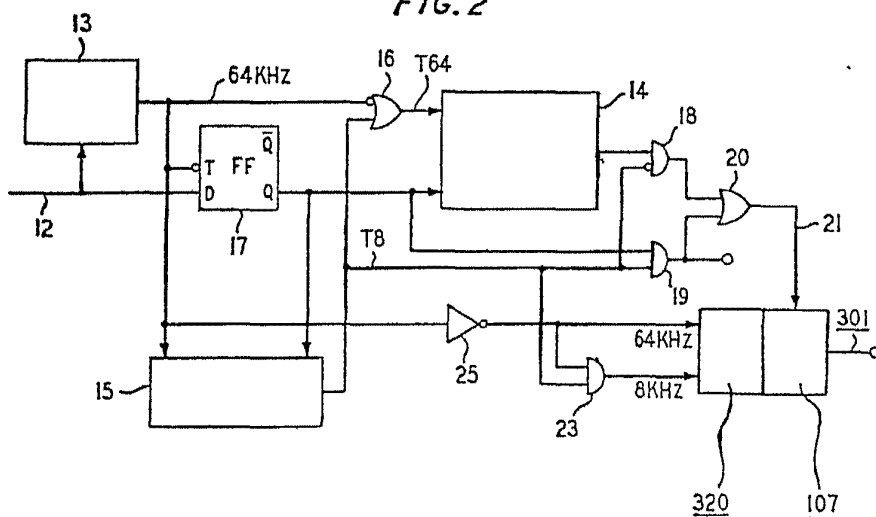
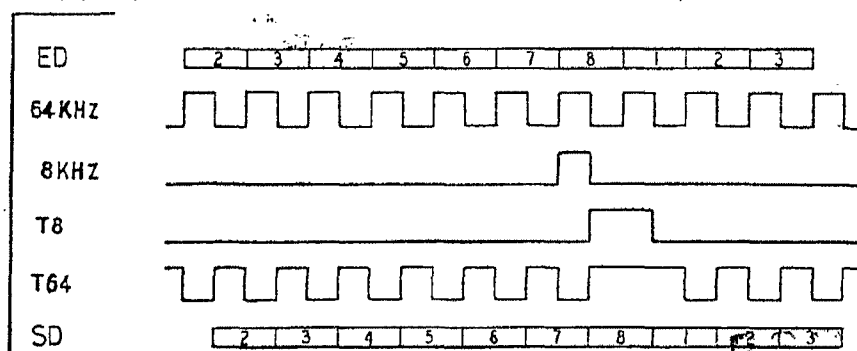


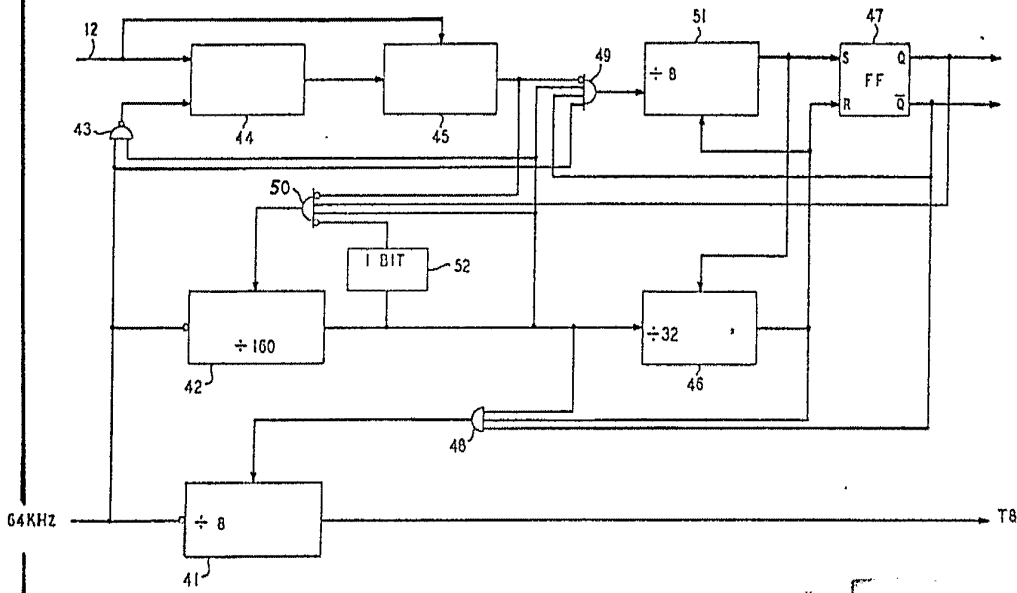
FIG. 3



RECEIVED
 VARIABLE
 Madrid - 8 ABR. 1977

[Handwritten signature]

FIG. 4



MADE IN U.S.A. ABR. 1970

DEPT. OF COMMUNICATIONS
TELEPHONE LABORATORIES

[Handwritten signature]