



ES

NUMERO
446660
- 2 -
20 de Abril 1975

(5) AI

PATENTE DE INVENCION

(20) PRIORIDADES: (21) NUMERO Ser Nos: 565.227 642.191	(22) FECHA 4 de abril de 1.975 18 de diciembre de 1.975	(23) PAIS Norteamerica
---	---	---------------------------

(24) FECHA DE PUBLICIDAD	(25) CLASIFICACION INTERNACIONAL G11B	(26) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	---	--

(27) TITULO DE LA INVENCION
Perfeccionamientos en memorias dinámicas

(28) SOLICITANTE ISI
WESTERN ELECTRIC COMPANY; INCORPORATED, entidad norteamerica

DOMICILIO DEL SOLICITANTE
residente en 195 Broadway, New York 10007, EE.UU. de A.

(29) INVENTORES
HARRY JOSEPH BOLL/

(30) TITULARES

(31) REPRESENTANTE
D. Jaime Gomez Acebo y Modet.

**POOR
QUALITY**

5. El invento se refiere a un aparato de memoria, que contiene un elemento de almacenamiento de carga para almacenar carga eléctrica y un sistema de puertas para controlar las señales eléctricas de lectura y escritura al elemento de almacenamiento.

10. Las células de memoria por capacitores de metal-aislador-semiconductor (MIS), y de un modo más específico de metal-óxido-semiconductor (MOS), son una forma de célula de memoria dinámica. En una célula de memoria dinámica por capacitores MIS, la información se almacena en forma de la presencia o ausencia de una carga en un capacitor, que representa de éste modo un estado digital binario de información. Por "dinámica" se entiende que el estado de información en uno u otro (o ambos) de los dos estados posibles tiende a degradarse y a desaparecer finalmente con el paso del tiempo.

15. Una célula de memoria por capacitores MOS puede adoptar la forma, por ejemplo de un semiconductor del tipo N cubierto con una capa aislante de dióxido de silicio sobre la cual se coloca una placa conductora eléctrica de metal o de material tipo metálico. Esta placa conductora del capacitor MOS se mantiene a un voltaje de referencia negativo fijo mientras que los impulsos eléctricos de escritura y lectura se alimentan a la parte de superficie semiconductor del capacitor (subyacente a la placa). Un voltaje de dirección positiva o impulso de corriente de escritura, alimentado a la parte de superficie semiconductor del capacitor MOS, inyecta cargas positivas (portadores minoritarios de huecos) en esta parte de superficie del sustrato semiconductor, poniendo el capacitor MOS en su estado de memoria "1" digital binario ("lleno" de descarga positiva). Por otro lado un voltag

20.

25.

30.

5. je de dirección negativa o impulsos de corriente de escritura a la parte de superficie semiconductor elimina estas cargas positivas de la parte de superficie del sustrato semiconductor, reduciendo de éste modo de una forma pronunciada la carga positiva en la parte de superficie semiconductor y poniendo el capacitor MOS en su estado de memoria "cero" digital binario ("vacío" de carga positiva). No obstante, este estado "cero" binario tiende a degradarse con el paso del tiempo después del impulso de escritura de dirección negativa, debido a regeneración térmica de los portadores minoritarios parásitos (huecos cargados positivamente) en el sustrato semiconductor del tipo N. Esta degradación tiene lugar dentro del orden del tiempo de regeneración térmica del semiconductor durante el funcionamiento, normalmente del orden de unos milisegundos o menos. No obstante, aún en presencia de ésta degradación de la memoria, un impulso de voltaje de dirección negativa de escritura puede vaciar la parte superficial del sustrato MOS de cargas positivas y producir, por lo tanto, el estado "cero" binario de información para almacenarse en el capacitor MOS al menos durante un corto período de tiempo; por el contrario, la presencia de cargas positivas en la parte de superficie del sustrato debidas a un impulso de dirección positiva de escritura puede producir el "1" binario para almacenamiento en el capacitor MOS.

10.
15.
20.
25.
30. En gran parte de la tecnología anterior, para conservar el estado "cero" binario, se necesitaba que la red de acceso para lectura y escritura dedicara una parte sensible de su tiempo de funcionamiento a la lectura del estado binario del capacitor solamente con el fin de regenerar por reintroducción el mismo estado del capacitor, o sea, tomar

- lectura y volver a escribir aún cuando no se deseara útil de acceso externo de la información almacenada en el capacitor MOS. Esto daba por resultado una pérdida notable del tiempo de acceso disponible para la lectura y escritura, lo
5. cual puede suponer un inconveniente importante porque la verificación diagnóstica del sistema consume una parte sensible del tiempo total del funcionamiento y, por lo tanto, reduce este tiempo de acceso disponible, poniendo a prueba por lo tanto el tiempo de acceso disponible restante. Debido a esta
10. necesidad de tener que regenerar continuamente la memoria, no solamente la memoria no estaba siempre disponible para lectura y escritura de uso externo, sino que la memoria exigía también una cantidad rotable de energía de reserva en los ciclos de regeneración o recarga. Este gran consumo de
15. energía de reserva surge del hecho de que toda la cantidad de carga en el capacitor se debe eliminar para la recarga, elaborarse y devolverse durante cada ciclo de regeneración o recarga. En las formaciones de memorias a gran escala, esta energía de reserva puede representar la mayor parte de
20. la energía total asociada con el funcionamiento de la formación. Además, para reducir al mínimo la cantidad de tiempo empleada para regenerar el capacitor MOS, y por lo tanto, aumentar el tiempo disponible para acceso externo de la lectura y escritura, era necesario mantener la temperatura de
25. funcionamiento bastante baja. Al ser la temperatura menor se reducía la frecuencia requerida de regeneración aumentando el tiempo de regeneración térmica de los portadores de carga en el capacitor MOS, puesto que la regeneración térmica de los portadores de carga era la causa de la degradación y
30. desaparición del estado "cero" binario. Por lo tanto, los

problemas de disipación de calor son bastantes graves especialmente en formaciones a gran escala.

5. Las redes de detección para muchas de las células de memoria por capacitores MOS de la tecnología anterior deben poder distinguir entre una célula totalmente cargada y una célula que se ha llenado parcialmente por portadores generados térmicamente, imponiendo por lo tanto exigencias bastante estrictas en los márgenes de detección entre los dos estados binarios de "0" y "1". Finalmente, muchas de las células de memoria de la tecnología anterior tienen el inconveniente de ofrecer un rendimiento relativamente bajo en formaciones de memoria masivas, debido a fuentes de generación de corriente continua elevada localizada en el sustrato de silicio que puede dejar inactiva cualquier célula adyacente después de los tiempos relativamente largos entre regeneraciones sucesivas. Dicha generación de corriente continua es el resultado de las frecuencias de regeneración relativamente bajas empleadas en la mayoría de los dispositivos de la tecnología anterior, que es del orden de un kilociclo. No obstante, si se aumentan las frecuencias de regeneración o recarga de los dispositivos de la tecnología anterior, se aumenta indeseablemente el consumo de energía y se reduce el tiempo de memoria útil de funcionamiento disponible para lectura y escritura de acceso externo.

10.

15.

20.

25. Los problemas anteriores se resuelven en un aparato de memoria que tiene un elemento de almacenamiento capacitor y un transistor de desconexión cíclica que se caracteriza porque un primer terminal del elemento de almacenamiento se conecta a una línea de regeneración o recarga a través de un primer transistor conmutador, uno de cuyos terminales por-

30.

tadores de corriente elevada se conecta óhmicamente a la línea de regeneración y el otro de los terminales portadores de corriente elevada se conecta óhmicamente al primer terminal del elemento de almacenamiento y cuyo terminal portador de corriente baja se conecta óhmicamente a un primer terminal portadora de corriente elevada de un segundo transistor conmutador, conectándose óhmicamente otro terminal portador de corriente elevada de un segundo transistor conmutador al primer terminal del elemento de almacenamiento y el terminal portador de corriente baja del segundo transistor conmutador se conecta óhmicamente a otro terminal del elemento de almacenamiento.

La figura 1, es un diagrama esquemático de circuito de una célula de memoria MOS con regeneración o recarga, según una modalidad del invento.

La figura 1,1 es un diagrama de circuito esquemático de una célula de memoria MOS con regeneración según otra modalidad del invento.

La figura 2. es una vista superior de una versión de circuito integrado de la célula de memoria MOS expuesta esquemáticamente en la figura 1.

La figura 3 es una vista superior en sección transversal del circuito integrado de la célula de memoria MOS ilustrado en la figura 2.

La figura 4 es un gráfico del voltaje en ordenadas de la línea de regeneración contra el tiempo en abcisas, útil para describir el funcionamiento de una modalidad específica del invento; y

La figura 5 es un diagrama de circuito de una fuente de voltaje de línea de regeneración útil para el funciona

miento de una modalidad específica del invento.

Por razones de claridad solamente, ninguno de los dibujos está a ninguna escala.

5. Para proporcionar regeneración independiente a un capacitor de almacenamiento de carga de una memoria, una primera parte terminal del capacitor se conecta a uno de los terminales portadores de corriente elevada de un primer transistor conmutador en una red de recarga o regeneración que está separada de una red de acceso de lectura-escritura de dicho capacitor. Otro terminal portador de corriente elevada del primer transistor conmutador se conecta a una fuente de voltaje apropiada que actúa como sumidero para las cargas eléctricas parásitas de fondo que se acumulan en el capacitor de la memoria. Por "terminal portador de corriente de corriente elevada" se entiende, por ejemplo, la fuente a drenador de un transistor de efecto de campo de puerta aislada (IGFET) o el emisor o colector de un transistor bipolar. Un terminal portador de baja corriente del primer transistor conmutador se conecta a un terminal de corriente elevada de un segundo transistor conmutador, con lo que se controla el primer transistor conmutador. Otro terminal de corriente elevada del segundo transistor conmutador se conecta al primer terminal del capacitor de memoria, y un terminal de corriente baja del segundo transistor conmutador se conecta a un terminal diferente del capacitor. Por terminal portador de corriente baja se entiende, por ejemplo, el terminal del electrodo puerta de un IGFET o el terminal de base de un transistor bipolar.

20. El capacitor tiene dos estados de memoria, uno que se caracteriza por un capacitor vacío o casi vacío ("cero" digital) y el otro por un estado de carga del capacitor lleno
- 25.
- 30.

- o casi lleno ("1" digital). En el estado de "cero" digital, la carga parásita debida a generación de carga de fondo en el semiconductor, por ejemplo, se elimina continuamente del capacitor a través del primer transistor conmutador a la
5. fuente de voltaje que actúa como sumidero para las cargas parásitas que se generan en el capacitor. En el estado de "1" digital, el primer transistor conmutador se mantiene "desconectado", por lo que la carga no se elimina del capacitor y la carga de fondo es generada en el semiconductor actua
10. simplemente para mantener este estado de "1" digital. De este modo, el estado de memoria digital binario del capacitor se conserva, según determine previamente la parte semiconductor del capacitor que esté vacía de carga o llena de carga; y el capacitor se puede leer o escribir independientemente
15. de la regeneración.

- Según se ilustra en el circuito de la figura 1, un capacitor de almacenamiento de memoria MOS C_g está formado por una placa metálica (o de tipo metálico) 11 separada por una capa de óxido 12 de una parte de superficie de substrato semiconductor de tipo N 10. El propio substrato semiconductor se polariza convenientemente en inversión (no se ilustra en la figura 1). La placa metálica 11 se acopla directamente con conexión óhmica al terminal 14 que se mantiene convenientemente a un voltaje de corriente continua constante negativo,
20. -V, por ejemplo por medio de una batería externa (no ilustrada). Este voltaje -V alimentado al terminal 14, junto con el voltaje de polarización inversa alimentado al substrato semiconductor, produce una región de depleción en la región semiconductor por debajo de la placa metálica (o de tipo metálico) 11.
- 25.
- 30.

5. La escritura de un "1" o un "0" digital en el capacitor C_S se controla por un dispositivo IGFET de desconexión cíclica de acceso de "canal p" T_1 cuyo voltaje del terminal de desconexión cíclica se controla por una línea de palabra W y cuyo voltaje del terminal fuente se controla por una línea de bitios B , según se sabe en esta rama de la industria. La línea de bitios B se pone normalmente al potencial negativo $+V$, mientras que la línea de palabras W se pone normalmente a tierra.

10. La escritura de carga positiva, v.g., "1" digital, al capacitor C_S se consigue por medio de un impulso de dirección positiva en la línea de bitios B alimentada a la fuente de T_1 (lado superior de T_1) acompañada por un impulso de dirección negativa (conexión) en la línea de palabras W alimentado a la puerta de T_1 , llenando de este modo la parte superficial del substrato semiconductor 10 en la región situada por debajo de la placa metálica 11 con portadores de carga positiva ("huecos"), en una cantidad dada por $C_S V$ (donde V es el suministro de continua al terminal 14). La eliminación del impulso negativo a la puerta de T_1 antes de terminar el impulso positivo a la fuente de T_1 confina por lo tanto estas cargas positivas en este substrato del capacitor C_S desconectando el transistor T_1 . Este estado de desconexión persiste después de una vuelta de la línea de bitios B a su estado de polarización de voltaje normalmente negativo. De este modo se consigue el confinamiento y almacenamiento no volátil a largo plazo de este estado de "1" digital en C_S .

20. La escritura de un "0" digital, v.g., prácticamente sin carga en el capacitor MOS C_S , se consigue por un impulso de dirección negativa en la línea de palabras W para la cone

5. xiòn de T_1 mientras que la línea de bitios B permanece a su voltaje normalmente negativo. Por lo tanto, el capacitor C_S se vacía de cualquier carga positiva en la parte superficial del substrato 10 asociada con C_S (por debajo de la placa metálica 11).

10. La lectura del estado de carga "1" o "0" de C_S se consigue por un impulso negativo de conexión alimentado a la línea de palabras W con la línea de bitios B todavía en su estado de polarización normalmente negativo, transfiriendo de éste modo carga positiva (si la hubiera) desde C_S a la línea de bitios B para lectura normal, seguido de reescritura si se deseara, según se sabe bien en la profesión. No obstante, según transcurre el tiempo en ausencia de medios de regeneración, la generación térmica de portadores minoritarios (huecos) tendería a llenar un C_S vacío ("cero" digital) con carga positiva indeseable, convirtiendo de éste modo parásitamente el estado de memoria a un capacitor C_S lleno ("1" digital) y degradando completamente el estado de la memoria.

20. La finalidad de la red auxiliar de conmutar dispositivos IGFET de canal P T_2 , T_3 , con capacitores C_2 , C_3 , C_4 y C_5 , en combinación con una línea de regeneración eléctrica L controlada por una fuente de suministro de energía de alterna 13 alimentada al terminal 13.1, es mantener el estado "cero" vacío, así como el estado "1" lleno, del C_S en ausencia de cualesquiera otros impulsos de voltaje de escritura en la línea de palabras W o en la línea de bitios B. De este modo se evita la degradación del estado de memoria sin necesidad durante el funcionamiento de cualquier amortiguación con la

30. línea de palabras W o la línea de bitios B para cualquier fi

- nalidad de regeneración o recarga (al contrario que la finalidad de lectura o escritura para acceso externo). Normalmente, los capacitores C_2, C_3, C_4 y C_5 son capacitancias parásitas y, por lo tanto, se indican en el dibujo por líneas de rayas.
5. Convenientemente, para esta finalidad de regeneración, la fuente de voltaje de corriente alterna 13 suministrada a la línea de regeneración L un voltaje alterno continuo ininterrumpido (excepto según se describirá), a una frecuencia comprendida a aproximadamente entre 10MHz y MHz variando convenientemente de una forma aproximada entre los límites de $-V$ y $-(V + \Delta)$, donde $-V$ es el mismo voltaje que se alimenta al terminal 14 y Δ es normalmente del orden de aproximadamente 5 a 10 voltios, convenientemente de 8 a 10 voltios. Normalmente, $-V$ es aproximadamente -12 voltios; no obstante,
10. durante la operación "baja" (sin lectura ni escritura), $-V$ se puede reducir a tan solo aproximadamente -5 voltios.
15. Aunque, en adelante los límites de la fuente de corriente alterna 13 se describirá como $-V$ y $-(V + \Delta)$, se deberá tener presente a pesar de todo, que estos límites se pueden establecer convenientemente a $-(V+V_T)$ y $-(V+V_T + \Delta)$ donde Δ_0 es la suma del voltaje umbral de T_2 y T_3 (donde normalmente predomina T_2). Estos últimos límites se pueden conseguir por medio de un oscilador de marcha libre que alimenta un circuito activador integrado del tipo de amplificación de contrareacción, según se describe, por ejemplo, en
20. un documento de R.E. Joynton et al, IEEE Journal of Solid State Circuits, volumen SC-7, número 3 página 217-224 (Junio de 1.972) titulado "Pérdidas Umbrales de Eliminación en Circuitos MOS por amplificación de contrareacción empleando acoplamiento de varactores". Los límites de voltaje superior
- 25.
- 30.

e inferior de la fuente de alterna se pueden reducir simultáneamente por una excursión dada de corriente alterna Δ (cresta a cresta). La salida de la corriente alterna 13, en cualquier caso no necesita estar en fase ni sincronizada con ninguna otra fuente de voltaje. El transistor T_2 tiene su propio terminal de descarga (lado de la derecha de T_2) acoplado óhmicamente en continua de una forma directa a la línea de regeneración L por medio de un trayecto óhmico y conductivo. El electrodo puerta del T_2 se acopla óhmicamente en continua de una forma directa al terminal de descarga de T_3 . El electrodo puerta de T_3 se acopla óhmicamente en continua de una forma directa al terminal 14 (que controla también el voltaje de placa de C_S). El modo F (en el electrodo puerta de T_2) se acopla en alterna por capacitancias (parásitas) C_2, C_3, C_4 y C_5 asociadas con este nodo F como sigue: a la línea de regeneración L a través de la capacitancia C_1 , al electrodo puerta de T_3 a través de la capacitancia C_3 , a la fuente de T_2 a través de la capacitancia C_4 , y la capacitancia parásita restante a tierra a través de la capacitancia C_5 . La capacitancia C_2 es convenientemente mayor que $C_3+C_4+C_5$; no obstante, se pueden emplear valores de capacitancia de C_2 algo menores que estos junto con excursiones de voltaje mayores Δ . La capacitancia C_2 es convenientemente menor que la capacitancia del MOS, C_S , convenientemente en un factor de cinco o más para reducir al mínimo el valor necesario de la oscilación de voltaje Δ .

En la descripción de funcionamiento que sigue, supondremos que T_3 se ha concebido con un voltaje cíclico umbral que es más negativo que el del capacitor MOS en las mismas condiciones que el voltaje de fuente y de drenador. Esta con

dición umbral "superior de T_3 no es esencial según se expon-
drá más adelante. Este umbral superior se puede conseguir
empleando técnicas conocidas como implantación de iones (o im-
purezas donadoras para el canal P), mayor espesor de óxido
o efectos de diseño geométricos, según se sabe en esta rama
de la industria. El umbral de T_3 es convenientemente tan so-
lo ligeramente más negativo que el del capacitor MOS, normal-
mente de tan solo unos 0,5 a 1,0 voltios. La oscilación de
cresta a cresta Δ del voltaje de alterna en la línea de re-
generación L es convenientemente igual o superior al doble
del voltaje umbral de T_2 , normalmente, esta oscilación es
del orden de aproximadamente 5 a 10 voltios o más,

A pesar de que la línea de regeneración L oscila en
voltaje entre $-V$ y $-(V+\Delta)$, la división del voltaje de alter-
na producida por los capacitores C_2 y $C_3 + C_4 + C_5$ (donde $C_2 >$
 $C_3 + C_4 + C_5$) es de tal categoría que aparece poca caída de
voltaje de alterna entre la fuente 13 y el terminal 14 a
través de C_2 . Esto tiende a hacer que el voltaje de puerta
de T_2 y el voltaje de drenador de T_3 sigan con bastante apro-
ximación el voltaje oscilante de L, en el supuesto de que
el transistor T_3 esté desconectado, o sea, su región de su-
perficie semiconductor de puerta no se invierta de su fuen-
te a su drenador. De este modo, se conserva el estado de
memoria de C_S , en condiciones de capacitor totalmente car-
gado (con la carga igual a $C_S V$) o de capacitor vacío, según
se verá por la explicación siguiente.

Suponiendo que la célula de memoria esté en su esta-
do "0" digital ("célula vacía"), entonces el capacitor de
memoria C_S está vacío, o casi vacío de carga en la parte de
la superficie del substrato semiconductor bajo la placa 11.

Entonces, la generación de carga térmica en el semiconductor, tiende a aumentar indeseablemente esta carga en el sentido positivo, produciendo de este modo carga parásita en el capacitor de la memoria. Además, la tendencia es también a general carga positiva indeseable en la puerta de T_2 . No obstante, la carga positiva parásita que se genera en un capacitor casi vacío C_S , así como cualquier carga indeseable en la puerta de T_2 , se descargará y será recoída por la línea de regeneración o recarga L, actuando de éste modo como sumidero de carga para la carga parásita como sigue. Debido al hecho de que C_S está vacío o casi vacío de carga, el transistor T_3 estará "desconectado", excepto cuando el voltaje de recarga en la línea L pasa a $-V$, v.g., su excursión más positiva. De un modo más específico, T_3 se conecta entonces en la excursión positiva de la línea de recarga L si existe una acumulación de carga positiva indeseable en la puerta de T_2 . De este modo, en la excursión positiva de L (a $-V$ y cerca de $-V$), cuando T_3 está temporalmente conectado, cualquier carga positiva indeseable que se haya acumulado en la puerta de T_2 se transfiere a través de T_3 a C_S . Por lo tanto, el voltaje en la puerta de T_2 se evita (en cada ciclo de L) que se vuelva más positivo que $-V.V_{T3}$, donde V_{T3} es el voltaje de conexión umbral (negativo) de T_3 . En la excursión negativa de la línea de regeneración o recarga L (v.g., a $-V-\Delta$ o casi $-V-\Delta$), la puerta de T_2 se vuelve más negativa en virtud de la capacitancia de acoplamiento del capacitor C_2 . En un Δ suficientemente grande, se conecta T_2 , activando de éste modo la carga positiva parásita (tanto la carga previamente transferida de la puerta T_2 como la carga generada térmicamente) en el substrato del capacitor de la memoria C_S para que fluya a la propia línea L.

5. Resumiendo esta operación, estando C_3 vacío o casi vacío ("0" digital), en la excursión positiva de la línea de recarga L , cualquier carga positiva indeseable en la puerta de T_2 se transfiere a través de T_3 a C_3 ; por el contrario, en la excursión negativa de L , cualquier carga positiva que se haya transferido al substrato de C_3 desde la puerta de T_2 (en la excursión positiva anterior de L) más cualquier carga positiva parásita que se haya generado térmicamente en el substrato de C_3 se transfiere a través de T_2 a la línea de regeneración L (donde se devuelve finalmente al suministro de energía 13).
10. Por lo tanto, una célula casi vacía se regenera continuamente para que permanezca vacía en cada ciclo de la fuente de suministro de energía 13.

15. Cuando se trata de un "1" digital ("célula llena") v.g., la parte de superficie del substrato semiconductor 10 del capacitor C_3 tiene una carga positiva igual o casi igual que C_3V , por lo tanto, T_3 está siempre conectado cualquiera que sea la excursión de voltaje de la línea de regeneración L entre $-V$ y $-V\Delta$. Por consiguiente, como T_3 está siempre
20. conectado, la puerta de T_2 se mantiene a voltaje de la parte de superficie semiconductor cargada positivamente del capacitor C_3 , por lo que T_2 está siempre desconectado cualquiera que sea la excursión de la línea L . Por lo tanto, la carga positiva en el substrato de C_3 permanece confinada porque T_2 no
25. se puede conectar nunca durante ninguna parte de los ciclos de alterna de la línea de regeneración L .

30. Se observará que el transistor T_3 controla el transistor T_2 ; o sea, cualquiera que sea el estado de carga en la célula de la memoria, T_2 se desconecta siempre que T_3 se conecte y T_2 se conecta siempre que T_3 se desconecte.

5. Durante la lectura o escritura para acceso externo, la línea de palabras W deberá mantenerse normalmente a un potencial de aproximadamente 8 a 10 voltios más negativa que el umbral del transistor de desconexión cíclica T_1 . Por lo tanto, durante la reescritura o reintroducción, la corriente que pasa a través de T_1 , será mucho mayor que la que pasa a través de T_2 . Además, la corriente que pasa a través de T_3 cuando T_2 está conectado tiende a desconectar T_2 , por lo que se asegura el éxito de la reintroducción en el capacitor MOS.
10. En las descripciones de funcionamiento descritas con una célula llena y una célula vacía, se supone que T_3 tiene un umbral más elevado que T_2 y que la parte semiconductor del capacitor de almacenamiento MOS C_S , o sea T_3 exige más voltaje de desconexión cíclica de dirección negativa para la conexión que T_2 . Si no se cumple con esta condición umbral, pero los umbrales de T_2 y T_3 son aproximadamente iguales, entonces, cuando la línea de regeneración L se encuentra en su excursión negativa, T_3 se conectará aún en el caso de que la célula esté vacía durante el mismo tiempo que T_2 está también conectado. El flujo consiguiente de carga positiva a través de T_3 tiende entonces a desconectar T_2 prematuramente y de una forma indeseable durante esta excursión negativa de L , tendiendo por lo tanto a evitar el vaciado completo conveniente de C_S . Este efecto indeseable se puede mitigar utilizando una frecuencia relativamente alta de salida para la fuente de suministro de energía de alterna 13, normalmente del orden de por lo menos 100 KHz a 1 MHz, activando de este modo el transistor T_2 más frecuentemente, o sea, durante las excursiones negativas más frecuentes de L , según es conveniente, para un vaciado más eficaz y completo de la carga
- 15.
- 20.
- 25.
- 30.

positiva en el sustrato del capacitor C_S .

El acceso de lectura no destructiva (sin que sean necesaria reescritura) se puede conseguir manteniendo la línea de bits B y la línea de palabras W ambas normalmente a tierra. Entonces, para la lectura, se aplica un impulso de dirección negativa de W, suficiente para conectar T_1 ligeramente pero no suficientemente para que se desconecte T_2 por acción de T_3 . Por lo tanto, durante la lectura, T_2 descargará desde el capacitor MOS C_S a la línea de regeneración L toda la corriente de lectura procedente de T_1 que se descarga entonces en el capacitor MOS sin cambiar el estado de memoria de este capacitor MOS. No obstante, la lectura debe realizarse durante la fase negativa de la excursión de la línea de regeneración L para permitir que la línea de regeneración L descargue la carga de lectura continuamente.

Se podrá ver por el diagrama de circuito de la figura 1, que el nodo F experimenta una excursión de voltaje de una fracción de la excursión de voltaje Δ de la línea de regeneración L, o sea, la fracción $\alpha = C_2 / (C_2 + C_3 + C_4 + C_5)$. Por lo tanto, la excursión Δ deberá ser mayor que el valor absoluto de (V_{T2} / α) . Para aumentar la excursión fraccional del nodo F con relación a la fuente de alterna alimentada, se puede emplear otro circuito ilustrado en la figura 1.1 que se caracteriza porque la línea de regeneración L se mantiene a un potencial de continua fijó en su terminal 13.1 mientras que se alimenta una fuente de alterna 14.1 por el terminal 14 a la placa 11 del capacitor de almacenamiento C_S . De este modo, la excursión requerida Δ de la fuente de alterna 14.1 puede ser algo menor (normalmente, una excursión de tan solo aproximadamente 4 voltios), porque la ca

- pacitancia parásita C_5 ayuda ahora a C_2 a mantener el nodo P al potencial de tierra de la línea de regeneración. De un modo más específico, en el circuito de la figura 1.1 el terminal 13.1 de la línea de regeneración L se conecta a una
5. fuente de continua (no ilustrada) de voltaje $-V$, que es el mismo voltaje que se ha alimentado anteriormente al terminal 14 en el circuito de la figura 1; por el contrario, una fuente de voltaje alterna 14.1 (figura 1.1) suministra un voltaje oscilatorio en el terminal 14 a la placa metálica 11 del
10. capacitor de almacenamiento C_3 . Esta fuente de voltaje de alterna proporciona convenientemente un voltaje que oscila continuamente entre $-V$ y $-V\Delta$, donde Δ es igual o mayor que el valor absoluto de V_{12}/f , donde $\beta = (C_2 + C_5)/(C_2 + C_3 + C_4 + C_5)$. Normalmente, Δ es de aproximadamente 6 voltios. En este caso,
15. no hay necesidad de un dispositivo amplificador de contrareacción junto con la fuente de alterna puesto que el voltaje de alterna no necesita pasar a ser más negativo que $-V$. Por lo tanto, la línea de regeneración L en el circuito de la figura 1.1 actúa de nuevo como sumidero para las cargas
20. parásitas de la célula de la memoria como en el circuito de la figura 1, mientras que la fuente de voltaje de alterna actúa como sumidero de carga que tiende a forzar estas cargas parásitas al sumidero.
- Como variante, los terminales 13.1 y 14 se pueden
25. mantener ambos al voltaje de continua $+V$, mientras que el substrato 10 se conecta a una fuente de voltaje de alterna, que tiene normalmente una excursión de alterna Δ de aproximadamente de 10 voltios (cresta a cresta) con un nivel promedio de continua de aproximadamente más 5 voltios para el
30. substrato semiconductor de tipo N 10. De nuevo, la línea de

regeneración I recogerá y actuará como sumidero de carga para las cargas parásitas que se acumulan en la célula de almacenamiento C_S , mientras que la fuente de voltaje de alterna actúa como bomba que tiende a forzar estas cargas al sumidero; de nuevo, la parte de superficie semiconductor por debajo de la placa metálica II se agotará durante el funcionamiento mientras el substrato se bombea de este modo con alterna. Una modalidad de circuito integrado específico del invento se ilustra en las figuras 2 y 3. La figura 2, es una vista superior de esta modalidad específica de donde se han quitado los óxidos aislantes de segundo nivel y las metalizaciones conductoras de segundo nivel para mayor claridad, mientras que la figura 3 es una vista superior en sección transversal de la superficie del substrato semiconductor de esta misma modalidad específica. De un modo más específico, la figura 2 ilustra la modalidad durante una etapa intermedia de su fabricación, en un instante en que hay presente una capa de óxido relativamente gruesa con partes de óxido relativamente delgadas, más la "metalización de primer nivel" depositada posteriormente de electrodos puerta que son normalmente de silicio policristalino eléctricamente conductivo ("polisilicio"). Por "óxido grueso" se entiende dióxido de silicio que tiene aproximadamente entre 5000 Angstroms y aproximadamente 15.000 Angstroms, normalmente unos 13.000 Angstroms.; o sea, un espesor apropiado para el óxido del campo umbral negativo superior (aproximadamente 20 voltios) de los transistores IGFET; por el contrario, por "óxido delgado" se entiende aproximadamente entre 500 y 1.500 Angstroms, normalmente unos 1000 Angstroms, o sea, un espesor apropiado para el óxido de puerta de los transistores IGFET de umbral inferior. El óxido grueso es también convenientemente

suficiente para actuar como máscara contra la difusión de una impureza aceptadora apropiada para hacer que las partes superficiales semiconductoras correspondientes del tipo P^+ en aquellas regiones de óxido delgadas que no están enmascaradas por el polisilicio. En las figuras 2 y 3, se ilustra una célula simple de memoria completa con regeneración según el invento, junto con la parte izquierda de una célula de imagen replegada similar inversa situada en el lado derecho de los dibujos, estando indicado los elementos similares de la célula imagen reflejada con los mismos números de referencia que en la célula completa ilustrada más 100. El substrato del bloquecito semiconductor 20 es esencialmente un bloquecito de silicio de conductividad del tipo N monocristalino de resistividad eléctrica virtualmente uniforme correspondiente a un dopado uniforme de 10^{15} átomos de impureza de arsénico por cc, excepto donde se indica lo contrario en la figura 3, cuando se sitúa una zona de superficie donadora de iones implantados (en cierto modo más del tipo N) 26.5 y cuando se sitúan zonas que son más del tipo P indicada como P^+ . Una batería A de continua 15, normalmente de unos 5 voltios suministra al substrato 20 una polarización inversa (polaridad positiva para un substrato semiconductor de tipo N). Un contacto metálico 21 a una zona superficial semiconductoras P^+ 22 se conecta a la línea de bitios B (figura 1) de metalización de segundo nivel a la circuitería de acceso externo (no ilustrada en las figuras 2 y 3, por razones de claridad solamente), según se sabe en esta rama de la industria. Por lo tanto, la zona de superficie eléctricamente conductiva P^+ 22 en una parte de superficie correspondiente del semiconductor se conecta a la línea de bitios de la metalización de segundo nivel y se controla por medio de la misma.

La zona P^+ sirve también como la región fuente del transistor T_1 . Una línea de palabras 23 (W en la figura 1) está formada por una tira de electrodo de silicio policristalino de tipo metálico ("polisilicio") 23. Esta tira de electrodo 23 se superpone también a una parte de óxido delgado en el lado de la derecha de la zona P^+ 22, por lo que la región puerta de tipo N ("canal P") de transistor de desconexión cíclica T_1 , situada entre las zonas P^+ 22 y 24, se controla por el potencial de esta tira 23. En el lado de la derecha de esta región puerta de T_1 se sitúa la zona de superficie P^+ 24 bajo óxido delgado. Esta zona P^+ 24 tiene la doble finalidad de actuar como región de drenador del transistor T_1 así como de interconexión eléctricamente conductiva al capacitor de almacenamiento MOS C_S . Una zona superficial semiconductiva del tipo N 26 del capacitor C_S queda también por debajo de óxido delgado. El lado de la izquierda de esta zona de tipo N 26 está definido por el contorno de un electrodo de polisilicio 25 que se superpone al óxido 20.5. En la esquina de la derecha inferior de la zona N 26 se sitúa una zona de tipo N donadora implantada de iones 26.5, por lo que esta zona N 26.5 tiene una concentración algo superior de donadores en exceso y, por lo tanto, un voltaje umbral algo más negativo que la zona N26. Normalmente, el voltaje umbral de la zona 26.5 es aproximadamente 0,5 voltios más negativo que la zona 26. Se observará que en lugar de la implantación iónica, el mayor umbral para la zona 26,5 se puede conseguir, como variante, por medio de un óxido ligeramente más grueso (10% a 30%) que se superpone a esta zona 26.5 que el óxido delgado que se superpone a la zona superficial 26. La zona 26.5 sirve como región puerta de T_3 , mientras que una parte de la zona 26 que rodea a la zona 26.5 sirve co

mo región fuente de T_3 . Según se ha expuesto anteriormente, esta zona de iones implantados 26.5 es discrecional y su lugar se puede llenar alternativamente con una prolongación de la zona 26 bajo el electrodo de polisilicio 25. El lado de la derecha del electrodo de polisilicio 25 se superpone por lo tanto y define el lado superior de la derecha de la zona 26 (o sea, el lado de la derecha de la zona 26 excepto donde se sitúa el lado de la izquierda de la zona implantada de iones 26.5, si la hubiera, excepto cuando se sitúa el lado de la izquierda de una región superficial de óxido grueso del tipo N 27).

La región superficial del tipo N de configuración rectangular 27 queda subyacente a una región de óxido grueso de la capa 20.5 (figura 2). Esta región N.27 (figura 3) se caracteriza, por lo tanto, por un voltaje umbral más negativo normalmente de unos 20 voltios, que las zonas N 26 o 29 o aun la zona N 26.5. La zona P^+ 28 sirve como fuente de T_2 , mientras que la zona P^+ 30 sirve como drenador de T_3 y la zona N 29 sirve como región puerta de T_2 . La región N 27 separa el par de zonas superficiales de tipo N 29 y 32 situadas por debajo de una parte de un electrodo de polisilicio 33. Este electrodo 33 sirve como electrodo puerta de T_2 , la región N27 se sitúa por debajo del óxido grueso, mientras que las zonas N 29 y 32 se sitúan por debajo del óxido delgado; por lo tanto, la región N 27 se caracteriza por un umbral negativo mayor (aproximadamente 20 voltios, que cualquiera de las zonas N 26, 26.5, 29 y 32. Un contacto metálico óhmico 31 conecta la zona P^+ 30 con el electrodo de polisilicio 33. Finalmente, una tira de zona superficial P^+ 34, de la cual una parte del lado de la izquierda queda subyacente coincidiendo convenientemente con

5. el lado de la derecha del electrodo de polisilicio 33, corre en el plano del dibujo verticalmente a través de las figuras 2 y 3. Esta tira de zona P^+ 34 sirve como línea de regeneración L , y una parte de la extremidad de la izquierda de esta tira 34 continúa al lado de la derecha de la zona P^+ 29, sirve como drenador de T_2 .

10. Aunque el espesor del óxido por debajo del electrodo 33 es el mismo en la zona N que en la zona N 32, durante el funcionamiento, la zona N 32 no tendrá nunca una capa de inversión superficial conductora (canal, desde la zona P^+ 30 hasta la línea de regeneración 34, debido a que el contacto óhmico 31 conecta esta zona P^+ 30 con el electrodo puerta 33. El capacitor C_2 es la capacitancia marginal parásita entre el electrodo puerta 33 y la línea de regeneración 34. Por razones de simplificación solamente en los dibujos de las figuras 2 y 3, los lados de la izquierda y de la derecha de la línea de regeneración 34 son líneas rectas. No obstante, para aumentar convenientemente la capacitancia C_2 con relación C_3 , la extremidad de la derecha del electrodo puerta 33 se extiende algo (normalmente una micra o más) hacia la derecha más allá de la extremidad de la derecha del óxido grueso subyacente. Además, el lado de la derecha del electrodo puerta 33 se hace en serpetina para aumentar la longitud de dicho lado y, por lo tanto, la capacitancia del mismo C_2 . De este modo, C_2 se puede hacer mayor que $C_3 + C_4 + C_5$, según se desee (aunque no es esencial). Por lo tanto, la formación descrita y representada en las figuras 2 y 3, ilustra una versión de circuito integrado del circuito eléctrico esquemático ilustrado en la figura 1.

30. Se comprenderá que la tira P^+ sirve también como lí

- nea de regeneración para el dispositivo de imagen reflejada inverso situado inmediatamente en el lado de la derecha de esta tira, al par que sirve como línea de regeneración para muchos otros dispositivos similares integrados en la misma oblea
5. 20 por encima y por debajo de los ilustrados en las figuras 2 y 3, según la tecnología de circuitos integrados a gran escala. El circuito oscilador de marcha libre, junto con su circuito activador amplificador de contrarreacción, asociado con la fuente de tensión de bombeo de alterna 13 (no representada
10. en las figuras 2 y 3, se pueden integrar también en la misma oblea 20 según la tecnología de los circuitos integrados conocida.

- Se observará que, a menos que se adopten medidas que se explicarán, se pueden producir una escritura parásita en
15. los circuitos de las figuras 1 y 1.1 en el caso de que el voltaje umbral de la zona N 26.5 (T_3) no sea suficientemente (aproximadamente un voltio) más negativo que el voltaje umbral de la zona N 26 (C_S), en presencia de una capacitancia apreciable C_2 . De un modo más específico, si el capacitor de almacenamiento C_S se somete a escritura de un "0" digital binario (célula vacía) durante un intervalo de tiempo $t_1 t_2$, que tiene lugar en la parte más negativa o cerca de la parte más negativa de un ciclo de línea de regeneración, entonces el capacitor de almacenamiento C_S tomará una carga parásita debido a corriente de desplazamiento en C_2 en serie a través de T_3 , cualquiera que sea la escritura deseada. Esta carga puede ser suficiente después para hacer que T_3 evite que se conecte T_2 , evitando de este modo que el capacitor de almacenamiento C_S se descargue de la carga parásita después (ulterior a $t_1 t_2$),
- 20.
- 25.
30. permitiendo de este modo que el capacitor de almacenamiento C_S

se llena parásitamente con carga térmicamente generada. De este modo, la célula de memoria queda cargada parásitamente y almacena un "1" digital (célula llena) aunque la escritura deseada fuera "0" digital. Para evitar dicha escritura parásita, según se indica en la figura 4, el voltaje de línea de regeneración de corriente alterna v (que se descarga a la línea de regeneración L en la figura 1) se interrumpe repentinamente y se pone al nivel fijo $-V-V_T$ donde ($V_T = V_{T2} + V_{T3}$) en todo el intervalo de tiempo $t_1 t_2$ dentro del cual la célula de almacenamiento C_3 se alcanza a la escritura. Normalmente, el tiempo de acceso para escritura es del orden de 200 manosegundos, mientras que el periodo de la fuente de alterna de tensión de bombeo 13 para la regeneración es del orden de décimas de microsegundos, por lo que el intervalo t_1 a t_2 es normalmente mucho menor que un ciclo simple de alterna de la fuente 13 . Por lo tanto, se evita la escritura parásita durante el acceso.

La figura 5 ilustra un dispositivo de circuito típico para conseguir la característica de voltaje de línea de regeneración de la figura 4. En la figura 5, el bloquecito semiconductor 20 contiene una formación de muchas de las células de almacenamiento, normalmente unas 4.000 células, cada célula del tipo ilustrado en las figuras 2 y 3, y el bloquecito 20 contiene normalmente una línea de regeneración de memoria L , que se ramifica para diferentes columnas de células (no ilustradas). Siempre que cualquier célula en el bloquecito se tenga que alcanzar para escritura (o quizás para lectura también), una fuente 50 de señal de activación del bloquecito descarga una señal al bloquecito 20 para tener acceso a este bloquecito para escritura (o para lectura) a lo largo de una línea de palabras elegida y una línea de bits elegida (no ilustrada por razo-

nes de claridad solamente). Al mismo tiempo, esta señal de activación del bloquedo se envía también a la puerta de un transistor de efecto de campo de puerta aislada 59 en una red eléctrica 60 para proporcionar el voltaje de la línea de regeneración de alterna interrumpido deseado.

5.

La red 60 comprende también una fuente de voltaje de alterna 51 que suministra un voltaje de salida de alterna continuo suficiente para conectar y desconectar los transistores 52 y 58 alternativamente. Esta corriente de salida alterna se

10.

envía a la puerta del transistor de efecto de campo de puerta aislada 58 y al terminal de entrada de un inversor 57. El drenador del transistor 52 se conecta al terminal 53 al que se alimenta voltaje uniforme de alterna -V, normalmente -12 voltios. La fuente del transistor 52 se conecta al capacitor de desplazamiento de nivel de voltaje 54 y a los drenadores de los transistores de efecto de campo de puerta aislada 58 y 59. La puerta del transistor 52 se conecta al terminal de salida del inversor 57. Convenientemente, la relación Z/l (anchura a longitud del canal) del transistor 52 es mucho menor que la del transistor 59. El capacitor de desplazamiento de nivel 54 se acopla como la fuente del transistor 52 con la fuente de un transistor de fijación 55. La puerta y drenador del transistor 55 se conectan ambos a un terminal 56 al que se alimenta voltaje uniforme de alterna -V. Por lo tanto, la línea de regeneración L se mantiene a la característica deseada de voltaje contra tiempo representada en la figura 4.

15.

El funcionamiento de la red 60 se puede describir como sigue. El oscilador de alterna 51 suministra un voltaje de salida de alterna que oscila aproximadamente entre masa y -12 voltios. Este voltaje de salida de alterna activa o desactiva

20.

El funcionamiento de la red 60 se puede describir como sigue. El oscilador de alterna 51 suministra un voltaje de salida de alterna que oscila aproximadamente entre masa y -12 voltios. Este voltaje de salida de alterna activa o desactiva

25.

El funcionamiento de la red 60 se puede describir como sigue. El oscilador de alterna 51 suministra un voltaje de salida de alterna que oscila aproximadamente entre masa y -12 voltios. Este voltaje de salida de alterna activa o desactiva

30.

- alternativamente el transistor 52, mientras activa y desactiva alternativamente el transistor 58 (debido al inversor 57). Al mismo tiempo, en ausencia de cualquier señal de activación del bloquecito, el transistor 59 permanece desconectado.
5. Por lo tanto, el nodo 53.5 oscila en voltaje entre tierra y aproximadamente -12 voltios. En virtud del capacitor de desplazamiento de nivel de voltaje 54 y el transistor de fijación 55, el voltaje de la línea de regeneración oscila por lo tanto normalmente entre -9 y -17 voltios aproximadamente, o sea una excursión que es igual a βV donde β (menor que la unidad) es la relación $C_B / (C_B + C_L)$, donde C_L es la capacitancia de la carga de la línea de regeneración, y C_B es la capacitancia de la amplificación de contrarreacción. No obstante, si se previene una señal de activación del bloquecito, el transistor 59 se conecta, poniendo a tierra el nodo 53.5 cualquiera que sea el estado del transistor 52 y forzando por lo tanto el potencial de la línea de regeneración L prácticamente a $-V - V_T$ en lo que dura la señal de activación del bloquecito, puesto que la resistencia del transistor 52 es mucho mayor que la del transistor 59 (según determinan las relaciones relativas z/l).
10. Se comprenderá que la salida de alterna a la línea de regeneración L suministrada por el circuito ilustrado en la figura 5 no ha de tener necesariamente un perfil sinusoidal puesto que en modo alguno afecta perjudicialmente al comportamiento.
15. Se comprenderá también que cuando se emplea bombeo de regeneración de alterna de acuerdo con el circuito ilustrado en la figura 1.1, o con el bombeo de alterna del sustrato descrito anteriormente, el voltaje de alterna se interrumpe convenientemente durante los intervalos de acceso de escritura de una manera similar a la que se ha indicado en la figura
- 20.
- 25.
- 30.

4, La red 60 se puede integrar en el bloqucito 20 según el estado de las técnicas actuales de fabricación de circuitos integrados semiconductores.

5. A pesar de que este invento se ha descrito con relación a una modalidad específica, se pueden realizar diversas modificaciones por los expertos en la materia sin desviarse del alcance del invento. Por ejemplo, el voltaje de regeneración de alterna se puede proporcionar y alimentar simultáneamente al terminal 14 (como en la figura 1.1) y el terminal 13.1 (como en la figura 1). Dicha proporción puede ser necesaria para operaciones libres de errores en caso de acoplamiento parásito entre la circuitería de lectura/escritura y la placa metálica 11, terminal 14, es suficientemente fuerte para necesitar un voltaje de regeneración de alterna reducido en el terminal 14 (cuyo voltaje de alterna reducido no es suficiente en sí mismo para regenerar la célula de la memoria). El bombeo de carga de regeneración de alterna para mantener el estado de la memoria del capacitor de almacenamiento se determina por lo tanto entre otros factores por la diferencia de voltaje de alterna alimentado a través de los terminales 13.1 y 14. Se recordará que el voltaje de regeneración empleado en la figura 4, podría ser más negativo en ambos límites superior e inferior, pero conservando la misma excursión de alterna de Δ ; y que la red 60 se puede integrar en el bloqucito 20 empleando técnicas de circuitos integrados semiconductores conocidas.

25. Otros semiconductores, y sus óxidos u otros aisladores, como puede ser el germanio y su óxido, se pueden emplear en lugar del silicio y en una versión de circuito integrado del invento. Además, la región 26,5 no necesita formarse especialmente fuera de la región 26, sino que esta región 26.5 puede

de ser una prolongación de la región 26; o sea, no es necesario que el transistor T_3 tenga un umbral mayor que el transistor T_2 según se ha explicado anteriormente, en el supuesto que las frecuencias superiores indicadas sean utilizadas para la fuente de alterna 13 durante el funcionamiento. Se recordará que el área extra que necesita la red de regeneración en este invento, según se ilustra en las figuras 2 y 3, alcanza solamente de un 20 a un 30% del área ocupada en la oblea semiconductora por la célula MOS clásica formada por el capacitor MOS C_S , el transistor de desconexión cíclica T_1 y las líneas de palabras y de bitios.

Se comprenderá que, a pesar de que el invento se ha descrito con detalle empleando transistores de conmutación IGFET de canal P T_2 y T_3 en la red de regeneración, se podrían emplear también otros tipos de transistores conmutadores, por ejemplo transistores IGFET de canal N, transistores bipolares o transistores de efecto de campo de unión, recordando que los transistores tienen en general 3 terminales, dos de los cuales son terminales portadores de corrientes relativamente elevada (fuente y drenador en un IGFET, emisor y colector en un transistor bipolar) y que uno de ellos es un terminal portador de corriente relativamente baja (electrodo puerta en IGFET, base en bipolar). En lugar del capacitor MOS como elemento de memoria, se pueden emplear otros tipos de capacitores, por ejemplo un capacitor de unión PN semiconductor, o un capacitor formado por un par de placas metálicas separadas por un aislador, lo cual experimenta también carga parásita debido a cargas eléctricas procedentes de la circuitería de control del transistor (semiconductor).

Se comprenderá que aunque la parte de superficie del

Substrato 10 se ilustra con dos terminales separados para conexión, respectivamente, a T_1 y T_2 y T_3 , a pesar de todo se puede emplear uno solo de dichos terminales a la parte del substrato 10. Así, en la figura 3, la zona P^+ 28 se puede extender alternativamente a través de un canal hasta la zona P^+ 24.

5.

Las ventajas de este invento comprende, por lo tanto, el hecho de que se puede tener acceso útil para lectura y escritura de la célula de memoria MOS en cualquier momento (independientemente de la regeneración). Por lo tanto, la memoria está disponible para escritura incluyendo borrado, así como lectura, en todo momento. Tan poco tiene necesidad este invento de un control de programa complicado para acceso externo, que se necesita de otro modo por los intervalos de regeneración de gran parte de la tecnología anterior. Además, la energía de reserva necesaria para la regeneración se reduce al mínimo, puesto que solamente se eliminan de la célula de la memoria portadora generada térmicamente que son indeseables.

10.

15.

En este invento, toda la carga correspondiente a un "1" digital (célula de memoria MOS totalmente cargada) no ha de desplazarse durante cada regeneración o recarga, al contrario que ocurre con la tecnología anterior, exigiendo de este modo menos energía de reserva. Además, como la frecuencia de regeneración de este invento puede alcanzar 100 KHz o más en una configuración de memoria dinámica, se puede tolerar una temperatura superior de funcionamiento (tiempo de regeneración térmica del semiconductor más corto), facilitando de este modo el problema de eliminación térmica; como variante, empleando la gama inferior de temperatura de funcionamiento de la tecnología anterior junto con este invento, se pueden tolerar mejor fuentes de luminosidad de fondo de corrientes elevadas "de re-

20.

25.

30.

poso" indeseables y localizadas (correspondientes a defectos de video de blanco) en dispositivos de formación de imágenes en la práctica de este invento.

5. Finalmente, según este invento, la célula de memoria durante el funcionamiento se llena o se vacía automáticamente de cargas eléctricas; por el contrario, en la mayor parte de la tecnología anterior las redes de lectura deben distinguir entre una célula MOS, totalmente cargada ("1" digital) y una célula que inevitablemente está parcialmente llena ("cero" digital) debido a las ondas portadoras generadas térmicamente en el semiconductor. Estas ondas portadoras normalmente se pueden eliminar tan solo una vez cada milisegundo (de otro modo, el tiempo de accesos disponible para lectura y escritura se abreviaría más en la tecnología anterior). Por lo tanto, la célula de la tecnología anterior se caracteriza por tener márgenes de detección menores en el mismo tamaño de célula de capacitores de almacenamiento.

10.

15.

20. Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

25. 1.- Perfeccionamientos en memorias dinámicas del tipo que contiene un elemento de almacenamiento capacitor para almacenar carga eléctrica y un transistor de desconexión cíclica para controlar las señales eléctricas de lectura y escritura

30. al elemento de almacenamiento, caracterizados porque un primer

m/c

terminal del elemento de almacenamiento se conecta a una línea de regeneración a través de un primer transistor de conmutación, uno de cuyos terminales portadores de corrientes elevada se conecta ohmicamente a la línea de regeneración y otro de cuyos terminales portadores de corriente elevada se conecta ohmicamente al primer terminal del elemento de almacenamiento y cuyo terminal portador de corriente baja se conecta ohmicamente a un primer terminal portador de corriente elevada de un segundo transistor de conmutación, conectándose ohmicamente otro terminal portador de corriente elevada del segundo transistor de conmutación al primer terminal del elemento de almacenamiento y conectándose ohmicamente un terminal portador de corriente baja del segundo transistor de conmutación a otro terminal del elemento de almacenamiento.

15. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque el primer y el segundo transistores de conmutación son transistores de efecto de campo de puerta aislada y uno u otro de los terminales de corriente elevada son regiones de fuente y drenador en los transistores, y los terminales de corriente baja son electrodos puerta de los transistores.

20. 3.- Perfeccionamientos según la reivindicación 2, caracterizados porque los transistores de conmutación y el capacitor se integran todos en un substrato semiconductor monocristalino, siendo la capacitancia eléctrica de la puerta al drenador del primer transistor de conmutación menor que la capacitancia del elemento de memoria.

25. 4.- Perfeccionamientos según la reivindicación 3, caracterizados porque el elemento de memoria es una estructura por capas de una capa eléctricamente aislante intercalada entre una parte de capas semiconductoras del substrato semicon-

30.

MC

ductor y una capa eléctricamente conductora.

5. 5.- Perfeccionamientos según la reivindicación 4, caracterizados porque la capa eléctricamente conductora del elemento de memoria es esencialmente un semiconductor policristalino que contiene impurezas eléctricamente importantes suficientes para hacer que la capa sea eléctricamente conductiva.

10. 6.- Perfeccionamientos según la reivindicación 2, caracterizados porque el dispositivo terminal de regeneración se conecta al dispositivo eléctrico incluyendo medios de circuito para proporcionar un voltaje de alterna al dispositivo terminal de regeneración.

15. 7.- Perfeccionamientos según la reivindicación 6, caracterizados porque el dispositivo de circuito es de tal magnitud que el voltaje de alterna se interrumpe a un nivel de voltaje predeterminado durante el funcionamiento en respuesta a una señal de activación alimentada a dicho dispositivo de circuito.

20. 8.- Perfeccionamientos según la reivindicación 6, caracterizados porque dicho terminal diferente del elemento de memoria es para conectarse a una fuente de voltaje de continua.

9.- Perfeccionamientos según la reivindicación 3, caracterizados porque dicho terminal diferente del elemento de memoria se conecta al dispositivo de circuito para proporcionar un voltaje de alterna a dicho terminal diferente.

25. 10.- Perfeccionamientos según la reivindicación 9, caracterizados porque dicho dispositivo de circuito es de tal magnitud que el voltaje de alterna se puede interrumpir durante el funcionamiento a un nivel de voltaje predeterminado en respuesta a una señal de activación alimentada al dispositivo del circuito.

30.

ME

11.- Perfeccionamientos según la reivindicación 9, caracterizados porque el dispositivo eléctrico comprende un dispositivo fuente de continua.

5.

12.- Perfeccionamientos según la reivindicación 2, caracterizados porque el elemento de memoria junto con el primer y el segundo transistor se integran en un solo substrato semiconductor y porque además comprende un dispositivo de circuito para la alimentación de un voltaje de alterna a dicho substrato suficiente para bombear las cargas parásitas a la disipación.

10.

13.- Perfeccionamientos según la reivindicación 12, caracterizados porque dicho dispositivo de circuito es de tal magnitud que el voltaje de corriente alterna se puede interrumpir a un nivel de voltaje predeterminado en respuesta a una señal de activación alimentada al dispositivo de circuito.

15.

14.- Perfeccionamientos según la reivindicación 12, caracterizados porque dicho terminal diferente del elemento de memoria es para conectarse un dispositivo fuente de continua y el dispositivo eléctrico citado comprende un dispositivo fuente de corriente continua.

20.

15.- Perfeccionamientos en memoria dinámicas, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

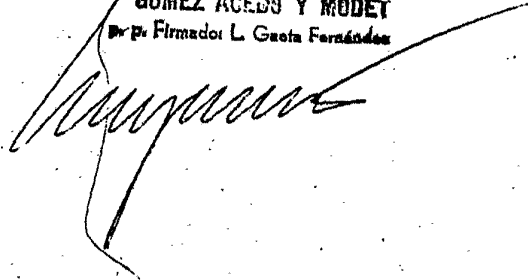
ME

Esta Memoria consta de treinta y cinco hojas escritas a máquina por una sola cara.

Madrid, - 2 - 1976

WESTERN ELECTRIC COMPANY, INCORPORATED.

GOMEZ ACEDOS Y MOJES
Dr. Firmador: L. Goeta Fernández



ME

FIG. 1

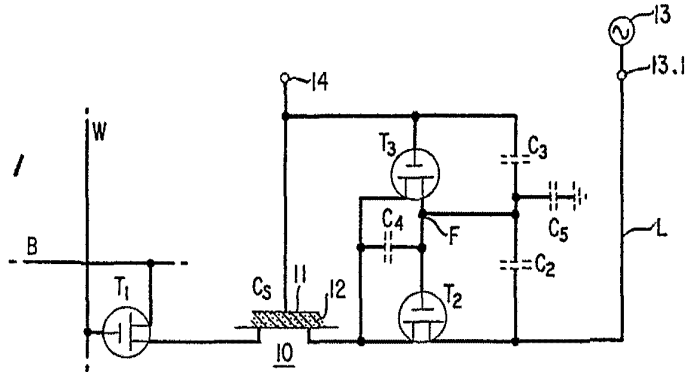


FIG. 1.1

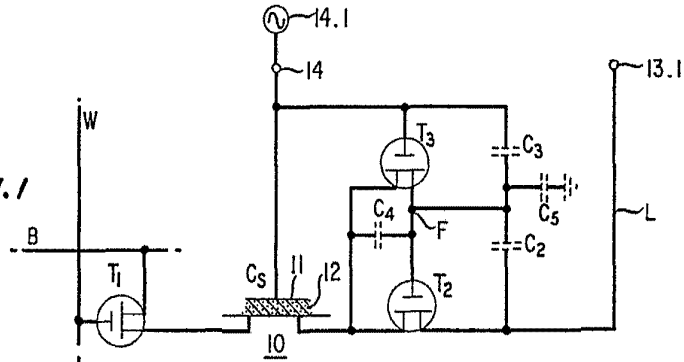
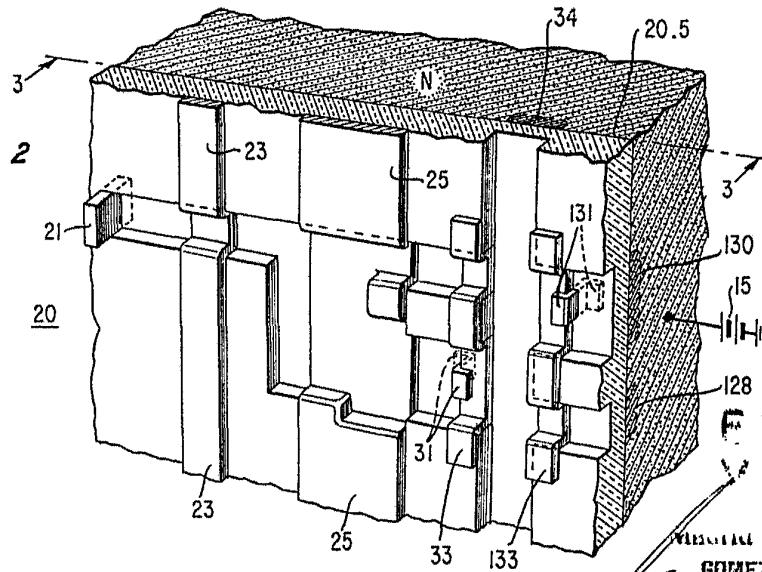


FIG. 2



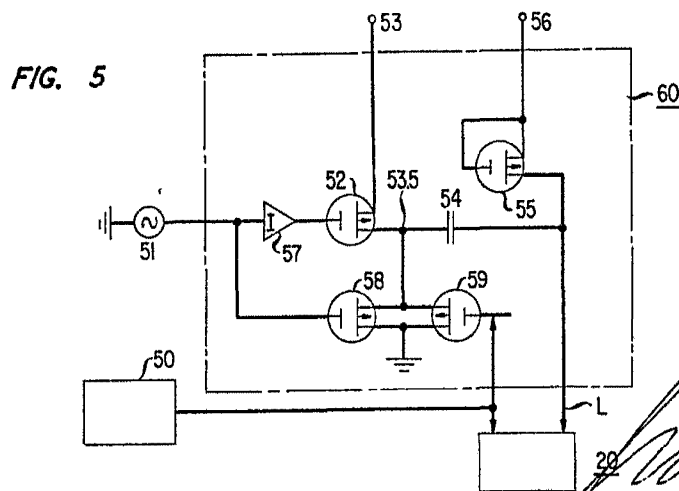
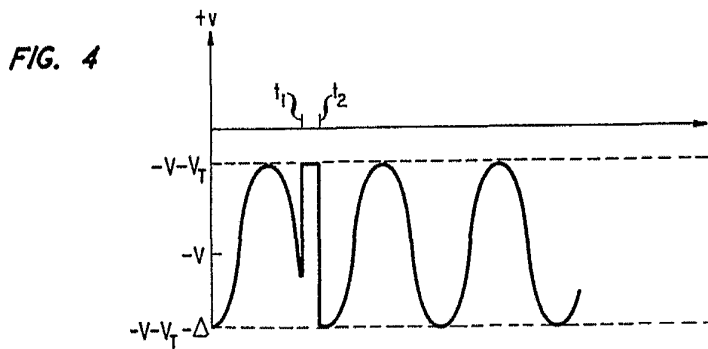
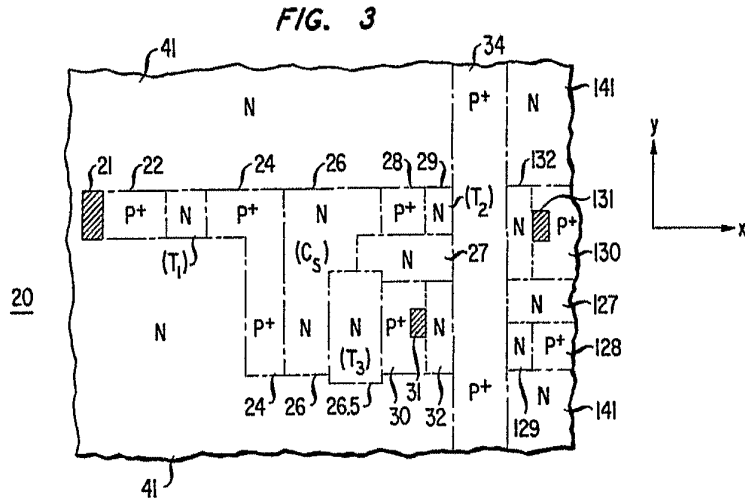
ESCALA
 VARIABLE

Modelo 20-1076

GOMEZ ACEVEDO Y MODET

s. p. Firmado: L. Gomez Acevedo

[Handwritten signature]



ESCALA
VARIACION

Madrid - 2 - 1976

GOMEZ ACEA Y MODEI
p. Firmador L. Gómez Fernández

[Handwritten signature]