

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

(19) ES	(11) NÚMERO 446656	(10) A1
(22) FECHA DE PRESENTACION	2-4-1976	

P.- 62.682

TI-5584/6070

PATENTE DE INVENCION

(30) PRIORIDADES:		
(31) NUMERO	(32) FECHA	(33) PAIS
566.021	7-4-75	E.U.A.
565.489	7-4-74	
(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	G06F	
(54) TITULO DE LA INVENCION		
"PERFECCIONAMIENTOS INTRODUCIDOS EN UN SISTEMA DE VISUALIZACION DE CARACTERES"		
(71) SOLICITANTE (ES)		
TEXAS INSTRUMENTS INCORPORATED		
DOMICILIO DEL SOLICITANTE		
13500 North Central Expressway, Dallas, Texas, Estados Unidos de América		
(72) INVENTOR (ES)		
David Joal McElroy y Edward R. Caudel		
(73) TITULAR (ES)		
(74) REPRESENTANTE		
DON FERNANDO DE ELZABURU MARQUEZ		

1

5

PRINCIPIOS BASICOS DEL INVENTO

El invento se refiere a sistemas de calculadora o de tratamiento de datos digitales, y particularmente a una técnica para visualizar datos en tales sistemas.

10

15

20

Se describen en las siguientes solicitudes o patentes anteriores cedidas a la firma Texas Instruments Incorporated sistemas de calculadora electrónica del tipo que tienen todas las funciones electrónicas principales dentro de una única plaquita semiconductor integrada en gran escala (tecnología LSI), o un pequeño número de plaquitas: Patente Norteamericana 3.819.921, de Kilby y otros, titulada "Miniature Electronic Calculator"; solicitudes de patente norteamericanas Nº 420.999, presentada el 3 de Diciembre de 1973; Número de Serie 400.473, presentada el 24 de septiembre de 1973 por Bryant; Número de serie 400.437, presentada el 24 de septiembre de 1973 por Vandierendonck, Fisher y Hartsell; Número de Serie 397.060, presentada el 13 de septiembre de 1973 por Cochran y Grant; Número de Serie 525.236, presentada el 19 de noviembre de 1974 por Raymond y Caudel, y otras.

25

30

Estos inventos anteriores han hecho posibles grandes reducciones en coste y tamaño, y aumentos en número de funciones, en calculadoras electrónicas. Han sido producidos muchos millones de tales calculadoras. Los esfuerzos para reducir costes de fabricación y aumentar las funciones disponibles para el usuario continúan. Particular-

1 mente, es deseable proporcionar una estructura de plaqui-
ta básica que sea totalmente versátil y pueda ser utili-
zada para muchos tipos diferentes de calculadoras y equi-
5 pos de tratamiento digital similares. Esto permite que
una única instalación de fabricación produzca grandes can-
tidades de los mismos dispositivos que difieren solamen-
te en un cambio de máscara único, para producir docenas
de variantes diferentes, mientras se conservan aún venta-
jas relativas a costes de fabricación masiva.

10 Aunque el sistema de calculadora MOS/LSI a
que se ha hecho referencia anteriormente incorporaba en
una o dos plaquitas todos los circuitos de cálculo de la
calculadora, incluyendo registros de datos, unidad arit-
mética, una memoria fija (ROM) para contener el programa,
15 y la totalidad de los circuitos de control, descodifica-
dores de entrada/salida, y similares, fué necesario aún
tener ciertos dispositivos exteriores sobre una placa de
circuito impreso para proporcionar una calculadora com-
pleta. Es decir, la cápsula MOS/LSI, junto con un dispo-
20 sitivo de visualización y un teclado, no formaban solos
una calculadora. Inicialmente, las calculadoras manuales
de "una plaquita" alimentadas por baterías requerían, ade-
más de la plaquita MOS/LSI, varios circuitos externos pa-
ra alimentación de potencia, generadores de sincronismo,
25 y excitadores de dígitos y segmentos. Desarrollos subsi-
guientes han hecho posible eliminar los circuitos genera-
dores de sincronismo exteriores situando estos sobre la
propia plaquita. Utilizando procesos MOS mejorados, es
posible eliminar o reducir a un mínimo los circuitos de
30 fuente de alimentación exteriores; si cabe la posibilidad

1 de alimentar los circuitos lógicos MOS en baja tensión,
entonces pueden ser gobernados directamente por las bate-
rías. Los excitadores de dígito y segmento han sido ne-
cesarios hasta ahora, sin embargo, porque las especifica-
5 ciones eléctricas para tensión y corriente de excitación
han sido tales que los componentes MOS/LSI no eran adecua-
dos para excitar dispositivos de visualización de diodos
fotoemisores (LED) directamente.

El objeto principal de este invento es crear
10 un sistema de calculadora o similar en donde no se nece-
sitan componentes exteriores a una plaquita MOS/LSI, ex-
cepto un dispositivo de visualización y un teclado. Otro
objeto es crear circuitos de excitación de dispositivo
de visualización mejorados para una calculadora electró-
15 nica o similar. Otro objeto es crear una disposición más
versátil de selección cíclica de salida para una calcula-
dora u ordenador digital. Un objeto adicional es crear
una técnica mejorada para exploración de dispositivo de
visualización y teclado en una calculadora o similar.

20 BREVE DESCRIPCION DE LOS DIBUJOS

En las reivindicaciones anexas se exponen
lo que se cree son características del invento con carác-
ter de novedad. El propio invento, sin embargo, así co-
25 mo otras características y ventajas del mismo, se compren-
derán mejor haciendo referencia a la descripción detalla-
da que sigue, leída en combinación con los dibujos que
se acompañan, en donde:

30 la figura 1 es una vista en perspectiva de
una pequeña calculadora manual en la cual puede utilizar-

1 se el sistema del invento;

la figura 1a es un diagrama de bloques de un sistema de exploración de teclado y de dispositivo de visualización de la técnica anterior que es típicamente utilizado en una calculadora como la de la figura 1;

5 la figura 1b es un diagrama de tiempos en la forma de un gráfico de tensión en función del tiempo para el sistema de la técnica anterior de la figura 2;

10 La figura 1c es un diagrama eléctrico del dispositivo de visualización utilizado en la calculadora de la figura 1;

la figura 1d es un diagrama esquemático del circuito de visualización de la figura 1e;

15 la figura 1e es un diagrama esquemático de la modificación deseada del circuito de la figura 1d;

la figura 2 es un diagrama de bloques de un sistema de exploración de teclado y dispositivo de visualización para una calculadora de acuerdo con el invento;

20 la figura 2a es un diagrama de tiempos en la forma de un gráfico de tensión en función del tiempo para el sistema de la figura 2;

la figura 2b es un diagrama esquemático del circuito de visualización para el sistema de la figura 2;

y

25 la figura 3 es un diagrama de bloques detallado de un sistema electrónico que puede incorporar los principios del invento, en particular la plaquita 12 de la figura 2.

DESCRIPCION DETALLADA DE LA REALIZACION ESPECIFICAEl Sistema Global

Con referencia a la figura 1, está representada una pequeña calculadora electrónica típica en la cual el invento encuentra utilidad, que comprende un alojamiento 1 de plástico moldeado o similar, con un teclado 2 y un dispositivo 3 de visualización. El teclado incluye varias teclas 0-9, una tecla de punto decimal, y varias teclas de operación normalizadas tales como +, -, =, x, ÷, C (borrado), etc. En otras realizaciones, el sistema de calculadora podría realizar una variedad de funciones adicionales, y de este modo pueden estar incluidas en el teclado 2 unas teclas tales como \sqrt{x} , $\sqrt[y]{x}$, y^x , SEN, COS, TAN, LOG, etc. Para mayor simplicidad de la explicación, el dispositivo 3 de visualización está representado teniendo seis dígitos del tipo de siete segmentos, con disposición para punto decimal aunque ha de entenderse que los dispositivos de visualización de ocho, diez o doce dígitos son normalizados y estos pueden incluir exponentes o notación científica, y signo menos tanto para base como exponente. El dispositivo de visualización comprende usualmente diodos fotoemisores (LED), aunque puede también utilizarse, por ejemplo, un panel de descarga de gas, o dispositivos de cristal líquido. La calculadora es una unidad autónoma que tiene una fuente de alimentación en la forma de una batería o baterías dentro del alojamiento 1, aunque puede conectarse un adaptador de corriente alterna, así como un cargador de baterías.

Exploración de Teclado y Dispositivo de Visualización en la Técnica Anterior

1 Esencialmente, la totalidad de los circuitos
electrónicos de una calculadora como la representada en
la figura 1 están contenidos en una plaquita semiconduc-
5 tora integrada en gran escala que está encapsulada típi-
camente en una cápsula de plástico de veintiocho termina-
les y montada sobre una placa de circuito impreso dentro
del alojamiento 1. La organización general de un siste-
ma de calculadora de la técnica anterior puede verse en
diagrama de bloques en la figura 1a, donde el teclado 2
10 y el dispositivo 3 de visualización están interconectados
con la plaquita 4 semiconductora utilizando exploración
de teclado y selección cíclica de dispositivo de visuali-
zación del modo expuesto en la mencionada solicitud Núme-
ro de Serie 420.999. Las entradas a la plaquita se esta-
15 blecen por tres "líneas K" 5 que están designadas KN, KO,
KP. Las salidas de la plaquita incluyen ocho salidas SA
a SP de segmento sobre las líneas 6 que están conectadas
a segmentos comunes del dispositivo 3 de visualización.
Típicamente, los segmentos son ánodos de diodos fotoemi-
20 sores. Todos los segmentos idénticos en cada uno de los
dígitos del dispositivo de visualización están conectados
en común como se ve en la figura 1c, y así se necesitan
solamente ocho salidas de segmento. Los dígitos o cát-
dos del dispositivo 3 de visualización están excitados
25 por líneas 7 de salida que tienen como referencias D1 a
D6, utilizándose excitadores 8 de dígito para proporcio-
nar niveles de tensión y corriente adecuados para el dis-
positivo de visualización particular. Las líneas D1 a D6
están también conectadas a la matriz de interruptores de
30 tecla que componen el teclado 2. Con seis líneas D1 a D6

1 de salida, la matriz contiene seis por tres, o dieciocho,
puntos de cruce de modo que existen dieciocho posiciones
de tecla posibles, de las cuales no todas necesitan ser
utilizadas. Una calculadora con un mínimo de funciones
5 que tiene solamente un teclado [X], [÷], [+], [-],
[=], [C], [·], [0-9] necesita solamente diecisiete
teclas, de modo que se utilizan diecisiete de los pun-
tos de cruce. Otros terminales de entrada/salida para
la plaquita 4 incluyen un terminal de alimentación de ten-
10 sión o terminal Vdd, un terminal Vss o terminal de masa,
y una entrada de oscilador o terminal ϕ de control para
el oscilador incorporado en la plaquita.

Puede utilizarse una cápsula de circuito in-
tegrado normalizada de veintiocho terminales para una cal-
15 culadora que tiene un dispositivo de visualización de has-
ta doce dígitos cuando se hace uso de la técnica de selec-
ción cíclica en tiempo de la entrada/salida de teclado
y dispositivo de visualización del modo expuesto en la
solicitud Número de Serie 420.999. Para este fin, las
20 líneas D1 a D6 de dígito de la figura 1a están excitadas
con impulsos secuenciales como se ve en la figura 1b. Los
impulsos se producirían en el orden D6, D5, D4, D3, D2,
D1, es decir del dígito más significativo al dígito menos
significativo, de modo que puede ponerse en práctica la
25 supresión de ceros residuales. Los mismos impulsos D6
a D1 son utilizados para excitar las líneas verticales
de la matriz 2 de teclado, de modo que son codificadas
en tiempo las entradas KN, KO, KP a la plaquita 4. Las
salidas de segmento tienen lugar apareciendo un dígito
30 a la vez, en sincronismo con los impulsos D6 a D1 de dígito-

1 to, y estas salidas están codificadas de modo que se en-
cienden los segmentos correctos para el dígito deseado
a ser visualizado en cada posición. Para visualizar el
número "345", los segmentos representados en la figura
5 1b estarían excitados durante los impulsos D3, D2 y D1,
como se ilustra. Durante los impulsos D6, D5 y D4, no
aparecerían impulsos de segmento debido a la supresión
de ceros residuales.

Con referencia a la figura 1c, está represen-
10 tado el dispositivo 2 de visualización con más detalle.
Están representados tres de los seis dígitos. Cada dígito
está compuesto por siete segmentos A a G más un punto
P decimal. Las salidas 6 de la plaquita están designadas
SA a SP correspondiendo a los segmentos en el dispositi-
15 vo de visualización. Todos los segmentos A están conec-
tados en común por una línea A', todos los segmentos B
están conectados en común por una línea B', todos los seg-
mentos C están conectados por una línea C', etc, y todos
los puntos P decimales están conectados en conjunto por
20 una línea P'. Los segmentos A a P representan ánodos in-
dependientes que comparten un cátodo común en una unidad
LED. Las salidas D1 a D6 de dígito están conectadas in-
dependientemente a cátodos 9. Los cátodos son comunes a
todos los segmentos de ánodo en un dígito para dispositi-
25 vos de visualización LED. Los excitadores 8 de dígito
acoplan las líneas 7 (líneas D) a los ánodos 9; estos ex-
citadores son amplificadores para proporcionar los nive-
les de tensión y corriente adecuados para activar los ele-
mentos de visualización. Todos los excitadores 8 están
30 usualmente contenidos en un par de cápsulas de circuito

1 integrado bipolar.

La disposición de visualización de la figura 1c de la técnica anterior puede ilustrarse en forma de diagrama eléctrico esquemático como se ve en la figura 1d. Cada dígito del dispositivo 3 de visualización está compuesto por un diodo fotoemisor con un cátodo 9 común y ocho segmentos A a P independientes. Cada uno de los cátodos está conectado a través de un excitador 8 de dígito que consiste en un transistor 8' NPN que tiene su emisor conectado a -Vdd. Las salidas 7 correspondientes a los dígitos D6-D1 están acopladas a las bases de los transistores 8', usualmente a través de transistores excitadores con resistencias de polarización adecuadas. Todos estos componentes, incluyendo los transistores 8' y las resistencias de excitación y polarización están contenidos en una cápsula de circuito integrado. Este invento hace posible la eliminación de estas componentes.

Las salidas de la plaquita 4 sobre las líneas 7 están establecidas a través de amplificadores 10 de salida del tipo MOS de canal p que están contenidos en la plaquita 4. Las características de los dispositivos MOS de canal p son tales que puede ser conducida considerablemente más corriente hacia la fuente Vss que hacia la fuente Vdd, y de este modo han sido fabricadas hasta ahora preferiblemente plaquitas MOS/LSI de un modo tal que tanto las salidas 7 de dígito como las salidas 6 de segmento son señales "Vss" es decir quedan conectadas en derivación a la fuente Vss cuando están en estado activo y quedan en circuito abierto cuando están en estado inac-

1 tivo. De este modo, las salidas 6 de segmento en la fi-
gura 1d están también conectadas interiormente a la pla-
quita 4, por intermedio de amplificadores 11 de salida
MOS de canal p, a la fuente Vss. Se ve que un segmento
5 en uno de los dispositivos LED cuando es seleccionado pa-
ra activación, estará en un camino conductor desde Vss
a través de un transistor 11 MOS, una línea 6, un ánodo
A-P, un cátodo 9, un transistor 8', hasta la línea -Vdd.
En este momento, para el dígito seleccionado del disposi-
10 tivo 3 de visualización estará conduciendo uno de los tran-
sistores 10 dentro de la plaquita 4 hacia Vss de modo que
estará polarizado para conducción el transistor 8' asocia-
do.

Ha sido reconocido por mucho tiempo que se-
15 ría deseable eliminar los excitadores 8 de dígito, ya que
esto reduciría importantemente el costo de componentes
y el costo de montaje de una calculadora. Esto se rea-
lizaría, teóricamente, conectando el transistor 10 ampli-
ficador MOS de salida a la fuente -Vdd dentro de la pla-
20 quita 4, como se ve en la figura 1e, en vez de a Vss co-
mo en la figura 1d. El problema asociado a esto es que
el amplificador 10 de salida de dígito conduce potencial-
mente ocho veces más corriente que el amplificador 11 de
salida de segmento en la plaquita MOS mientras que los
25 amplificadores 11 de salida de segmento tienen una capa-
cidad mucho mayor de corriente de absorción puesto que
están conectados a Vss, en comparación con los amplifica-
dores 10 de salida de dígito que están conectados a -Vdd.
Esto es debido a las características inherentes de los
30 dispositivos MOS/LSI de canal p. Esta es la razón por

1 la cual este invento es de gran valor.

Sistema de Exploración de Segmentos

5 Con referencia ahora a la figura 2, está re-
presentado un sistema de calculadora en donde el teclado
2 y el dispositivo 3 de visualización, del mismo tipo que
en la figura 1a, están interconectados con una plaquita
12 semiconductora que utiliza exploración de segmentos
de acuerdo con el invento. Como anteriormente, las entra-
10 das a la plaquita están establecidas mediante tres líneas
"K" (líneas 5) designadas KN, KO, KP. Las salidas de la
plaquita 12 incluyen ocho salidas SA a SP de segmento so-
bre las líneas 6 que están conectadas a los segmentos de
ánodo común del dispositivo 3 de visualización de diodos
15 fotoemisores estando conectados en común como en la figu-
ra 1c todos los segmentos idénticos. A diferencia de sis-
temas anteriores, sin embargo, las salidas 6 de segmento
son exploradas o seleccionadas en una secuencia repetiti-
va regular de señales SA a SP como se ve en la figura 2,
20 de un modo similar a la exploración de dígitos de las fi-
guras 1a y 1b. Los dígitos o cátodos de los diodos fotoe-
misores del dispositivo 3 de visualización son excitados
selectivamente por líneas 7 de salida designadas D1 a D6
en forma codificada sincronizada con las señales SA a SP
25 de exploración de segmentos de modo que serán visibles
los dígitos deseados, tal como se ilustra en el ejemplo
de la figura 2a. Para representar el número decimal
000345, o ---345 con los ceros residuales suprimidos, so-
lamente aparecerán señales D1, D2 y D3, y solamente en
30 el código representado. Por ejemplo, cuando la señal SA

1 está en su nivel activo, estarán activadas las líneas D3 y D1 porque el segmento A aparece en las cifras "3" y "5" de las posiciones de dígito 3 y 1, respectivamente, pero no en la cifra "4" de la posición de dígito dos.

5 Las líneas 6 de exploración de segmentos están conectadas también a la matriz de interruptores de tecla que componen el teclado 2, de modo que el teclado funciona del mismo modo que en la figura 1. Como antes, la plaquita 12 incluye un terminal -Vdd de fuente de alimentación de tensión, un terminal de masa o terminal Vss, 10 y un terminal ϕ de control de sincronismo o de entrada de oscilador para el oscilador incorporado en la plaquita.

15 El Diagrama de Bloques del Sistema

En la figura 3 está representado un diagrama de bloques del sistema de la plaquita 12, adecuado para realizar físicamente el invento. Este sistema es básicamente idéntico al correspondiente a la plaquita de 20 ordenador digital descrita en la solicitud de Patente en tramitación número de serie 525.236, con cambios en las salidas de dígito y segmento, como se pondrá de manifiesto. El sistema está centrado alrededor de una memoria ROM (memoria fija) 24 y una memoria RAM (memoria de acceso aleatorio) 25. La memoria ROM 24 contiene un gran 25 número, (por ejemplo 1024) de palabras de instrucción de ocho bits por palabra y se utiliza para almacenar el programa que gobierna al sistema. La memoria RAM 25 contiene 256 celdas de memoria organizadas por programa como cuatro grupos de dieciseis dígitos con cuatro bits 30

1 por dígito. Son almacenados en la memoria RAM 25 los da-
tos numéricos ingresados por el teclado, junto con resul-
tados intermedios y finales de cálculos, así como infor-
mación de estado o "marcas indicadoras", posición del pun-
5 to decimal y otros datos de trabajo. La memoria RAM cu-
bre la función de los registros de trabajo del sistema
de calculadora, aunque no está organizada en un sentido
de disposición física de componentes como registros inde-
pendientes como sería cierto si se utilizasen para este
10 fin registros de desplazamiento o dispositivos similares.
La memoria RAM es direccionada por una dirección de pala-
bra sobre las líneas 26, es decir es seleccionada una de
entre dieciseis líneas de palabra en la memoria RAM por
medio de un circuito 27 descodificador de dirección de
15 palabra ROM y RAM combinado. Es seleccionada una de cua-
tro "páginas" de la memoria RAM por una señal de dirección
presente sobre dos líneas 28 aplicada a un descodificador
29 de dirección de página RAM en la memoria RAM. Para una
dirección de palabra dada sobre las líneas 26 y una direc-
20 ción de página sobre las líneas 28, se establece acceso
a cuatro bitios específicos y son leídos sobre las líneas
30 de entrada/salida de memoria RAM, por intermedio del
circuito 31 de entrada/salida, a las líneas 32 de lectu-
ra de memoria RAM. Alternativamente, son escritos datos
25 dentro de la memoria RAM 25 a través del circuito 31 de
entrada/salida y las líneas 30. Algunas de las dieciseis
líneas 26 utilizadas como líneas de dirección de palabra
de memoria RAM son también utilizadas para generar las
señales de dígito para activación del dispositivo de vi-
30 sualización sobre las líneas 7; para este fin las líneas

1 26 pasan a través de la memoria RAM 25 y están conectadas a registros de salida y amplificadores como se explicará.

5 La memoria 24 fija produce una palabra de instrucción de ocho bitios sobre las líneas 33 de salida de memoria ROM (estando designados RO-R7 los bitios de la palabra de instrucción) durante cada ciclo de instrucción. La instrucción es seleccionada de 8192 posiciones de bitio en la memoria ROM, organizada en 1024 palabras que contienen ocho bitios cada una. Las palabras están

10 divididas en dieciseis grupos o páginas de sesenta y cuatro palabras cada una. Para direccionar una instrucción en la memoria fija se requiere una dirección de palabra de memoria fija de entre sesenta y cuatro sobre las líneas 34 y una dirección de página de memoria fija de entre dieciseis sobre las líneas 35. La dirección de palabra de memoria fija sobre las líneas 34 es generada en el mismo

15 descodificador 27 que se utiliza para generar la dirección de palabra de memoria de acceso aleatorio sobre las líneas 26. La dirección de palabra de memoria fija es una dirección de seis bitios producida en un contador 36 de programa que es un registro de desplazamiento de seis pasos que puede ser actualizado después de un ciclo de instrucción o puede tener una dirección de seis bitios cargada en el mismo a través de las líneas 37 desde las líneas

20 33 de salida de memoria fija para una operación de llamada u operación de bifurcación. El descodificador 27 de dirección de palabra de memoria de acceso aleatorio (memoria RAM) y memoria fija (memoria ROM) recibe una dirección codificada de seis bitios sobre las líneas 38 procedentes de la unidad 39 selectora descodificadora de datos

25

30

1 que tiene dos entradas. La unidad 39 puede recibir una
dirección de cuatro bitios del registro 40 Y de memoria
RAM por intermedio de las líneas 41, o puede recibir una
5 dirección de seis bitios procedente del contador 36 de
programa a través de las líneas 42. Está asociado un re-
registro 43 de subrutina de seis bitios con el contador 36
de programa para servir como memoria transitoria para la
dirección de palabra de retorno durante operaciones de
subrutina. Es almacenada una dirección de seis bitios
10 en el registro 43, a través de las líneas 44, cuando se
inicia una instrucción de llamada de modo que esta misma
dirección puede ser cargada en retorno en el contador 36
de programa a través de las líneas 45 cuando se ha comple-
tado la ejecución de la subrutina que comienza en la po-
15 sición de llamada; esto conserva las palabras de instruc-
ción y hace más flexible la programación. La dirección
de página de memoria ROM sobre la línea 35 es generada
en un registro 46 de dirección de página que tiene tam-
bién un registro 47 intermedio asociado con el mismo pa-
20 ra fines de subrutina. El registro 46 contendrá siempre
la dirección de página en curso para la memoria ROM, y
establece directamente acceso al descodificador de pági-
na de memoria ROM. El registro 47 intermedio es un regis-
tro intermedio de funciones múltiples y registro de alma-
25 cenamiento transitorio, cuyo contenido puede ser la di-
rección de página de memoria ROM actual, una dirección
de página de memoria ROM variante, o la dirección de pá-
gina de retorno durante operaciones de subrutina. El con-
tador de programa, el registro de subrutina y el direccio-
30 namiento de página de memoria ROM son controlados todos

1 por el circuito 48 de control que recibe entradas de las
líneas 33 de salida de memoria ROM por intermedio de las
líneas 49. El circuito 48 de control determina si se rea-
lizan operaciones de bifurcación y llamada sobre "estado"
5 u operaciones de subrutina, origina la carga de una pala-
bra de instrucción en el contador de programa y/o regis-
tro de dirección de página, controla la transferencia de
bitios a los registros de subrutina o registro intermedio
y la transferencia de retorno, controla la actualización
10 del contador de programa, etc.

Son realizadas operaciones sobre datos numé-
ricos y otro tipo de información en el sistema por un su-
mador 50 binario que es un sumador de bitios en paralelo
que tiene un circuito de acarreo precargado, que funcio-
na en código binario con corrección de código BCD (deci-
15 mal codificado en binario) por programa. La entrada al
sumador 50 está determinada por un selector 51 de entra-
da que recibe entrada de cuatro bitios en paralelo proce-
dentes de varias fuentes y selecciona de estas las entra-
das que son aplicadas al sumador. En primer lugar, las
20 líneas 32 de lectura de memoria o de nueva llamada proce-
dentes de la memoria RAM 25 proporcionan una de las alter-
nativas. Dos registros reciben la salida del sumador,
siendo estos el registro 40 "RAM Y" y un acumulador 52,
25 y cada uno de estos tiene sus líneas de salida conectadas
independientemente como entradas 53 y 54 del selector 51.
Una cuarta entrada 55 recibe una salida procedente del
circuito 56 lógico "CKB". De este modo, la entrada de
sumador es seleccionada de las fuentes siguientes: memo-
ria de datos o memoria RAM 25 sobre las líneas 32; acumu-
30

1 lador 52 a través de las líneas 53; registro 40 RAM Y por
intermedio de las líneas 54; información de constante,
teclado o "bitio" procedente del circuito 56 lógico CKB
sobre las líneas 55. Son producidas por el circuito 51
5 selector entradas positiva y negativa al sumador 50 sobre
las líneas 57 y 58.

La salida del sumador 50 está aplicada a cual
quiera o ambos del registro 40 RAM Y y el acumulador 52
a través de las líneas 59. Todas las operaciones del su-
10 mador 50 y su selector 51 de entrada, etc, son controla-
das por una unidad PLA 60 de control de via de datos que
responde a la palabra de instrucción sobre las líneas 33
procedentes de la memoria ROM. Las salidas 61 de control
15 procedentes de la unidad PLA 60 de control están indica-
das por líneas discontinuas. La salida de cuatro bitios
del acumulador 52 está aplicada incondicionalmente, a tra-
vés de las líneas 53, a una disposición de salida de seg-
mento que incluye un registro 62 intermedio de tres bi-
tios e incluye también un descodificador 62-1 de segmen-
20 to para salida del sistema. El registro 62 define cuáles
de las ocho líneas 6 están excitadas en un instante dado.
Recibe solamente tres bitios, de modo que utiliza sola-
mente tres de las cuatro salidas en paralelo del acumula-
dor. Una línea 61 procedente de la unidad PLA 60 de con-
25 trol aplica una orden de "cargar segmento" al registro
62 cuando está programada para hacerlo así, en cuyo ins-
tante el segmento deseado es cargado desde el acumulador,
y permanecerá en el registro 62 hasta que sean cargados
ceros para borrar el registro. El descodificador 62-1
30 es un descodificador normalizado que acepta la salida de

1 tres bitios del registro 62 y activa una de las ocho lí-
neas 6, es decir, origina la activación de una de las sa-
lidas SA a SP de segmento, a través de los amplificadores
5 65 de salida. Un descodificador 63, similar a un conjun-
to lógico programable, recibe también la salida 53 de
cuatro bitios procedente del acumulador 52, así como la
salida del descodificador 62-1. Después que el registro
62 ha sido preparado, son suministrados a la salida los
dígitos a ser visualizados, uno a la vez, desde el acumu-
10 lador, y el descodificador 63 detecta cuándo el dígito
a ser visualizado contiene un segmento que deberá ser ac-
tivado. Cuando esto es cierto, es producida sobre una
línea 64 una orden de "visualizar dígito", que es utili-
zada para controlar una salida de dígito, como se descri-
15 birá posteriormente.

Un circuito 66 lógico de estado proporciona
la función de examinar las operaciones de acarreo o com-
paración del sumador 50, y determina si ha de efectuarse
bifurcación o llamada. Para este fin, están dispuestas
20 entradas procedentes del sumador 50 a través de las líneas
67, y una entrada desde la unidad PLA 60 de control a tra-
vés de las líneas 61.

Un circuito 70 de control determina qué da-
tos son escritos o almacenados en la memoria RAM 25, y
25 en qué momento, a través del circuito 31 de control de
entrada/salida y las líneas 30. Este circuito 70 de con-
trol de escritura de memoria RAM recibe entradas indistin-
tamente procedentes del acumulador 52, a través de las
líneas 53, o del circuito 56 lógico CKB a través de las
30 líneas 55, y este circuito produce una salida sobre las

1 líneas 71 que van al circuito 31 de entrada/salida de me-
memoria RAM. La selección de los datos que son escritos
en la memoria RAM se realiza por la palabra de instrucción
presente sobre las líneas 33, a través del circuito PLA 60
5 de control de vía de datos y las líneas 61 de orden. Una
característica del sistema es que la información de cons-
tantes o de teclado, procedente del circuito 56 lógico
CKB, así como la salida del sumador a través del acumula-
dor, pueden ser escritas en la memoria RAM por intermedio
10 del circuito 70 de control de escritura, y adicionalmen-
te el circuito 56 lógico CKB puede ser utilizado para con-
trolar la activación y reposición de bitios en la memoria
RAM, por intermedio del circuito 70 de control de escritu-
ra.

15 La dirección de página de memoria RAM dentro
de la cual son escritos los datos está determinada por
dos bitios de la palabra de instrucción sobre las líneas
33, tal como se aplica a través de las líneas 72 a un re-
gistro 73 de dirección de página de memoria RAM y así a
20 las líneas 28 que seleccionan la página de memoria RAM.
La dirección Y o dirección de palabra de memoria RAM es
seleccionada, por supuesto, por los contenidos del regis-
tro 40 RAM Y, el circuito 39 selector y el descodificador
27.

25 Las entradas 5 de teclado aparecen sobre las
líneas 75, desde las cuales se proporciona una entrada al
circuito 56 lógico CKB. Están representadas cuatro entra-
das, aunque el sistema de la figura 2 necesita solamente
tres. En funcionamiento normal, una entrada de teclado
30 va al acumulador 52 o al registro 40 RAM Y por intermedio

1 del circuito 56 lógico CKB, desde cuyo registro es tratada por programa o programación de memoria ROM.

5 Está también incluido dentro de la plaquita 12 un oscilador y generador 80 de señal de sincronismo que genera interiormente una frecuencia básica de sincronismo de aproximadamente 500 KHz o inferior, y a partir de esta produce cinco señales $\phi 1$ a $\phi 5$ de sincronismo utilizadas en todo el sistema. Un circuito 82 de borrado al conectar produce señales de control que borran los registros de la calculadora cuando es conectada la alimentación.

10

15 Las salidas 7 de la plaquita 12, utilizadas para selección de dígito de visualización, son generadas a partir de la dirección de palabra de memoria RAM sobre las líneas 26 por un primer registro 83 de salida de dígito que es cargado bajo control de una orden presente sobre una línea 61, una orden sobre una línea 64 procedente del descodificador 63 y por las líneas 26 de palabra de memoria RAM. Es decir, el dígito a ser visualizado es transferido desde su lugar en la memoria RAM 25, a través del sumador 50, al acumulador 52 y al descodificador 63; si este dígito contiene el segmento entonces activado en la salida del descodificador 62-1, el descodificador 63 produce una salida sobre la línea 64, que permitirá el paso de una "orden de activación" a través de una puerta 64-1 desde una línea 61, de modo que todo lo que aparezca sobre las líneas 26 será cargado en el registro 83. Las líneas 26 son activadas secuencialmente, correspondiendo a las posiciones que están siendo suministradas a la salida por intermedio de las líneas 53 al descodifi-

20

25

30

1 cador 63. Después que han sido examinados los nueve dí-
gitos, el registro 83 estará puesto en los estados de to-
dos los dígitos a ser activados para el segmento en cur-
so. Para el ejemplo de la figura 2a, mientras está acti-
5 vado SA, los pasos D1 y D3 estarían establecidos para con-
tener "unos" y los demás pasos estarían en el estado ce-
ro para visualizar el número 345. La salida del primer
registro 83 está conectada a un segundo registro 84 de
salida de dígito que es cargado desde el registro 83 por
10 una "orden de carga" sobre una línea 61 procedente del
circuito PLA 60 de control. La salida del registro 84
esta conectada a un conjunto de registros intermedios 85
de salida.

15 Son posibles dieciseis salidas, pero solamen-
te están dispuestas como salidas nueve de ellas en este
diseño de calculadora a modo de ejemplo; están destinados
ocho dígitos para mantisa, y uno para el signo menos. En
esta realización, están dispuestos nueve pasos en el re-
registro 83, de modo que solamente se utilizan las primeras
20 nueve de las dieciseis líneas 26 de dirección.

25 Es importante que el registro 83 sea un re-
registro de acceso aleatorio, donde todos los bitios son
direccionados mutua y exclusivamente en forma separada
e independiente. Cuando uno de los nueve bitios en el
registro 83 es direccionado por el descodificador 27, pue-
de ingresar indistintamente un "1" o un "0" dentro del
registro 83 bajo control de la "orden de activación de
estado" sobre una línea 61 procedente del circuito PLA de
control, es decir, a partir de la palabra de instrucción
30 en curso, como se determina por la salida del descodifica-

1 dor 63 en la disposición de salida de segmento. El bitio
permanecerá en el estado definido hasta que sea nuevamen-
te direccionado y modificado de un modo específico; entre
5 tanto pueden ser direccionados y activados o repuestos
en cualquier orden cualquiera o todos los demás bitios.
Es posible tener cualquier combinación de bitios activa-
dos o repuestos del registro 83 D, proporcionando 2^9 o
512 combinaciones de código sobre las líneas 18 de sali-
da. Sin embargo, ordinariamente se utiliza una rutina
10 con la cual son direccionados los nueve pasos del regis-
tro 83 en orden descendente, desde el dígito más signifi-
cativo al dígito menos significativo, repetitivamente pa-
ra proporcionar un ciclo de exploración. Después de un
ciclo de exploración o durante el borrado de encendido
15 o borrado de circuitos, todos los bitios del registro 83
son puestos incondicionalmente a cero, excepto el dígito
menos significativo que presenta un cero para indicar que
está conectada la alimentación.

20 Similarmente al registro 83, el otro regis-
tro 62 de salida es estático por cuanto se conservará el
contenido una vez ingresado hasta que sea alterado inten-
cionalmente. El registro 62 de salida funciona como re-
gistro intermedio de salida, permaneciendo con estados
25 activados mientras está siendo manipulado el acumulador
52 para formar la siguiente salida o para dar salida a
los dígitos hacia el descodificador 63. El registro 83
de salida es un registro intermedio similar para dar sa-
lida al contenido del registro 40 Y, pero tiene la carac-
terística adicional de ser de acceso totalmente aleatorio.
30 Las fuentes de datos para el registro 40 Y son las siguien

1 tes: una constante de cuatro bits almacenada en la me-
2 moria ROM 24 como parte de una palabra de instrucción;
3 el acumulador 52 transferido al registro 40 Y a través
4 del selector 51 y el sumador 50; y datos procedentes di-
5 rectamente de la memoria RAM 25. Una vez que los datos
6 están en el registro 40 Y, dicho registro puede ser mani-
7 pulado por instrucciones adicionales, tales como incremen-
8 tar o decrementar.

9
10 Con referencia ahora a la figura 2b, está
11 ilustrado el circuito de visualización que utiliza el sis-
12 tema de las figuras 2 y 3. Los amplificadores 65 de sa-
13 lida de segmento incluyen ocho transistores 65-A a 65-P
14 MOS de canal p, cada uno de los cuales tiene su camino
15 electrodo de entrada-electrodo de salida conectado entre
16 Vss y una de las líneas 6. El cátodo 9 de cada dígito
17 está conectado, a través de una línea 7, a uno de los nue-
18 ve registros 85 intermedios de salida de dígito, cada uno
19 de los cuales incluye uno de los transistores 81-1 a 85-9
20 MOS de canal p que tienen sus caminos de electrodo de en-
21 trada-electrodo de salida conectados entre los cátodos
22 9 y la fuente de alimentación -Vdd. La ventaja de esta
23 disposición es que en cualquier instante dado un transis-
24 tor amplificador de salida de dígito puede estar conduciendo
25 la corriente de solo un segmento, en vez de la corres-
26 pondiente hasta un máximo de ocho segmentos como es cier-
27 to en el sistema de las figuras 1 a 1c. La corriente de
28 un segmento puede ser conducida en retorno a -Vdd, mien-
29 tras que la corriente de ocho segmentos no puede ser ab-
30 sorbida sin requerimientos de dimensiones no convenientes
31 para los amplificadores de salida.

1 Se observará que el período de tiempo de una
de las señales SA a SP de exploración de segmento es mu-
chas veces superior al de un ciclo de máquina, es decir
un ciclo durante el cual es ejecutada completamente una
5 palabra de instrucción que aparece sobre las líneas 33.
Quizas se producen cuarenta o más ciclos de máquina duran-
te cada una de las señales SA, SB, etc. De este modo,
los registros 62 y 84 intermedios de salida, que son re-
gistros estáticos o de retención, permiten que la máqui-
10 na realice diversas funciones durante el tiempo en que
permanece activado un segmento dado. Por ejemplo, el có-
digo D6-D1 de dígito de la figura 2a para el período SB
está establecido en los registros 83 y 84 durante el tiem-
po que está activada la señal SA. También, puede ser eje-
15 cutada una rutina de comprobación de teclado o de entra-
da durante cada una de las señales SA a SP.

Se han descrito los conceptos del invento
como se utilizan en un sistema de calculadora. Claramen-
te, estos conceptos podrían utilizarse también en otros
20 sistemas, tales como relojes digitales, o dispositivos
de visualización alfanuméricos o de cualquier tipo.

Aunque el invento ha sido descrito con refe-
rencia a una realización específica, se entenderá que es-
ta descripción no ha de interpretarse en un sentido limi-
25 tador. Resultarán evidentes diversas modificaciones de
la realización expuesta, así como otras realizaciones del
invento, para las personas expertas en la técnica al hacer
referencia a la descripción del invento. Se contempla,
por consiguiente, que las reivindicaciones anexas cubri-
rán cualesquiera de tales modificaciones o realizaciones
30

1 que caigan dentro del verdadero alcance del invento.

5

REIVINDICACIONES

10

Los puntos de invención, propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15

20

25

1ª.- Perfeccionamientos introducidos en un sistema de visualización de caracteres que incluye un dispositivo de visualización que tiene una pluralidad de caracteres del tipo que contienen una pluralidad de segmentos en cada carácter, estando todos los segmentos similares en todos los caracteres conectados eléctricamente entre sí y teniendo cada carácter un electrodo común a todos los segmentos de ese carácter, en donde la mejora comprende medios de exploración de segmento conectados a dichos segmentos y que generan una secuencia repetitiva de señales para activar dichos segmentos según una pauta regular, y medios activadores de carácter conectados a dichos electrodos y que generan señales codificadas para activar selectivamente dichos electrodos de acuerdo con los caracteres que están siendo visualizados.

me

30

2ª.- Perfeccionamientos de acuerdo con la

1 reivindicación 1ª, según los cuales el dispositivo de visualización comprende diodos emisores de luz visible.

3ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales están previstos una pluralidad de interruptores de tecla, estando dispuestos los interruptores de tecla en filas y columnas, y las columnas están conectadas a dichos medios de exploración de segmentos.

4ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales los medios de exploración de segmentos y los medios activadores de carácter están contenidos dentro de un dispositivo semiconductor integrado.

5ª.- Perfeccionamientos de acuerdo con la reivindicación 4ª, según los cuales el dispositivo semiconductor integrado es del tipo MOS de canal p.

6ª.- Perfeccionamientos de acuerdo con la reivindicación 5ª, según los cuales el dispositivo de visualización comprende diodos emisores de luz visible.

7ª.- Perfeccionamientos de acuerdo con la reivindicación 6ª, según los cuales los medios de exploración de segmentos y los medios activadores de carácter están conectados directamente a los segmentos y electrodos comunes de los diodos emisores de luz sin la intervención de dispositivos excitadores.

8ª.- Perfeccionamientos de acuerdo con la reivindicación 7ª, según los cuales están previstos una pluralidad de interruptores de tecla en el exterior del dispositivo semiconductor, estando dispuestos los interruptores de tecla en filas y columnas, estando conecta-

ME

das las columnas a dichos medios de exploración de segmentos, y estando conectadas las filas directamente a entradas del dispositivo semiconductor.

5 9ª.- Perfeccionamientos de acuerdo con la reivindicación 8ª, según los cuales el dispositivo semiconductor contiene medios de memoria de datos, medios aritméticos y medios de control para proporcionar las funciones de una calculadora electrónica.

10 10ª.- Perfeccionamientos introducidos en un sistema de visualización de caracteres.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

15 Esta Memoria consta de veintiocho hojas escritas a máquina por una sola cara.

Madrid, 10. AGO. 1976

P.A.

Alberto de

Por Poder

20

25

mfe

30 CAL.

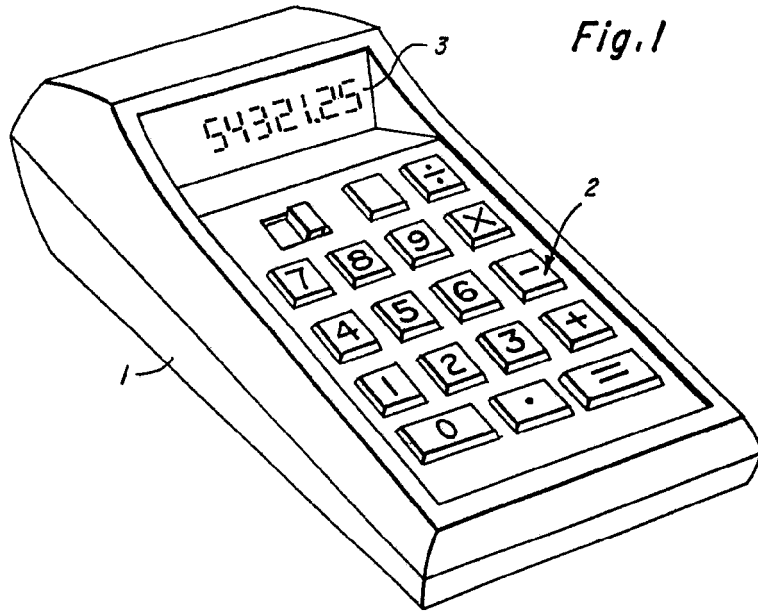


Fig. 1

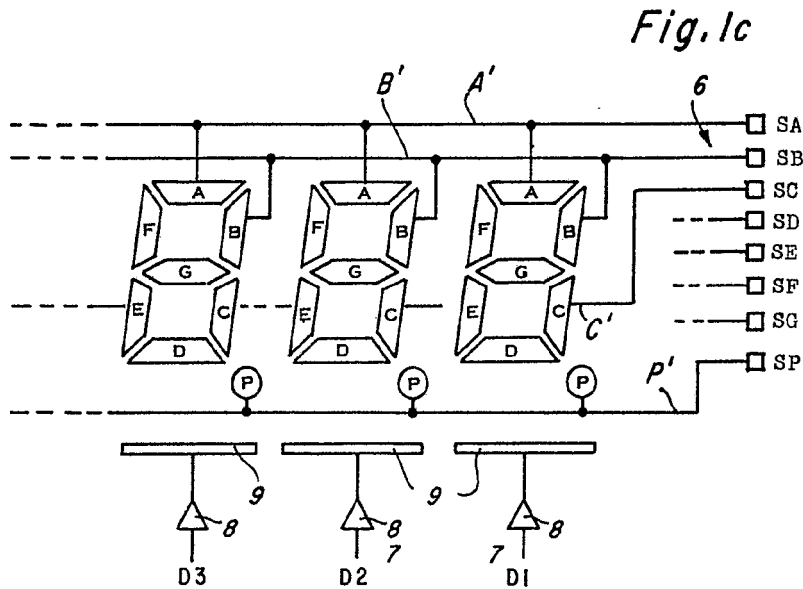
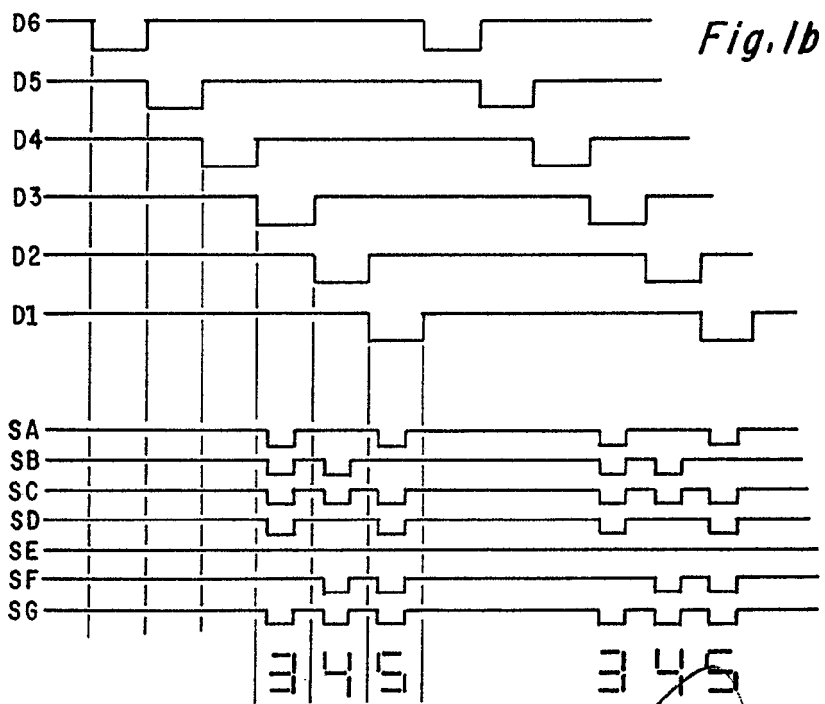
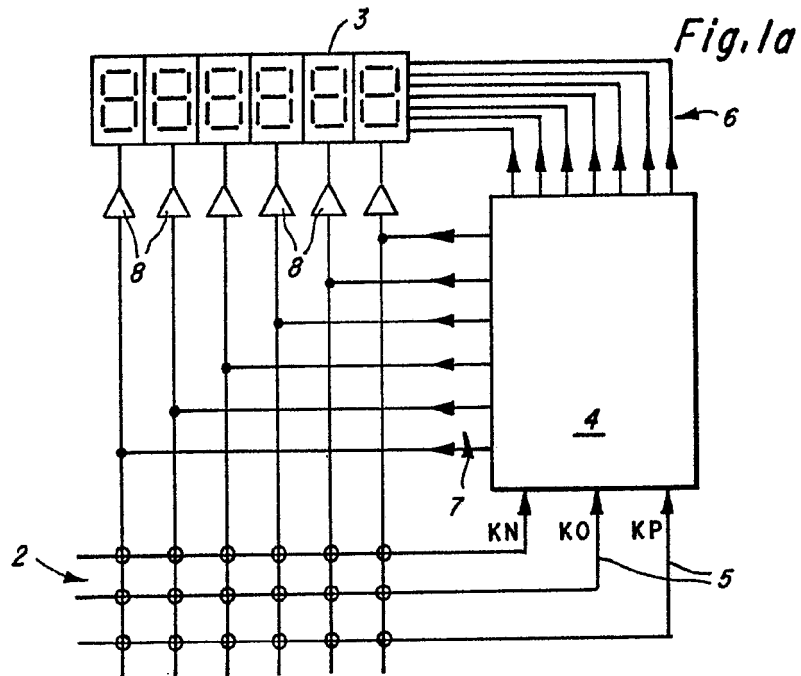


Fig. 1c

Fernando de Elizaburu
Por Poder.



Fernando de Elizaguru
Per Eudora

Fig. 2a

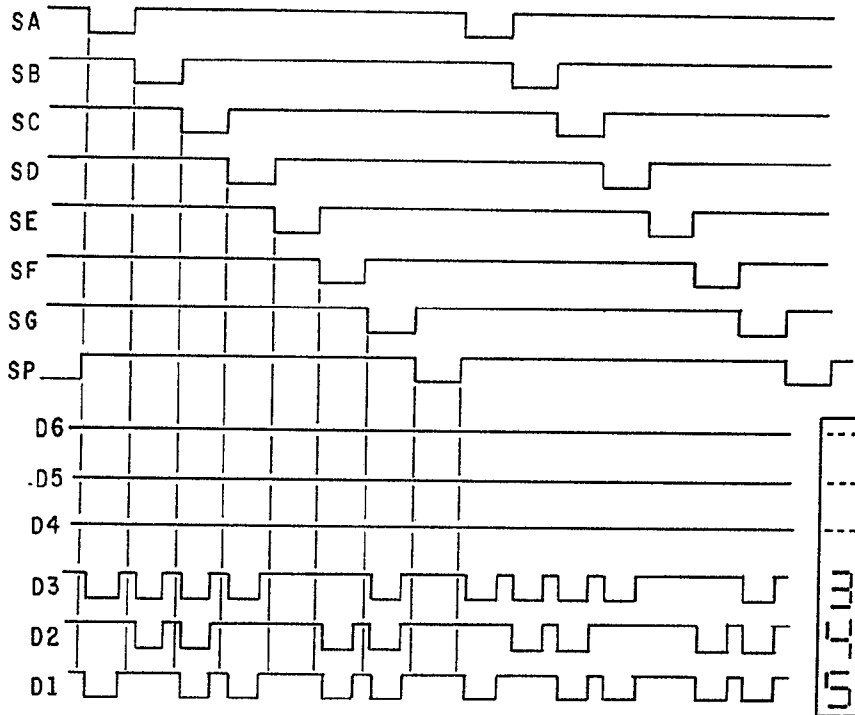
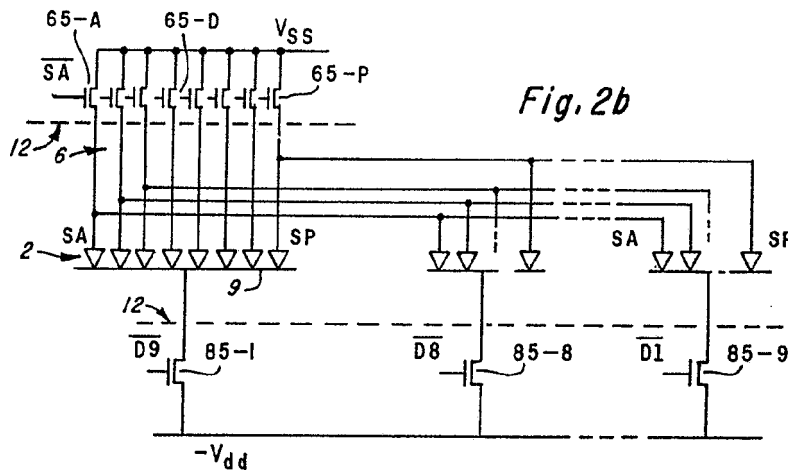


Fig. 2b



Fernando de Elkaburu
Por Favor.

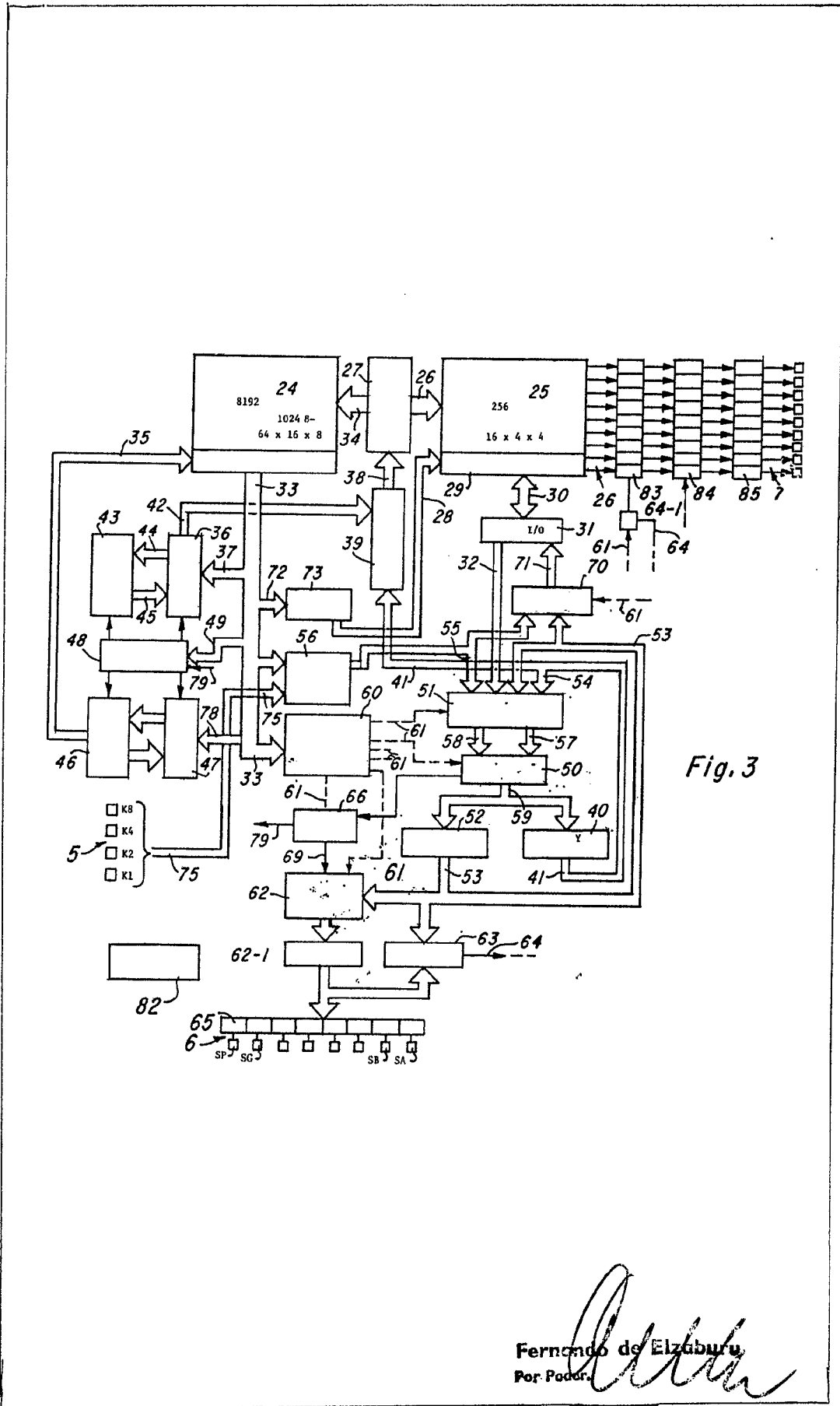


Fig. 3

Fernando de Elizaburu
For. Power