

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

RECEBIDA
24 FEB. 1977

PATENTE DE INVENCION

19	ES	11	NUMERO	45379	10	A1
		21				
		22	FECHA DE PRESENTACION	20 FEB. 1978		

30	PRIORIDADES:	32	FECHA	33	PAIS
	31	NUMERO			
			26 Febrero 1.975		REPUBLICA FEDERAL ALEMANA
			P 25 08 323.2		

47	FECHA DE PUBLICIDAD	51	CLASIFICACION INTERNACIONAL	62	PATENTE DE LA QUE ES DIVISIONARIA
			H 0 4 L		

64	TITULO DE LA INVENCION
	"PROCEDIMIENTO Y DISPOSICION DE CIRCUITO PARA LA TRANSMISION "DE DATOS CONTROLADA POR PROGRAMA".

71	SOLICITANTE (S)
	SIEMENS AKTIENGESELLSCHAFT.

	DOMICILIO DEL SOLICITANTE
	BERLIN Y MUNICH (Alemania), München 2, y Wittelsbacherplatz, 2.

72	INVENTOR (ES)
	Don Rainer GAISER, Don Rolf HAGEN, y Don Bernhard SCHAFFER.

73	TITULAR (ES)

74	REPRESENTANTE
	JULIO DE PABLOS ARRIBAS
	(3.619, A-R). (VPA 75 P 2015).

**POOR
QUALITY**

El presente invento se refiere a un procedimiento para la transmisión de datos controlada por un programa, que son transmitidos intercalados en redes sincronizadas de datos a manera de grupos de bits dentro de un marco de transmisión sucesiva de señales, correspondiendo la posición de un grupo de bits en el marco de transmisión sucesiva de señales a una asignación de canal.

En un sistema electrónico de transmisión de datos conocido (compárese, por ejemplo, "Der Fernmeldeingenieur", colección 26, cuadernos 5 y 6), las señales de datos recibidas en cada caso en las líneas emisoras son transmitidas a las líneas receptoras deseadas en forma que por el sistema de transmisión en sí son interconectados únicamente los cambios de polaridad de las señales de datos. Se presupone a este respecto que a través de las líneas transmisoras y receptoras comunicadas con el sistema de transmisión tiene lugar en cada caso únicamente una transmisión de datos de un solo canal. En el caso de que una línea de datos por la que se transmiten datos para varios canales por el procedimiento de transmisión sucesiva de señales se conecte al sistema electrónico de transmisión de datos, existe la necesidad de, antes de conectar tal línea al sistema de transmisión, llevar a cabo una separación espacial de canales para cada línea. Ahora bien, esto resulta muy costoso, aparte de que en tal caso el sistema de transmi-

sión se ve cargado del mismo modo que si estuviera tantas líneas de datos como la suma de los canales transmitidos a las líneas de datos.

- La misión del invento estriba en presentar un procedimiento por el que resulte posible una conexión directa de líneas de transmisión de datos de varios canales de transmisión sucesiva de señales, a un sistema electrónico de transmisión de datos, así como una interconexión eficiente de dichas líneas.
- 30.- Este problema se resuelve conforme al invento, por el hecho de que al recibirse grupos de bits que hayan de ser interconectados, se dirige individualmente por cada línea un requerimiento al sistema de transmisión; porque a la vez que el requerimiento, se forma a base de la posición del grupo de bits dentro del marco de transmisión sucesiva de señales la dirección del canal emisor y, en al menos un dispositivo de codificación asignado a las líneas, la dirección de la línea emisora del grupo de bits; porque por la dirección emisora (dirección de canal y de línea) se selecciona a través de un mando de conmutación de procesos una celda asignada fijamente a cada tributario en una memoria de enlaces; porque los grupos de bits recibidos en la fase de establecimiento de la comunicación contienen caracteres de señalización, a través de los cuales se registra en la celda de tributario la dirección de recepción deseada (dirección de canal y de línea); porque en una comunicación interconectada se lee después de cada grupo de bits recibido, a través del mando de conmutación de proceso, la dirección de recepción almacenada en la celda de tributario, y
- 35.-
- 40.-
- 45.-
- 50.-
- 55.-
- porque los grupos de bits son transferidos en cada caso a

través de un circuito decodificador a la línea receptora caracterizada por la dirección de línea receptora, donde, antes de ser emitidos, son registrados en una memoria de interconexiones que abarca un marco de transmisión sucesiva de señales, en el lugar que está caracterizado por la dirección de canal receptor.

Una mejora ventajosa del invento consiste en que los grupos de bits son comparados en el lado receptor con muestras, y en que como resultado de la comparación se forma un criterio, a base del cual se decide si un grupo de bits recibido ha de ser tratado o no por el sistema de transmisión.

Finalmente está caracterizado otro ventajoso perfeccionamiento del invento por el hecho de que al recibirse repetidas veces grupos idénticos de bits en un canal se forma un criterio; porque a base de dicho criterio y partiendo en cada caso tan solo del primero de una sucesión de grupos idénticos de bits, se dirige un requerimiento de transmisión al sistema de transmisión y porque después de interconectado el primer grupo de bits, se lee en el lado de emisión de la memoria de interconexiones repetidas veces el mismo grupo de bits, y se emite en la línea receptora.

Mediante el presente invento es por consiguiente posible que una línea de transmisión de datos con varios canales de transmisión sucesiva de señales, sea conectada directamente al sistema electrónico de transmisión de datos, sin previa separación espacial de los canales. Aparte de esto, el sistema de transmisión es empleado tan solo para procesos de transmisión imprescindibles debido a la transmisión a manera de grupos de bits y a la utilización del sistema de transmisión, siendo por consiguiente cargado de manera

mínima.

Detalles del invento se explican a continuación con más detalle a base de un ejemplo de realización representado en el dibujo, mostrando:

90.- La figura 1, el esquema de conjunto del conocido sistema electrónico de transmisión de datos, con la unidad de interconexión integrada en el sistema a base del invento.

La figura 2, una representación esquemática de un marco de transmisión sucesiva de señales-

95.- La figura 3, un marco de transmisión sucesiva de señales con canales de velocidad distinta de transmisión.

Las figuras 4 y 5, la estructura de la unidad de interconexión en que se aplica el procedimiento de acuerdo con el invento.

100.- En la figura 1 ha sido representado un conocido sistema electrónico de transmisión de datos en forma de esquema de conjunto. Este sistema electrónico de transmisión de datos consiste en varias unidades de tratamiento VE y una unidad central de memoria SE, con la que las unidades de tratamiento se hallan conectadas a manera de satélites. Como

105.- unidades de tratamiento VE están previstas aquí una unidad de conexión de líneas LE, una unidad de control de programa PE, y una unidad de conexión de equipos GE. De acuerdo con el invento está prevista asimismo una unidad de inter-

110.- conexión DE. A excepción de la unidad de interconexión DE, las demás unidades de tratamiento, así como la unidad de memoria, han sido descritas ya prolijamente en la bibliografía indicada.

Para la interconexión de grupos bits que con transmitidos por líneas de transmisión de datos de múltiples cana-

115.-

- les de transmisión sucesiva de señales, está prevista, además de la unidad de conexión de líneas LE, por la que usualmente se transmite tan solo cambios de polaridad, la unidad de interconexión DE. Para mejor comprensión de la unidad
- 120.- de interconexión DE, será explicada brevemente a base de la figura 2 la transmisión de grupos de bits en sistemas de transmisión sucesiva de señales con canales múltiples, tal como ha sido propuesta también por la CCITT en un proyecto de recomendación.
- 125.- La figura 2 muestra un marco de transmisión sucesiva de señales R que, en el presente caso, consiste en 80 grupos de bits E1 a E80, los llamados "paquetes". Cada paquete contiene 8 bits de datos, un bit de sincronización S, y un bit de estado Z. El bit de estado Z sirve para caracterizar un grupo de bits como caracter de señalización en el establecimiento de un enlace, o como caracter de información en un enlace ya establecido. Con ayuda del bit de sincronización S se practica en cada caso una sincronización de paquetes.
- 130.-
- 135.- A cada paquete se le puede asignar un canal dentro de un marco de transmisión sucesiva de señales. De este modo se pueden transmitir a través de una sola línea de datos los datos de 80 canales. En tal caso es la velocidad de transmisión uniforme para todos los canales.
- 140.- Si una línea de datos posee canales con velocidad distinta de transmisión, se emplean en un marco de transmisión sucesiva de señales varios intersticios de tiempo para cada canal de datos, asignados a los paquetes. Un ejemplo de este tipo ha sido representado en la figura 3. Al igual que
- 145.- en la figura 2, también el marco de transmisión sucesiva de señales R representado en la figura 3 consiste en 80 paquetes, de los que en cambio no cada paquete está asignado a

- un canal de datos individual, tal como ha sido representado en la figura 3, sino que los paquetes E1, E21, E41 y E61 pertenecen a un canal de datos de cuádruple velocidad de transmisión con respecto a un canal de datos al que en cada caso le está asignado en un marco de transmisión sucesiva de señales R tan solo un paquete, por ejemplo, el E80. Por consiguiente, si el canal de datos E80 posee una velocidad de transmisión de 600 bits/segundo, se transmiten a través del canal 4 veces más rápido 2,4 kbit/segundo. Debe entenderse que además del canal con la velocidad de transmisión de 2,4 kbit/segundo, pueden existir también otros canales con una menor o mayor velocidad de transmisión, siendo las velocidades de transmisión en cada caso un múltiple entero de la velocidad mínima de transmisión, a saber, la de 600 bit/segundo.

- Si los datos transmitidos en una línea en varios canales, tal como ha sido representado en las figuras 2 y 3, han de ser interconectados en un sistema de transmisión de datos desde una línea emisora a una línea receptora, existe la dificultad de, además de coordinar espacialmente la línea emisora y la receptora, llevar a cabo la clasificación de los datos correcta en cuanto a canal de la línea receptora dentro de un marco de transmisión sucesiva de señales. Para conseguirlo existe la posibilidad de separar espacialmente en el lado de recepción los diversos canales y acoplar seguidamente los distintos canales a un sistema de transmisión de datos, cada uno de ellos a manera de línea separada. Ahora bien, ésto requiere un gasto elevado. De acuerdo con el presente invento se emprende un camino distinto que no precisa esta previa separación espacial de los ca-

nales, y que hace posible la conexión directa de líneas de
datos con varios canales de transmisión sucesiva de seña-
180.- les, a un sistema electrónico de transmisión de datos.

En las figuras 4 y 5 se presenta un ejemplo de reali-
zación ventajoso de una disposición transmisora, en la que
puede hallar aplicación el procedimiento conforme al in-
vento.

185.- En honor a una mayor claridad muestran las figuras 4
y 5 una llamada representación esquematizada de una dispo-
sición transmisora, en la que los dispositivos del lado
emisor y los del lado receptor han sido representados por
separado. En un sistema de transmisión instalado deben en-
190.- tenderse naturalmente las líneas de datos en cada caso, tan-
to como líneas emisoras, como también como líneas recepto-
ras, estando montados a cada lado de la línea dispositivos
de la parte emisora, así como de la parte receptora.

En la disposición representada en las figuras 4 y 5
195.- está montado detrás de cada línea emisora de datos ZDL un
dispositivo de líneas emisoras LEZ, y detrás de cada línea
receptora ADL, un dispositivo de líneas receptoras LEA. Es-
tos dispositivos asignados a las líneas emisoras y recepto-
ras están unidos entre sí a través de transmisores de có-
200.- digo de entrada ECW y transformadores de código de salida
ACW centralizados, así como de un mando de conmutación de
proceso DAS.

La transmisión de grupos de bits entre emisora y re-
ceptor, de izquierdas a derechas en las figuras 4 y 5, se
205.- efectúa entonces de la manera siguiente. Cada línea de da-
tos ZDL, ADL está acoplada al sistema de transmisión a tra-
vés de un dispositivo transmisor de datos DUE. En el dispo-

- sitivo transmisor de datos se regeneran los datos que llegan, y se adaptan a las condiciones físicas del siguiente sistema de transmisión de datos. De manera análoga ocurre lo mismo en el tráfico de datos de salida, es decir, que los datos emitidos son adaptados a las condiciones físicas de la línea de datos. Por consiguiente recibe el sistema de transmisión los datos de recepción ED a través de un dispositivo transmisor de datos. Como en la línea de datos conectada se trata, según estipulado, de una línea de una red de datos sincronizada, en la que los datos son evaluados únicamente en combinación con un sincronismo de red central NTG, este sincronismo central de red NTG es puesto en cada caso por parte del sistema de transmisión a disposición, tanto del dispositivo transmisor de datos, como también de los dispositivos individuales de las líneas dentro del sistema de transmisión.

- A través del sincronismo de red se generan los 3 sincronismos precisos en el presente caso, a saber, el sincronismo de bits, el sincronismo de grupos de bits (sincronismo de paquetes), y el sincronismo de marco de transmisión sucesiva de señales. Al igual que en todas las redes de datos sincrónicas, se precisa el sincronismo de bits para identificar como tales los diversos bits. El sincronismo de grupos de bits o de paquetes se necesita para en el lado de recepción sincronizar con el formato de paquetes todas las líneas de datos conectadas al sistema de transmisión de datos. Esto es preciso para en cada caso tener a disposición en un intervalo de tiempo correspondiente a un largo de paquete todos los paquetes que en un intervalo de tiempo han de ser tratados por el sistema de transmisión.

Por consiguiente existe la posibilidad de acoplar al sistema de transmisión tantas líneas de datos ZDL, ADL como paquetes puedan ser tratados por el sistema de transmisión durante un intervalo de tiempo. Finalmente es necesario todavía el sincronismo de marco para determinar en cada caso la posición de un paquete dentro de un marco de transmisión sucesiva de señales.

245.- Se comprueba por consiguiente que en el lado de recepción del sistema de transmisión tiene lugar por lo pronto una sincronización de paquetes entre todas las líneas de datos ZDL conectadas, por medio de un circuito de sincronización SY. Partiendo de dicho circuito de sincronización SY, en cada dispositivo de línea LEZ conectado detrás de una línea transmisora se registra el paquete recibido en un conversor serie-paralelo SPU. Aparte de esto, y partiendo del circuito de sincronización SY, un contador de direcciones de paquetes EAZ es puesto en cada caso, de manera no representada aquí en detalle y con ayuda del marco y del sincronismo de paquetes, en la posición que el paquete recién recibido ocupa dentro del marco de transmisión sucesiva de señales.

El paquete que por consiguiente ha sido convertido por el conversor serie-paralelo SPU en un grupo de bits paralelo, y que en cada caso consiste en el bit de estado y, por ejemplo, los 8 bits de datos, es introducido en un circuito de evaluación EB. Dentro de este circuito de evaluación existen diversas muestras M1 a Mn, con las que se compara el paquete recibido. Así, por ejemplo, se determina en particular con ayuda de una muestra el estado que posee el paquete recibido, es decir, si dicho paquete se refiere a un

- carácter de señalización para el establecimiento de la comunicación, o respectivamente un carácter de información
- 270.- que deba ser interconectado, o bien a un canal en reposo. Si el paquete contiene un carácter de señalización o un carácter de información que deba ser interconectado, es dirigida por la muestra afectada, a través de un codificador de canales KC y de un circuito de demandas A, una demanda de transmisión a un convertidor de código de entrada ECW. Ahora bien, si el paquete recibido se refiere a un canal en reposo, es decir, que a través de dicho canal no se transmiten en el momento caracteres de información ni caracteres de señalización, no tiene lugar la emisión de
- 275.- una demanda de transmisión.
- 280.-

Con ayuda de otra muestra, el paquete recibido en cada caso se compara con el paquete recibido en el mismo canal en el marco precedente de transmisión sucesiva de señales. Si ha variado el contenido de información del paquete,

285.- se dirige asimismo una demanda de transmisión al convertidor de código de entrada ECW a través del circuito de demandas A. Ahora bien, si no ha variado el contenido del paquete, vuelve a no tener lugar dicha demanda.

El codificador de canales KC está conectado, además

290.- del enlace con la evaluación de paquetes, al circuito de direccionamiento de transmisión de paquetes. Mientras en el circuito de direccionamiento de transmisión de paquetes EAZ se recuentan en cada caso los paquetes de un marco, por ejemplo, de 1 a 80, tal como ha sido representado en las

295.- figuras 2 y 3, está el codificador de canales KC ajustado fijamento a los canales de la línea de datos ZDL. Quiere decir esto que el codificador de canales KC, en el caso de

- entrada de varias direcciones de paquetes pertenecientes a un canal, tal como se ha representado a manera de ejemplo en la figura 3, forma en cada caso tan solo una dirección de canal emisor KAZ asignada a dicho canal. Esta dirección de canal emisor KAZ se registra, junto con el paquete EV correspondiente, en una memoria dispuesta detrás del evaluador de paquetes y del codificador de canales KC.
- 300.-
- 305.- A base de la demanda de transmisión dirigida al convertidor de código de entrada ECW por el circuito de demandas A, que puede estar constituido, por ejemplo, por una simple conexión flip-flop, se comprueba en un identificador ID el dispositivo de línea LEZ y, por consiguiente, la línea de datos ZDL que han dirigido una demanda de transmisión al sistema transmisión. Este identificador ID trabaja según el principio de una cadena de búsqueda, tal como la descrita, por ejemplo, en la solicitud de patente alemana publicada y examinada nº. 1.287.600. Al ser esta demanda de transmisión evaluada por el identificador ID, es emitida a un acoplador de entrada EK dispuesto detrás de la memoria de paquetes y canales emisores EV, KAZ, la instrucción de registrar el paquete y la dirección de canal emisor KAZ en una memoria de paquetes y direcciones de canales emisores EV, KAZ dentro del convertidor de código de entrada ECW. Como acoplador de entrada puede ser empleado a este particular un multiplex del tipo de construcción usual.
- 310.-
- 315.-
- 320.-
- 325.- A base de la demanda de transmisión, es formada además por el identificador ID, mediante un circuito codificador que no ha sido representado, la dirección de línea emisora LAZ, que en combinación con el paquete y la dirección de canal emisor, se registra asimismo en un puesto de

memoria LAZ dentro del convertidor de código de entrada ECW.

- 330.- Al identificador ID y al acoplador de entrada EK, o bien están acoplados, además del dispositivo de línea emisora IEZ representado, perteneciente a la línea de datos ZDL, también todos los demás dispositivos de líneas emisoras de las líneas acopladas al sistema de transmisión, o
- 335.- bien están en cada caso unido tan solo un grupo de dispositivos de líneas emisoras con un convertidor de código de entrada ECW. En este caso existen entonces varios convertidores de código de entrada.

- Una vez que el paquete EV ha sido registrado en combinación con la dirección de canal emisor KAZ y de la dirección de línea emisora LAZ en la memoria propia del convertidor de código de entrada ECW, se ofrece este grupo de bits completos a un mando de conmutación de proceso DAS, que en su funcionamiento se corresponde con el mando de terminación/transmisión descrito en la solicitud de patente alemana publicada 1.946.389. En el caso de existir varios convertidores de código de entrada, tal como ha sido descrito más arriba, están éstos conectados independientemente entre sí al mando de conmutación de proceso DAS. Aparte de esto
- 340.- está el mando de conmutación de proceso DAS unido también con la unidad de memoria central SE del sistema electrónico de transmisión de datos, tal como ha sido representado en la figura 1. Finalmente está prevista todavía dentro de la unidad de interconexión DE una memoria de enlaces DVS, que
- 345.- está conectada asimismo al mando de conmutación de procesos DAS.
- 350.-
- 355.-

En la memoria de enlaces DVS la está asignada fija-

mente una celda emisora propia a cada canal emisor. Si por el convertidor de código de entrada ECW le es ofrecido por

360.- el mando de conmutación de proceso DAS un paquete en combinación con la dirección de canal emisor y la de línea de emisión, entonces a base del carácter de señalización contenido en el paquete, y del mismo modo que ha sido descrito en la solicitud de patente alemana publicada 1.946.389,

365.- se establece a través de la unidad de memoria SE y de la unidad de mando de programa PE el enlace deseado, de modo que la dirección del receptor pedido se registra en la celda emisora de la memoria de enlaces DVS asignada fijamente al tributario. Una vez que se ha establecido el enlace, es

370.- seleccionada a través del mando de conmutación de programa DAS exclusivamente la celda emisora caracterizada por la dirección de canal emisor y línea emisora, y a través de un ciclo de memoria se agrega la dirección de receptor almacenada en la celda emisora, del paquete recibido en el

375.- mando de conmutación de proceso DAS. En el caso de un enlace efectuado y de recepción de un paquete EV, el mando de conmutación de programa procede a un intercambio de direcciones entre la dirección de tributario y la dirección de receptor. En el lado de salida con relación al mando de

380.- conmutación de proceso DAS resulta por consiguiente que el paquete EV recibido por el mando de conmutación de proceso es registrado sin variación en una memoria de convertidor de código de salida ACW, ahora tan solo en combinación con la dirección de receptor (dirección de canal receptor KAA

385.- y dirección de línea receptora LAA).

Este convertidor de código de salida ACW, de manera análoga al convertidor de código de entrada, existe o bien

centralizado para todas las líneas receptoras, o bien en cada caso para un grupo de líneas receptoras, existiendo en

390.- este último caso por cada grupo de líneas de datos un convertidor de código de salida ACW. Dentro del convertidor de código de salida ACW existe en cada caso un acoplador de salida AK y un codificador de líneas receptoras ALD. El acoplador de salida AK, que puede consistir en un demultiplexor de tipo de construcción conocido, está conectado por el

395.- lado de entrada con la memoria de paquetes y de direcciones de canales receptores EV, KAA y, por el lado de salida, con los correspondientes dispositivos de líneas receptoras LEA. A través del acoplador de salida AK se pone por consiguiente

400.- el paquete EV y la dirección de canal receptor KAA en cada caso a disposición del dispositivo de línea receptora LEA que ha sido designado por la dirección de línea receptora LAA. Para ello está el decodificador de líneas receptoras ALD conectado con el acoplador de salida AK, de modo

405.- que por el decodificador de líneas receptoras ALD de dentro del acoplador de salida AK se libera en cada caso para el paquete EV y la dirección de canal receptor KAA almacenados en el convertidor de código de salida la vía que conduce al dispositivo deseado de línea de salida. Dentro del dispositivo de línea de salida LEA se almacenan el paquete EV y la

410.- dirección de canal receptor KAA por lo pronto en un registro. A continuación se registra el paquete EV en una memoria de interconexiones DUS que comprende un marco completo de transmisión sucesiva de señales, en el lugar designado por

415.- la dirección de canal receptor KAA. La memoria de interconexiones DUS es una memoria direccionable. Para el registro de un grupo de bits se utiliza la dirección de canal recep-

tor KAA como dirección de la memoria de interconexiones DUS.

420.- La selección de la memoria de interconexiones DUS es especialmente sencilla si a cada grupo de bits de un marco de transmisión sucesiva de señales se le asigna un canal de datos, o sea, por ejemplo, si se emplea una línea de datos con un marco de 80 grupos de bits para la transmisión de 80 canales de datos.

425.- En el direccionador de paquetes de receptor EAA, que está unido con el generador del sincronismo de red NTG, se forma practicamente tan solo el sincronismo de paquete, y a partir de dicho sincronismo, con ayuda de un contador de que gira de 1 a 80, se forma la dirección del paquete de receptor. Si dentro de un marco de transmisión sucesiva de señales están contenidos en cada caso tantos paquetes como canales en una línea, se puede prescindir del decodificador de canales KD. Por el contrario basta en esto caso para seleccionar los paquetes de la memoria de interconexiones DUS el direccionado de los diversos puestos SP de la memoria por el direccionador de paquetes de receptor, ya que éste recorre una tras otros los puestos SP de la memoria. Desde el puesto de memoria SP seleccionado en cada caso, se registra el paquete allí almacenado en un conversor serie-paralelo PSU, y desde allí se transmite como datos de emisión DT al dispositivo transmisor de datos DUE de la línea receptora ADL.

Ahora bien, si líneas de datos con canales de velocidades distintas de transmisión están conectadas al sistema de transmisión, tal como, por ejemplo, se ha representado en la figura 3, entonces varios paquetes dentro de un marco de transmisión sucesiva de señales, a saber, los pertene-

cientes a un canal de velocidad más alta, poseen la misma dirección de canal KAA. Por consiguiente, si tal como se
450.- ha representado en la figura 3, los paquetes E1, E21, E41 y E61 pertenecen a un canal receptor, es entonces la dirección del canal del receptor KAA idéntica al primer puesto SP en la memoria de interconexiones DUS. Para en tal caso poner no obstante los paquetes en la posición correcta dentro del marco de transmisión sucesiva de señales al ser emitidos a la línea receptora ADL, está previsto el decodificador de canales KD. Este cuida de que en el ejemplo indicado en la figura 3, sean dentro de la memoria de interconexiones DUS direccionados los puestos SP del 1 al 20
455.- sucesivamente, y de que en lugar del direccionamiento siguiente del puesto 21 de la memoria, sea direccionado de nuevo al puesto 1. A continuación se vuelven a direccionar de nuevo sucesivamente los puestos 22 a 40 de la memoria y, seguidamente, en lugar del puesto 42, de nuevo el puesto 1
460.- de la memoria. De este modo queda garantizada una clasificación correcta de los paquetes en el lado de recepción de un marco de transmisión sucesiva de señales, incluso con canales de distinta velocidad.
465.-

El codificador de canales KC y el decodificador de canales KD pueden configurarse a manera de circuitos de brecha o como memorias direccionales. Si se emplean memorias, se emplea la cifra suministrada por los direccionadores de paquetes EAZ y EAA como dirección, leyéndose con ella una celda que contiene la correspondiente dirección de canal
470.- KAZ o KAA.
475.-

Ahora bien, el codificador de canales KC (respectivamente KD) puede también ser realizado, junto con el di-

reccionador de canales EAZ (respectivamente EAA), como con-
tador programable.

480.- N O T A.-

Los puntos de invención propia y nueva que se presen-
tan para que sean objeto de esta Patente de Invención en
España, por veinte años, son los siguientes:

- 12.- Procedimiento para la transmisión de datos con-
485.- trolada por programa, datos que son transmitidos interca-
lados en redes sincronizadas de datos a manera de grupos
de bits dentro de un marco de transmisión sucesiva de se-
ñales, correspondiendo la posición de un grupo de bits en
el marco de transmisión sucesiva de señales a una asigna-
490.- ción de canal, caracterizado porque al recibirse grupos de
bits que hayan de ser interconectados, se dirige indivi-
dualmente por cada línea un requerimiento al sistema de
transmisión; porque a la vez que el requerimiento, se for-
ma a base de la posición del grupo de bits dentro del mar-
495.- co de transmisión sucesiva de señales la dirección del ca-
nal emisor, y al menos en un dispositivo de codificación
asignado a las líneas, la dirección de la línea emisora del
grupo de bits; porque por la dirección de emisora (direc-
ción de canal y de línea) se selecciona a través de un man-
500.- do de conmutación de proceso una celda asignada fijamente
a cada tributario en una memoria de enlaces; porque los
grupos de bits recibidos en la fase de establecimiento de
la comunicación contienen caracteres de señalización, a
través de los cuales se registra en la celda de tributario
505.- la dirección de recepción deseada (dirección de canal y de

línea); porque en una comunicación interconectada se lee después de cada grupo de bits recibido, a través del mando de conmutación de procesos, la dirección de recepción almacenada en la celda de tributario, y porque los grupos de bits son transferidos en cada caso a través de un circuito decodificador a la línea receptora caracterizada por la dirección de línea receptora, donde, antes de ser emitidos, son registrados en una memoria de interconexiones que abarca un marco de transmisión sucesiva de señales, en el lugar que está caracterizado por la dirección de canal receptor.

2º.- Procedimiento de acuerdo con el punto 1º, caracterizado porque los grupos de bits son comparados en el lado de recepción con muestras, y porque como resultado de la comparación se forma un criterio, a base del cual se decide si un grupo de bits recibido ha de ser o no interconectado o respectivamente tratado por el sistema de transmisión.

3º.- Procedimiento de acuerdo con los puntos 1º y 2º, caracterizado porque al recibirse repetidas veces grupos idénticos de bits en un canal, se forma un criterio por una primera muestra; porque a base de dicho criterio y partiendo en cada caso tan solo del primero de una sucesión de grupos idénticos de bits, se dirige un requerimiento de transmisión al sistema de transmisión, y porque después de interconectado el primer grupo de bits, se lee en el lado de emisión de la memoria de interconexiones repetidas veces el mismo grupo de bits, y se emite en la línea receptora.

4º.- Procedimiento de acuerdo con los puntos 1º y 2º, caracterizado porque al ser recibidos grupos de bits que

no deban ser tratados o interconectados por el sistema de transmisión, se forma por una segunda muestra un criterio, como consecuencia del cual no tiene lugar un requerimiento de transmisión, de modo que el sistema de transmisión no
540.- se ve cargado por estos grupos de bits.

52.- Procedimiento de acuerdo con el punto 12, caracterizado porque al ser recibidos y emitidos grupos de bits que son transmitidos en canales de velocidades distintas, la dirección de canal es formada por un contador programable de
545.- modo que a base del puesto predeterminado de los grupos de bits, que indica la asignación de canal, se determina dentro de un marco de transmisión sucesiva de señales la dirección del canal.

62.- Procedimiento de acuerdo con los puntos 12 y 52, caracterizado porque en lugar del contador programado, se
550.- emplea para la obtención de la dirección de canal una memoria direccionable, y porque la memoria se direcciona en cada caso con el número del grupo de bits en el marco de transmisión sucesiva de señales, y contiene en cada celda la correspondiente dirección de canal.
555.-

72.- Disposición de circuito para la puesta en práctica del procedimiento de acuerdo con el punto 12, caracterizada porque en el lado de recepción están conectados detrás de cada línea de datos, a través de un dispositivo de sincronización, uno tras otro por un lado un conversor serie-paralelo, un circuito evaluador de grupos de bits y un registro de grupos de bits, junto con un registro de direcciones de canal, y por otra lado un codificador de canales y un circuito de demandas, estando el codificador de canales
560.-
565.- les unido adicionalmente con el circuito evaluador de grupos

de bits y con el registro de direcciones de canal; porque existe al menos un convertidor de código de entrada para formar la dirección de línea que, por el lado de entrada, está unido con el registro de grupos de bits y de direcciones de canal, así como con el circuito de demandas, y por el lado de salida, con un mando de conmutación de proceso; porque por el lado de salida está conectado detrás del mando de conmutación de proceso al menos un convertidor de código de salida que, individualmente para cada línea, está conectado con la línea receptora a través de un registro de grupos de bits y de direcciones de canal, así como de una memoria de interconexiones y de un conversor serie-paralelo; porque la memoria de interconexiones está conectada además, a través de un decodificador de canales, con un dispositivo direccionador de grupos bits que, al igual el dispositivo de sincronización del lado de entrada, está conectado a un generador de sincronismo de red, y porque el mando de conmutación de proceso está conectado a una memoria de enlaces y a una unidad central de memoria de un sistema de transmisión de datos conocido.

82.- Disposición de circuito de acuerdo con el punto 72, caracterizada porque las líneas de datos y los dispositivos individuales de las líneas están divididos por grupos dentro del sistema de transmisión y porque en cada caso existen para cada grupo un convertidor de código de entrada y un convertidor de código de salida.

92.- "PROCEDIMIENTO Y DISPOSICION DE CIRCUITO PARA LA TRANSMISION DE DATOS CONTROLADA POR PROGRAMA", todo tal y conforme se describe en la presente Memoria, la cual consta de 596 líneas y a título de ejemplo se representa en los

adjuntos dibujos.

Madrid, 20 FEB. 1976



ESCALA VARIABLE.

Fig. 1

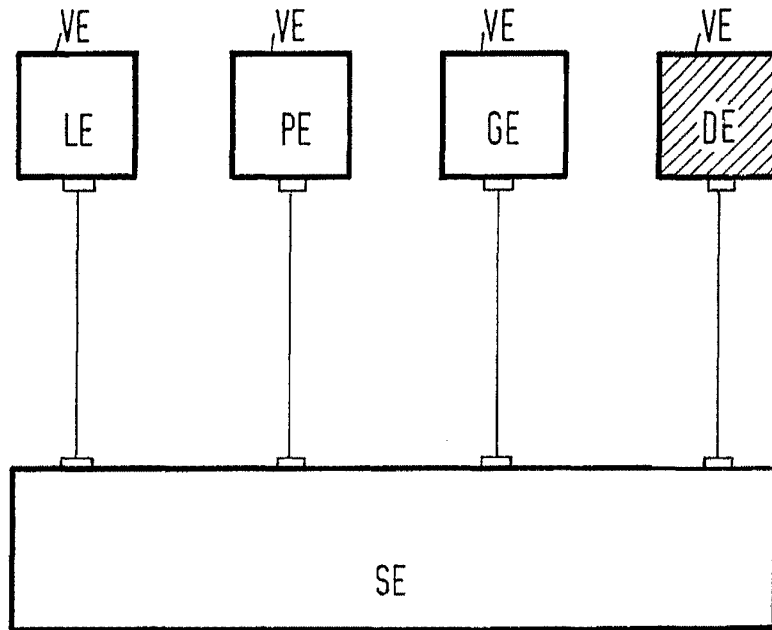


Fig. 2

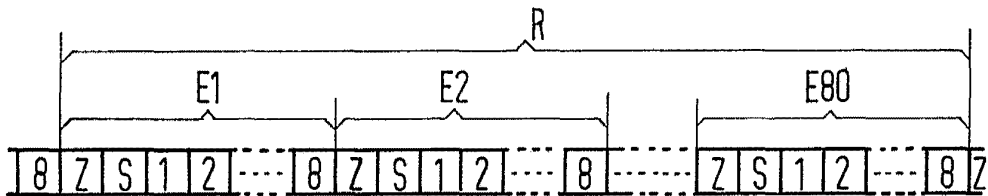


Fig. 3



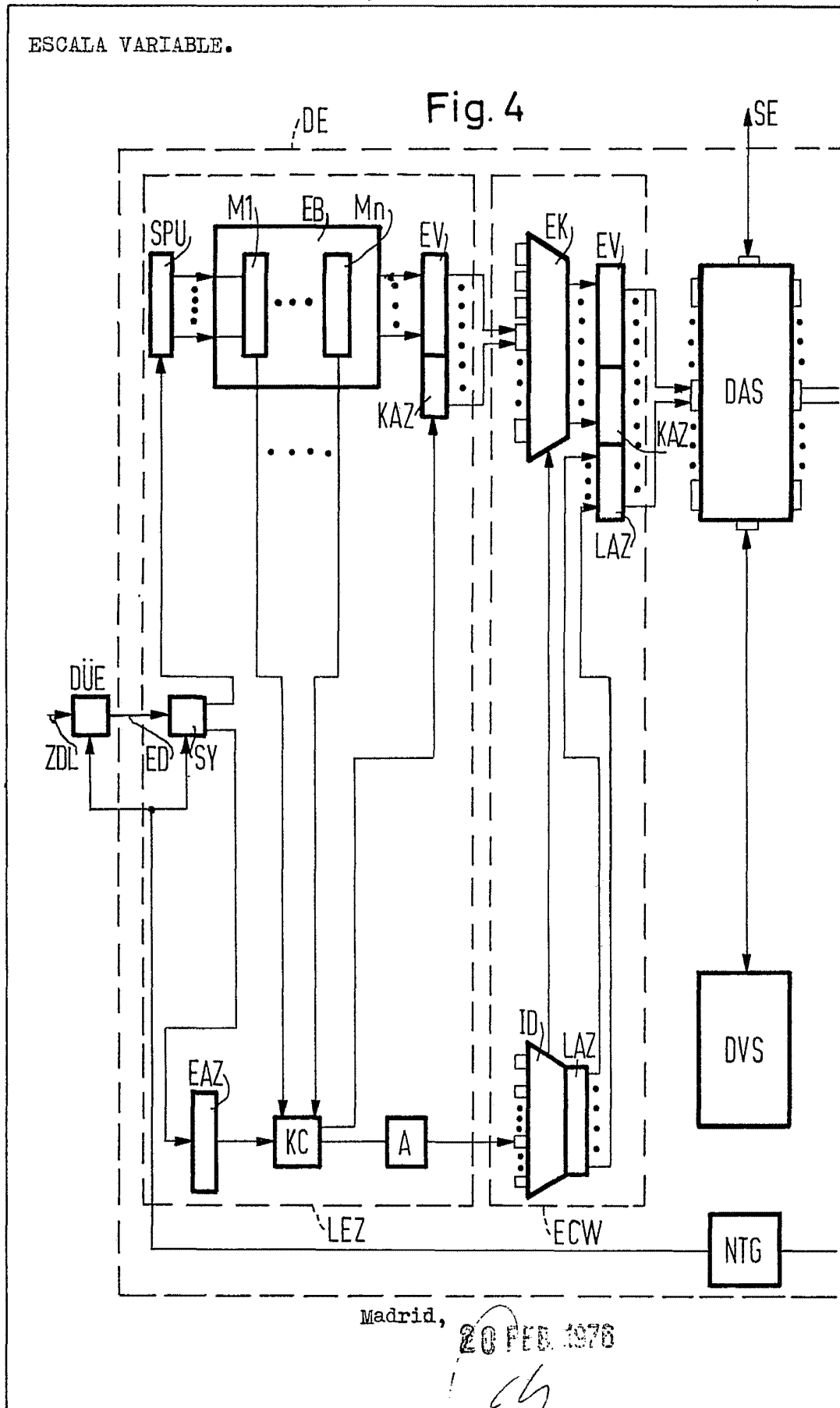
$$E80 = 600 \text{ Bit/s}$$

$$E1 + E21 + E41 + E61 = 2,4 \text{ K Bit/s}$$

Madrid, 20 FEB. 1978

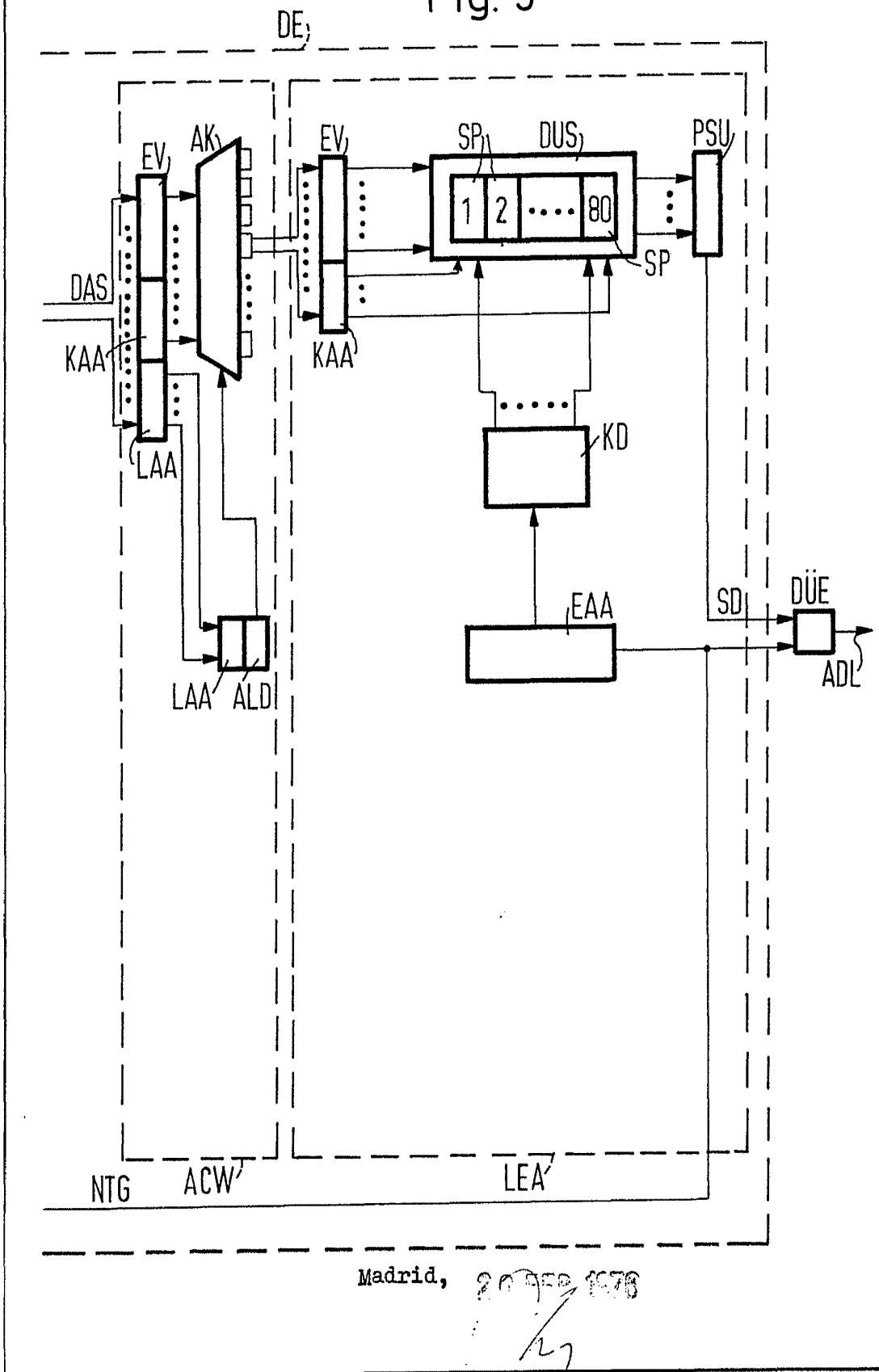
ESCALA VARIABLE.

Fig. 4



ESCALA VARIABLE.

Fig. 5



Madrid, 20 FEB 1978

[Handwritten signature]