

P.- 62.182

TI-5084- Div.

16 ENE. 1976

444,377

Int. Cl.:	C 0 6 F
-----------	---------

MEMORIA DESCRIPTIVA

ANULADO
PROHIBIDA LA EXPEDICIÓN DE COPIAS Y CERTIFICACIONES
para solicitar PATENTE DE INVENCION por 20 años
a nombre de TEXAS INSTRUMENTS INCORPORATED

entidad norteamericana

establecida en 13500 North Central Expressway, Dallas,
Texas 75222, Estados Unidos de América.

por: "UN APARATO DE TRATAMIENTO DE DATOS"
(Clase Internacional G06g)

Prioridad reivindicada: Estados Unidos de América, 13
de Septiembre de 1.973, Nº 397.060.

Las calculadoras electrónicas han evolucionado, a partir de la variedad de sobremesa en la que se utilizan cajas de circuito integrado desunidas o discretas hasta llegar a las calculadoras de mano, en las que se utilizan circuitos lógicos de semiconductores de óxido metálico (MOS) complejos, en una o más pastillas de MOS/LSI (integradas en gran escala). Un sistema de calculadora destinado a ser realizado mediante el uso de sólo una pastilla de MOS/LSI es el que se expone en la solicitud de patente norteamericana afín titulada "Una calculadora de funciones variables", número de serie 163.565, cedida al mismo cesionario de la presente invención. Un sistema de calculadora realizado mediante el uso de una pareja básica de pastillas de MOS/LSI, destinado a su empleo con un sistema de memoria ampliable que comprende como características unas memorias de acceso secuencial (SAM) y unas formaciones lógicas regulares programables (PLA) para aumentar la capacidad de datos y memoria de programa se expone asimismo en la solicitud de patente norteamericana titulada "Una calculadora electrónica", número de serie 255.856, presentada el 22 de mayo de 1972, así como en su solicitud divisional que, con el número de serie 360.984, fue presentada el 16 de mayo de 1973.

Al aumentar por los consumidores la demanda de calculadoras de mano dotadas de sistemas que diesen más

funciones, y funciones más complejas, con una mayor capacidad de memoria, se ha hecho más acuciante la necesidad de obtener dicho sistema con el mínimo número de pastillas de semiconductor, y cada una de éstas con el mínimo número de terminales de patilla. Por ejemplo, la caja normal de MOS para pastillas de LSI (integración en gran escala) contiene 28 patillas y, por consiguiente, es muy conveniente proyectar y construir pastillas complejas de calculadora que requieran tan sólo 28 patillas de salida. Asimismo, por funcionar las calculadoras de mano alimentadas por baterías que, naturalmente, tienen una vida realmente limitada, es de importancia primordial proyectar el sistema de pastillas de calculadora de modo que den un mínimo de disipación de energía.

La presente invención proporciona un sistema perfeccionado de calculadora mediante la realización física de generadores de sincronismo o regulación de tiempo de ciclo y de subciclo en cada una de las pastillas de una pluralidad de ellas, yendo un generador de ciclo y subciclo sincronizado o subordinado a los generadores de otra pastilla. La sincronización se efectúa dedicando un cambio de condición en una de las pastillas, durante el tiempo de un ciclo, para definir la sincronización, y utilizándose el estado efectivo de la condición en otra parte de la pastilla subordinada. El cambio de condición se co

munica en forma de bitio, en una señal de mando de muchos bitios, de la cual otros bitios se dirigen para acceso a una memoria de exclusiva lectura (ROM) de programa, o a una ROM de constantes. Un plan de comunicación de varias pasti
5 llas tal como éste consigue el mínimo de necesidad de pasti
llas y el mínimo de necesidad de área deseados.

El sistema proporciona asimismo una ROM de programa y ROM de constantes precargadas, de masas virtuales, efectuándose la precarga por medio de la respectiva circui
10 teria de acceso de las mismas, para reducir las líneas que de lo contrario se necesitarían. La ROM de programa da el vocablo de instrucción seleccionado, por medio de una técnica de selección o identificación de acceso relativa, median
te la cual el lugar precedente de la ROM es incrementado o
15 reducido, en un sumador completo, en un número correspondiente para obtener el lugar sucesivo. La capacidad o posibilidad de bifurcación viene dada por una pluralidad de registradores de acceso o selección, almacenando uno de los registradores una dirección de acceso incrementada en uno
20 o bien la dirección de acceso precedente, y guardando el otro registrador la dirección de acceso de bifurcación, después de la correspondiente acción de incrementar o reducir. Si durante una comparación se llega a una condición de bifurcación, se utiliza entonces la dirección de acceso
25 de bifurcación. De esta manera se consiguen economías, re

quiriéndose típicamente, para definir el número relativo o correspondiente, un número de bits menor del que de otro modo se necesitaría para definir el lugar específico. El vo cablo de instrucción seleccionado en la ROM se toma por lec tura y se lleva a un registrador seriador, que comunica la instrucción a una memoria compensadora ("buffer") de salida, controlada por la instrucción. De estas ROM de programa y estos registradores seriadores hay varios conectados en paralelo, y sólo el vocablo de instrucción presente en la memoria compensadora seleccionada es el que se devuelve por lectura al registrador seriador, para su sucesiva desco dificación, a fin de controlar el funcionamiento del sistema. Un sistema como éste permite obtener un mayor almacena je de programa con un mínimo de requisitos logísticos de programación ("software").

El sistema de calculadora lleva consigo un regis trador de intercambio, de memoria de datos, en combinación con los registradores de datos usuales. El registrador de intercambio sólo puede hacerse funcionar para intercambiar sus datos con otro registrador, pero tal característica se obtiene a costa de un mínimo de pastilla, por no necesitar se la circuitería de franqueo de paso de salida, que ocupa un gran espacio de pastilla. Se obtienen ventajas similares mediante el recurso de disponer un registrador de subru tinas, en combinación con un registrador de teclado de un

solo bitio. El registrador de subrutinas puede hacerse funcionar tan sólo para guardar y devolver el contenido del registrador de teclado, pero con eso se economiza la reconstrucción de los lugares (localización) de la ROM de programa a la cual hay que hacer la devolución, tras la ejecución de una subrutina. El registrador de teclado almacena y pone en serie las representaciones codificadas de regulación de tiempos de ciclo y las representaciones de matriz de teclado, definiendo una localización de la ROM de programa. Mediante la seriación, sólo se necesita una línea para comunicar la dirección de acceso generada por una introducción en teclado. El sistema está protegido por un comparador contra la doble introducción por teclado.

A los registradores de datos va acoplado un sumador binario plenamente precargado, de bitios en paralelo y dígitos en serie, que es adecuado para funciones de calculadora, pues opera a gran velocidad, con poca disipación de energía y un mínimo de utilización de pastilla, debido a ser pocos sus componentes. Hay un registrador de salida capaz de responder a los bitios del vocablo de instrucción, y que acopla éstos al sumador. Con este uso del vocablo de instrucción para los datos se economiza una programación que de otro modo sería necesaria para generarlos.

Los rasgos constitutivos de novedad que se consideran característicos de la invención se exponen en las re

vindicaciones finales. Ahora bien, la invención en sí, así como otros objetos y ventajas de la misma, se comprenderán del mejor modo por referencia a la siguiente descripción de tallada del sistema de calculadora que se da como ejemplo, correspondiente a una forma de realización del presente invento, tomada en unión de los dibujos adjuntos, en los cuales:

- la figura 1 es una vista en perspectiva de la calculadora electrónica portátil de la invención;

- la figura 2 es un esquema funcional o por bloques, simplificado, del sistema de calculadora de varias pastillas de la invención;

- las figuras 3a-3b son unos esquemas funcionales complejos de la pastilla de operaciones aritméticas (pastilla de aritmética) característica de esta invención;

- la figura 4 es un esquema funcional complejo de la pastilla de SCOM incorporada a la calculadora electrónica de esta invención;

- las figuras 5a ... 5e son unas representaciones que ilustran la codificación del vocablo de instrucción usado en el sistema de la presente invención;

- la figura 5f ilustra la descodificación de la señal exterior (EXT);

- la figura 5g representa la dirección de acceso de ROM guardada en el registrador de identificación o

acceso;

- las figuras 6a-6b son unos diagramas de tiempos que ilustran la sincronización de diversas partes del sistema del presente invento;

5 - la figura 7 es una representación de la matriz de entrada de teclado;

- las figuras 8a-8b representan en esquema eléctrico detallado el sumador plenamente precargado que aquí se propone; y

10 - las figuras 9a, 9b y 9c, respectivamente, ilustran unos detalles de las ROM precargadas, de programa y de constantes, del presente invento.

Con referencia ahora a la fig. 1, se representa en ella, vista en perspectiva, una calculadora electrónica portátil 1 del tipo que puede emplear elementos o rasgos característicos de esta invención. La calculadora 1 comprende un teclado 2 y una presentación 3. La presentación, en una de las formas de ejecución, consta de catorce dígitos o caracteres, proporcionados cada uno por un tubo de descarga gaseosa, una unidad de presentación de cristal líquido, una formación de diodos emisores de luz, u otros medios de presentación. La presentación se realiza de preferencia utilizando una notación científica, que permita la presentación de diez dígitos significativos. De ordinario, la presentación sería de la clase denominada de siete segmentos

15
20
25

u ocho segmentos, previéndose la indicación de un punto (o coma) de separación de decimales para cada dígito. El sistema de calculadora de esta invención está destinado a dar una salida de lectura impresa, si así conviene, mediante el uso de métodos de impresión, sea térmica, sea de tambor. El teclado 2 incluye un juego de teclas numéricas, de cero a nueve, una tecla de separación de decimales y una pluralidad de teclas de función, que incluye funciones exponenciales, logarítmicas y trigonométricas. Las teclas de funciones exponenciales y logarítmicas incluyen las de elevación al cuadrado (X^2), raíz cuadrada de X (\sqrt{X}), recíproca de X ($1/X$), e^X , logaritmo decimal de X ($\log X$) y logaritmo natural de X ($\ln X$). Las funciones trigonométricas incluyen las de arco-seno, arco-coseno y arco-tangente de X, las de seno, coseno y tangente de X y las de seno hiperbólico, coseno hiperbólico y tangente hiperbólica, y argumento seno hiperbólico, argumento coseno hiperbólico y argumento tangente hiperbólica de X. Otras teclas de función incluyen las de almacenar o guardar (STO) y sacar o extraer (RCL), para guardar y sacar un número, respectivamente, en o de los registradores de memoria de la pastilla de SCOM. La tecla de introducción de exponentes (EE) permite introducir como exponente el número presentado en notación científica. Se prevé una tecla (+/-) para cambiar el signo del número presentado. Se prevé asimismo una tecla de intercam-

bio (X:Y) para intercambiar operador y operando en una función aritmética. Hay además otras teclas, más usuales, que incluyen las de despeje total (C), despeje de introducción (CD), y las de sumar (+), restar (-), multiplicar (x), dividir (÷) y signo igual (=). Una tecla de sigma (Σ) permite incrementar un número almacenado en el registrador de la memoria directamente. Se prevé una tecla de factorial de X, (X!), así como una tecla de conversión de grados en radianes y radianes en grados (D/R) y un conmutador de grados/radianes para poner la calculadora a funcionar, sea en grados, sea en radianes.

Con referencia ahora a la fig. 2, se da en ella un esquema funcional por bloques del sistema de calculadora de varias pastillas de esta invención, que ilustra la pastilla de aritmética y la pastilla de memoria de exploración y lectura exclusiva (SCOM), que más adelante se describen con mayor detalle, interconectadas con unas pastillas periféricas que amplían la capacidad y posibilidades de la calculadora. Ahora bien, esta invención concierne principalmente a la pareja de pastillas, de aritmética y de SCOM, encerradas en el recuadro 15 de líneas de trazo interrumpido, pareja de pastillas que proporciona un sistema capaz de funcionar sin las pastillas periféricas. La pastilla de aritmética 10 genera una pluralidad de señales de control que van a la pastilla 12 de SCOM, a una pastilla

exterior 13 de memoria de exclusiva lectura (ROM) que da una mayor capacidad de almacenaje de vocablos de instrucción, al juego de pastillas 14 exteriores de registradores múltiples, que da una mayor capacidad de almacenaje de vocablos de datos, a la pastilla exterior 16 de programador que da medios para programar exteriormente unas subrutinas específicas de programación en la calculadora, y a una pastilla exterior 18 de aparato impresor, para controlar un aparato impresor de salida (no representado) que responda a la misma. Los aparatos impresores de salida pueden ser de un modelo de proyecto usual con adaptaciones a la pastilla 18 de impresor, pero de preferencia son del tipo de impresor térmico o del de impresor de tambor.

Las señales de control generadas por la pastilla de aritmética 10 incluyen las señales de control siguientes:

- la de exterior (EXT) que indica que la pastilla de aritmética se está dirigiendo a la memoria SCOM e indica a cuál de las memorias ROM (de constantes o de programa) se está dirigiendo, y además comunica en el modo de bitios multiplados las señales de control de retención (HOLD) y de condición (COND);

- el bitio de retención (HOLD) en EXT, que indica que se desea efectuar una interrupción en la marcha secuencial normal de la ROM contenida en la SCOM, para que

el sistema pueda efectuar ejecuciones adicionales antes de poner en ejecución el vocablo de instrucción siguiente;

5 - el bitio de condición (COND) en EXT, que indica que se ha activado un circuito de cerrojo de condición, indicando el estado de un índice o bitio denotativo particular, o el resultado de una comparación de índices;

10 - la de inactivo (IDLE), indicativa de la condición de inactividad de la pastilla de datos, esto es, de si la pastilla de datos está realmente en el modo de calcular (no inactiva) o en el modo de presentación o exploración (inactiva), y proporciona la sincronización de los generadores de tiempos de la SCOM con los generadores de tiempos de la pastilla de aritmética;

15 - la de índice A (FLGA), que es la salida seriada del registrador de índices A de la memoria de acceso secuencial (SAM), a un régimen o velocidad de salida determinado por COND;

20 - la de índice B (FLGB), que es la salida seriada del registrador de índices B de la SAM de la pastilla de aritmética, o bien el bitio B1, o primer bitio, de la salida del registrador B;

25 - la de segmentos (SEG A ... SEG G), que es la salida de datos de los registradores de datos para activar la presentación de siete segmentos por dígito, a fin de indicar un número de 0 a 9 por dígito, con arreglo a los tiempos

pos o instantes D;

- la de tiempo o instante de presentación (tiempo D), que comprende señales reguladas en el tiempo, cada una de un ciclo de instrucción de dieciséis tiempos S de
5 duración, en la que los tiempos D se generan en ciclos de dieciséis de manera que los tiempos D progresan en precesión a partir del instante D particular del ciclo precedente;

- las entradas de teclado (líneas K), que son se
10 ñales procedentes del teclado para introducir exteriormente órdenes en la pastilla de aritmética;

- las de vocablos de instrucción (IRG), que indican el particular vocablo de instrucción que comprende trece bitios ($I_0 \dots I_{12}$) almacenado en una unidad particular
15 de memoria SCOM;

- la señal de ocupado (BUSY), que representa la condición de las pastillas periféricas, tales como la de impresor, determinada, por ejemplo, por la pastilla 18 de impresor, de que el aparato impresor está o no ocupado, y
20 puede o no recibir otra orden para efectuar una impresión o escritura;

- las de entrada/salida (I/O), que son unas líneas de datos que transportan bitios de datos procedentes de cualquiera de los diversos registradores y memorias de
25 datos situados en la pastilla de aritmética, en la pastilla

lla de SCOM y en las pastillas de diez registradores.

5 Con referencia de nuevo a la fig. 2, la pastilla de aritmética 10 da a los excitadores 17 de segmentos una información de datos de salida procedente de los registra-
dores B y/o A y del registrador de índices A. La informa-
ción necesaria que se suministra es: la posición de la co-
ma, la posición del punto de separación de decimales, los
10 resultados efectivos de datos a presentar, partiendo del registrador B y/o del A y los datos a presentar proceden-
tes del registrador de índices A. Los excitadores 16 de seg-
mentos comprenden unos circuitos de excitador usuales para
activar las presentaciones 3 arriba mencionadas, y que aquí
se representan como una presentación de siete segmentos más
15 punto de separación de decimales por dígito, con un dígito
activado por cada tiempo D. Así, para una presentación de
dieciséis dígitos en notación científica, activada por
dieciséis tiempos D, hay hasta catorce dígitos en la manti-
sa, dos dígitos para el exponente y se da marcación de sa-
lida no exclusiva a dos dígitos utilizados como anotadores
20 para la mantisa y el exponente.

La pastilla de SCOM da los tiempos D a los exci-
tadores 20 de dígitos, para explorar selectivamente en su-
cesión o secuencia los dígitos de la presentación 3 y el
teclado. La exploración de la presentación se explica con
25 detalle en la mencionada solicitud de patente norteamericana

número de serie 163.565. La percepción de instantes D del teclado se expone más adelante.

5 La pastilla de SCOM 12 es capaz de responder a las señales de mando EXT y $\overline{\text{IDLE}}$ procedentes de la pastilla de aritmética, y genera en respuesta a las mismas los tiempos D, el vocablo de instrucción $I_0 \dots I_{12}$, IRG y los datos que vienen de la ROM de constantes por las líneas I/O, todo lo cual se retransmite a la pastilla de aritmética.

10 La pastilla 13 de ROM representada es una de las del juego ampliable de pastillas periféricas, que permiten ampliar la capacidad de la calculadora. La pastilla de ROM es capaz de responder a las órdenes EXT y $\overline{\text{IDLE}}$ procedentes de la pastilla aritmética, para dar una capacidad de 1024 vocablos de instrucción adicionales por cada pastilla de ROM adicional.

15 La pastilla 14 de registradores múltiples es otro juego de pastillas periféricas que amplía la capacidad de almacenaje de datos del sistema de calculadora de esta invención, hasta diez registradores. La pastilla de registradores múltiples es capaz de responder a las señales de índice A, $\overline{\text{IDLE}}$ e información de I/O procedente de la pastilla de aritmética, suministrando unos datos de llamada o extracción (RCL) por las líneas de I/O en respuesta a la pastilla de aritmética.

25 La pastilla 18 de aparato impresor es capaz de

responder a la información de I/O procedente de la pastilla de aritmética, y a las señales EXT y IDLE procedentes de la pastilla de aritmética, para imprimir con arreglo a los datos presentes en las líneas de I/O. Si se utiliza una pastilla de aparato impresor de impacto, se emplea la orden de índice A procedente de la pastilla de aritmética.

Para reducir al mínimo el número de pastillas o terminales en las pastillas de aritmética y SCOM y llevar al máximo la utilización del área de silicio, ambas pastillas llevan unos generadores de regulación de tiempo por separado, para dar los tiempos S y D, de modo que el generador de tiempo de la pastilla de SCOM depende de la pastilla de aritmética en cuanto al sincronismo. Además, en lugar de obtenerse señales por separado en líneas separadas o independientes entre pastillas, que representen diversas condiciones de la pastilla de aritmética, tales como señales de índice o bitio denotativo y de sincronismo, como se ha utilizado antes de ahora en los primitivos sistemas de calculadora de pastillas múltiples, el sistema de dos pastillas de esta invención ostenta como característica una señal de mando multiplada que va desde la pastilla de aritmética a la pastilla de SCOM, y en la que cada bitio de un subgrupo o juego subordinado de bitios contenido en el vocablo de mando representa una condición requerida particular que se va a transmitir. Por ejemplo, la señal EXT comunicada a la

pastilla de SCOM transmite una señal de registrador de programa (PREG) en el bitio S_0 , indicativa de que se está seleccionando para acceso la pastilla de SCOM; transmite además una segunda señal en el segundo bitio, en el instante S_1 , para indicar la condición COND; y transmite en el tercer bitio (instante S_2) la condición HOLD, (de retención) indicando que no se va a incrementar el registrador de acceso de ROM. Hasta ahora se necesitaban tres señales y pastillas por separado para transmitir esta información. Aun cuando la pastilla 10 de aritmética y la pastilla 12 de SCOM proporcionan un sistema de calculadora de funcionamiento básico, tal como aquí se expone, la pareja de pastillas da un sistema básico que prevé por anticipado la adición de unas pastillas de función de salida y almacenaje periférico, de preferencia realizadas en MOS/LSI utilizando nuevos métodos de identificación o acceso para reducir al mínimo el número de pastillas.

En las figs. 3a-3b y en la fig. 4 se ilustran, en esquema funcional de detalle y por bloques, la pastilla de aritmética y la pastilla de SCOM indicadas en el sistema de calculadora de la fig. 2. Sigue a continuación una descripción detallada de las memorias de exclusiva lectura (ROM) precargadas, de masas virtuales, y la unidad de lógica aritmética (ALU) precargada, estando los demás bloques funcionales dentro del conocimiento adquirido por

una persona versada en la materia expuesta a la luz de la solicitud de patente norteamericana afín, número de serie 360.984 y presentada el 16 de mayo de 1973, que se incorpora a la presente como referencia. Se sobrentiende que en

5 los esquemas de bloques de las figuras 3a-3b y 4, una conexión representada por una sola línea puede representar una pluralidad de interconexiones en el equipo físico real y efectivo, y para mayor facilidad y sencillez de la ilustración, una sola línea puede representar una pluralidad

10 de funciones diferentes. El sistema de calculadora de esta invención incluye en la pastilla de SCOM una memoria ROM 20 de programa principal capaz de responder a unos medios de descodificación y franqueo de paso, 21 y 22 respectivamente, que acoplan selectivamente a la ROM el voca

15 blo de acceso contenido en el registrador de direcciones de acceso 23 para controlar cuál de los lugares de la ROM es el identificado para acceso. Un registrador de retención 24, en combinación con un circuito 25 de sumar 1, genera selectivamente en el registrador 23 una nueva dirección

20 de acceso de ROM, cuando se ha ejecutado un vocablo de instrucción de bifurcación. Como se estudiará más adelante, la bifurcación se realizará físicamente utilizando un método relativo en el que, en lugar de meter completa una nueva dirección de acceso, como suele hacerse, se incrementa

25 positivamente o negativamente la dirección de acceso

antigua, por medio de una cantidad numérica relativa o correspondiente, para generar la nueva dirección de acceso.

Un registrador 26 de instrucciones es capaz de responder a la salida de la ROM 20, para almacenar el vocablo de instrucción $I_0 \dots I_{12}$ que entra, en paralelo, en el registrador 26 de instrucciones. A continuación, el vocablo de instrucción se transmite o comunica en serie (seriado) a la pastilla de aritmética, por medio de la memoria compensadora 27 de salida, que está bajo el control de la ROM 20. Hay una PLA (disposición lógica programable) 28 de descodificación, capaz de responder al registrador 26 de instrucciones después de transmitido el vocablo de instrucción a través de la memoria compensadora 27 y reintroducido en el vocablo de instrucción, dando órdenes de almacenar y sacar o extraer a los registradores F y G (29 y 30) respectivamente, y a la memoria ROM de constantes 35, a través del circuito 31 de control de I/O.

Después de abandonar el vocablo de instrucción la memoria compensadora 27 para su transmisión a la pastilla de aritmética, se comunica además al sumador 32 y al comparador 33 de bifurcación, en el que, si el bitio I_{12} del vocablo de instrucción indica que se va a ejecutar una bifurcación, el comparador de bifurcación activa o habilita el registrador 24 de retención aceptando el nuevo vocablo de instrucción que viene del sumador 32, el cual

añade un incremento positivo o negativo a la antigua dirección de acceso en almacenaje, recibida del registrador de acceso 23, para generar la nueva dirección de acceso.

5 La identificación de acceso 34 de registrador de constantes es capaz de responder a un vocablo de mando EXT procedente de la pastilla de aritmética, para dirigirse o seleccionar a una constante contenida en la ROM 35 de constantes, que da hasta dieciséis vocablos constantes de 16 dígitos y 4 bitios. La circuitería lógica 36 de llamada o
10 extracción acopla la identificación de acceso 34 de registrador de constantes al descodificador de acceso 37 de la ROM 35 de constantes.

En la pastilla de SCOM está además realizado un contador 38 de S y un generador 39 de exploración de D,
15 para generar las señales de regulación de tiempos S y D de este sistema calculador, de las cuales las de tiempo D ($D_0 \dots D_{15}$) se dan como salida a los excitadores de dígitos y al teclado, como se ilustra en la fig. 2. Ambos generadores están sincronizados por una orden procedente de
20 la pastilla de aritmética, orden que se sincroniza con los tiempos D y S de la pastilla de aritmética.

La pastilla de aritmética de las figs. 3a-3b es capaz de responder en general al vocablo de instrucción IRG que viene de la pastilla de SCOM y a las entradas
25 anteriores de operador procedentes del teclado y de otras

pastillas periféricas, para ejecutar el vocablo de instrucción particular y efectuar la operación aritmética indicada. Los registradores de datos principales del sistema de calculadora de esta invención son los registradores A ... E, designados con las referencias 50a ... 50e, respectivamente. Están realizados físicamente en forma de memoria de acceso secuencial (SAM) excitada por un conmutador 51 que excita asimismo a una matriz de contrafase 52, para generar señales de regulación de tiempo. También están realizados en forma de SAM cuatro registradores de 1 bitio utilizados del siguiente modo: dos registradores de índices o elementos denotativos: el de índice A (53a) y el de índice B (53b); el registrador 54 de teclado, que es un registrador de varios usos; y un registrador 55 de subrutina. Se sobrentiende que, aunque aquí se utiliza el término "registrador" para describir la realización física de la SAM, esto se hace para dar una descripción de tipo instructivo o de "caja negra", pues interiormente no existe en realidad desplazamiento alguno efectivo de datos. Por consiguiente, los elementos de "memoria" SAM seleccionados secuencialmente no son "registradores de desplazamiento", en el sentido literal. Sobre los datos contenidos en los registradores A ... E, como se estudiará más adelante con detalle, se actúa por medio del circuito sumador 55 controlado por las puertas selectoras 56, el control 57 de la ALU, el circui-

to de control 59 de generador de bitios de arrastre y toma y corrector de BCD, y el corrector de BCD 61.

Las puertas selectoras 62 controlan el intercambio y recirculación de los registradores A ... E. La calculadora presenta sus resultados poniendo como salida el contenido del registrador B y/o el registrador A, de preferencia el registrador A, y el registrador de índice A, para excitar o activar la PLA 63 descodificadora de segmentos, que da la presentación de salida como se indica en la fig. 2. La circuitería 64 de supresión de ceros permite suprimir los ceros a la izquierda, de manera que se exhibe primero solamente el dígito más significativo, distinto de cero.

Un quinto registrador de 1 bitio, el registrador 5 o R5, de cuatro dígitos de duración, es un registrador de varios usos capaz de responder a la salida del circuito sumador 55, a las líneas de I/O y al vocablo de instrucción procedente de la PLA 72, de descodificación de índices, controlada por el control 66 de R5. El control 66 de R5 da al registrador 5 unas entradas de datos de control y unas entradas de control, en respuesta a la información de instrucción descodificada. Es rasgo característico de esta invención el constituido por los medios que permiten introducir cuatro bitios del vocablo de instrucción en el registrador 5, al producirse la orden "NUM → R5". Como el registrador 5 está acoplado a los registradores principales

de SAM y a la ALU, tal previsión permite el uso de un subgrupo del vocablo de instrucción como datos para ejecución. Tal característica facilita la generación de datos de programación, requeridos en diversas subrutinas.

5 La matriz de contrafase 52 da información de tiempos al generador 67 de tiempos D, que es un contador en cola - anillo ("ring-tail") para generar un ciclo de instrucción o tiempo D que comprende dieciséis tiempos S. El generador 67 cuenta hacia atrás, desde 15 a cero en ciclos, haciendo que los tiempos o instantes D aparezcan en secuencia precesiva o de retroceso aparente. El comparador 68 de prueba de D/S y máscaras de índice es capaz de responder a los tiempos S y D para generar impulsos de sincronismo y señales de protección o máscara para operaciones de índice denotativo, respectivamente, y para activar el circuito 80 de COND. El generador de espera 69 es capaz de responder al generador de tiempos D y a un vocablo de instrucción descodificado, procedente del descodificador 72, para generar una orden de espera destinada al bloque de lógica y codificador 77, para controlar la exploración del teclado.

10

15

20

El comparador 71 de tiempos D y separación de decimales (punto decimal) es capaz de responder a los tiempos D y al registrador 5 (65) para generar un punto de separación de decimales en el lugar apropiado en el tiempo, y para finalizar la supresión de ceros.

25

La descodificación de los vocablos de instrucción procedentes de la pastilla de SCOM se hace localmente en la pastilla de aritmética. Esto es, los vocablos de instrucción se descodifican inicialmente en la PLA 83 de descodificación de máscaras, para generar bitios de máscara que se envían a la unidad de lógica aritmética (ALU), para comunicar informaciones tales como el lugar de separación de decimales, la mantisa y la colocación de exponente. El vocablo de instrucción se comunica luego al comparador 68 de máscara de indica y D/S, y también a la matriz 72 de descodificación de índice que controla la entrada y salida de los registradores de índices 53a y 53b por medio del control 73 de entrada/salida de índices. El vocablo de instrucción se comunica también desde la PLA 83 de descodificación de máscaras a la matriz 73 de descodificación de R, y luego a la matriz 74 de descodificación de signa, para controlar las puertas selectoras 56 y 62 para el funcionamiento y selección de registradores.

Mediante el uso de la descodificación localizada se simplifica la regulación de tiempos del sistema de calculadora y se logran considerables economías de espacio en el silicio, mediante la reducción de la longitud de hilos de conexión de un subsistema a otro. En los sistemas primitivos, para obtener una descodificación más centralizada se necesitaba transmitir por conductores la or-

den descodificada a casi todas las partes de la pastilla.

Las entradas exteriores son suministradas a la pastilla de aritmética, por el operador del teclado, a través del teclado ll y por las líneas K hasta una PLA de codificar 75. Una orden de activación particular del teclado enviada al circuito 76 de despeje del equipo físico ("hardware") genera las órdenes apropiadas para iniciar y reponer la calculadora al conectarse la batería. La PLA de codificar 75 suministra la información codificada de las líneas K al bloque de lógica y codificador 77 y a un comparador de K 78. El codificador y grupo lógico 77 suministra selectivamente coordenadas de K y tiempo D, en serie, al control 79 de registrador de teclado y registrador de subrutina, para su introducción en el registrador 54 de teclado. El comparador 78 de K permite efectuar la determinación de que no se ha activado una línea K específica o, recíprocamente, determina por un procedimiento de eliminación cuál de las líneas K se activó. Esta información es comunicada a un circuito de condición 80, que consiste en un circuito de cerrojo versátil, capaz de responder a una pluralidad de funciones dando el estado de diversas condiciones en unos instantes preseleccionados. El cerrojo 81 de inactivo es capaz de responder a la PLA 72 de descodificación de índices, y da información a los controles de salida de presentación diciendo si la calculadora está o no en estado inac

tivo o no calculante, para borrar adecuadamente la presentación. Esta información es comunicada además al terminal de inactivo indicado para transmisión a la pastilla de SCOM, para sincronizar allí los generadores de S y D.

5 Otro rasgo característico importante utilizado en la calculadora de esta invención es la técnica empleada para reducir la disipación de energía en las pastillas mediante el uso de cargas de empobrecimiento para los circuitos de descodificar. Esto es, los circuitos de descodificar, tales como los descodificadores 28, 72, 73, 74 y 82
10 están realizados físicamente en forma de disposiciones lógicas programables (PLA), ya conocidas en la técnica del ramo, que utilizan dispositivos de carga realizados en MOS en el modo de empobrecimiento. Para lograr niveles óptimos
15 de disipación de energía, las cargas se regulan en el tiempo periódicamente según lo necesario, para disipar energía sólo cuando es preciso durante el ciclo. Es decir, se consigue una sustancial reducción de la disipación de energía activando las cargas y, por lo tanto, consumiendo energía
20 sólo durante la parte del ciclo en que se requiere una salida. Las cargas 256 son unos dispositivos MOS de carga de empobrecimiento de canal P, de tipo habitual, ya conocidos antes de ahora pero no utilizados en el campo de las calculadoras. Los dispositivos 256 de carga de empobrecimiento
25 se realizan físicamente utilizando métodos ya conocidos de

implantación de iones. Como se verá en relación con la matriz 73 de descodificación de R, las cargas pueden también regularse en el tiempo de manera que entren en funciones solamente durante un tiempo S específico, para dar un estado óptimo de disipación de energía. Con anterioridad se han utilizado, para reducir la disipación de energía en las disposiciones lógicas programables (PLA) no poseedoras de dispositivos de carga de empobrecimiento, que daban paso a la energía de V_{DD} directamente a la formación, unos métodos que requerían componentes adicionales y una condición disipativa de energía menos deseable.

Para una más clara comprensión de los rasgos característicos útiles, constitutivos de novedad y no evidentes, de la presente invención, se da a continuación con mayor detalle la relación funcional mutua de los componentes de circuito indicados:

La memoria 20 de programa comprende una ROM nueva en su género, de 13 x 1024, para almacenar el programa de control, e incluye como características ventajosas la toma de masas virtuales, un nuevo método de precarga y un nuevo diseño de distribución que reduce el número de líneas de masa. Mediante el empleo de una ROM de masas virtuales como memoria de programa se consiguen una reducción de energía y una economía de silicio apreciables.

La configuración de masas virtuales requiere ven

tajosamente sólo una línea de V_{SS} o masa por cada par de bitios de instrucción. Esto es, las líneas de salida acoplan los bitios respectivos del vocablo de instrucción $I_0 \dots I_{12}$ que vienen de la ROM principal 20 al registrador 26 de instrucciones. Con referencia a las figs. 9a-9b, cada pareja de líneas 473 de salida es capaz de responder a ocho líneas de columna 474 que están selectivamente acopladas entre sí por medio de unos transistores de descodificación 486... 488 conectados en serie, y además acopladas a una línea de V_{SS} compartida 475, en lugar de habilitarse, como es habitual, una sola línea de V_{SS} por cada agrupación de columnas. Esto proporciona un considerable aumento en la densidad de agrupación.

La célula de memoria 484 y el método de masas virtuales son ya conocidos en general. Ahora bien, se utiliza un método de precarga nuevo en su género. En el instante S1-P1, todas las líneas del circuito 22 de acceso o identificación de entradas se descargan a V_{SS} por la línea 479. Esto suministra unos ceros lógicos a la circuitería de descodificación por las líneas 492, para acoplar todas las columnas de la matriz de memoria a las líneas de salida 473 de manera que todas las líneas de columna, así como las líneas de salida, se precargan en el instante S1Ø1 por la puerta 477. De la línea de V_{SS} 275 se desacopla en 476 la tensión V_{SS} , lo que impide que se cortocircuite la ten

sión de precarga. En efecto, la memoria adquiere la precarga (es precargada) por su circuitería de descodificación de acceso.

Después de precargadas todas las columnas, se toman luego, en el instante S1Ø2, las direcciones de acceso de $A_0 \dots A_9$ y se introducen en la circuitería de franqueo de paso, y en el instante S1P2 se introducen unos dígitos por lectura en la circuitería de descodificación respectiva, para seleccionar la línea 474 de columna deseada y acoplarla a la línea de salida 473 y a la V_{SS} . Los bits $A_0 \dots A_6$ presentes en la línea 425 seleccionan entonces la línea 489 de fila deseada, de manera que en las líneas de salida 473 sólo se pone, en lectura, una célula de la ROM principal por cada dígito.

De esta manera se obtiene una memoria ROM de gran densidad y bajo consumo de energía, para almacenar hasta 1024 vocablos de instrucción. Sólo se requiere una línea de V_{SS} por cada par de dígitos de vocablo de instrucción, lo que reduce al mínimo la cantidad de espacio de silicio requerido para líneas de masa y, por tanto, lleva al máximo la densidad de agrupación. Los métodos de precarga que utilizan señales franqueadas de V_{DD} y V_{SS} permiten el funcionamiento de la ROM a gran velocidad. La inclusión de bits del vocablo de instrucción para especificar cuál de las ROM del sistema se ha seleccionado para acceso permite

acoplar una pluralidad de ROM en paralelo, y seleccionar un solo vocablo de instrucción de entre la pluralidad de ellos, para su ejecución por la calculadora.

5 Los vocablos de instrucción $I_0 \dots I_{12}$ se toman por lectura de la ROM 20 de uno en uno, con bitios en paralelo, y se llevan a un registrador de instrucciones 26 que funciona como convertidor de paralelo en serie para comunicar en serie (seriado) el vocablo de instrucción a la pastilla de aritmética, por medio de la memoria compensadora 27, por la línea de IRG. La memoria compensadora o "buffer" 27 es controlada por la ROM 20 por medio de la línea CS de selección de pastilla, que indica que la ROM 20 ha sido identificada realmente para acceso permitiendo la salida y transmisión del vocablo de instrucción, tomado por lectura del registrador 26 de instrucciones, a la pastilla de datos. De no ser así, un vocablo de instrucción procedente de otra ROM y presente en otra pastilla (por ejemplo, la pastilla de ROM) sería expedido bajo el control de su CS. Una vez activada la memoria de compensación 27 por la línea de selección de pastilla (CS), el vocablo de instrucción es transmitido por la línea de IRG a la pastilla de datos, y reintroducido después en el registrador 26 de instrucciones para ser descodificado a continuación por la PLA 28 - -

10

15

20

de descodificación. Tal reintroducción y sucesiva descodificación es característica del presente invento, mediante la cual el empleo multifuncional del registrador 26, primero como convertidor de paralelo en serie del vocablo de instrucción y luego como registrador para descodificar el vocablo de instrucción, reduce las necesidades de componentes y de medios de programación.

Asimismo, por estar el sistema de calculadora de esta invención destinado a acomodar hasta ocho pastillas de SCOM o de ROM, o cualquier combinación de las mismas, tal reintroducción y descodificación sucesiva permite acoplar en paralelo las memorias (hasta ocho) ROM y/o SCOM, en la compensadora 27, hasta obtener el sistema de dos pastillas con un mínimo de necesidades de control y de sincronismo.

En la pastilla de aritmética, los vocablos de instrucción procedentes de la ROM 20 se descodifican localmente en varias PLA de descodificación, incluidas la PLA 73 de descodificación de "máscaras" y la 74 de descodificación de sigma, cuyas funciones se analizarán más adelante. Los datos se guardan o almacenan en unos registradores 50 que, fundamentalmente, son unas memorias de acceso aleatorio identificadas o seleccionadas secuencialmente para acceso, organizadas a manera de cinco registradores de datos de dieciséis dígitos cada uno. El registrador E (designado 54c),

aunque realizado físicamente de manera semejante a los registradores A ... D en configuración básica de SAM, no posee terminales de salida directa, y funciona sólo intercambiando sus datos con los contenidos en el registrador A.

5 Tan limitadas funciones, no obstante, son extremadamente útiles para economizar instrucciones de programación y requisitos de equipo físico, al incrementar el acceso a la ALU del sistema de calculadora. Por ejemplo, mediante la inclusión de un quinto registrador de acceso con capacidad para intercambiar su contenido con el de uno de los
10 cuatro registradores directamente acoplados a la ALU, el sumador resulta efectivamente capaz de responder a un registrador adicional sin las necesidades de equipo físico que traería consigo una conexión directa a la ALU. Es decir, mediante el recurso de almacenar un quinto vocablo de
15 datos en el registrador E, el sumador no sólo es sensible (capaz de responder) a los registradores A, B, C y D sino que, al terminarse la operación del vocablo de datos en el registrador A, el contenido del registrador E puede intercambiarse con él, para que sobre el mismo opere el sumador
20 55. En efecto, el sistema de calculadora de esta invención tiene como característico un sumador de N entradas capaz de responder a N+1 registradores, lo que convierte la inclusión de tal registrador en una importante característica de la presente invención.
25

Los registradores de índice 53 y los de teclado 54 y subrutina 55 son unos registradores de dieciséis dígitos de 1 bitio, realizados en forma de memoria de acceso secuencial (SAM), y de ellos cada dígito es programable por separado para obtener una utilidad óptima. El registrador de teclado funciona principalmente recibiendo controles codificados desde el teclado para eventualmente interrumpir y controlar la ROM principal 20 de la pastilla 12 de SCOM.

Un registrador de teclado como éste, realizado físicamente en una configuración de memoria de acceso secuencial (SAM), y la restante circuitería lógica que proporciona los bitios de control apropiados en los instantes $S_0 \dots S_2$, constituyen una importante característica de esta invención que permite una comunicación flexible con otras pastillas del sistema de calculadora, con un mínimo de necesidades de terminales o patillas, consiguiéndose así un máximo de utilización del área de silicio.

El registrador de subrutinas, al igual que el registrador E, no tiene salida alguna directa al exterior; por el contrario, su función se limita al intercambio con el registrador de teclado, funcionando principalmente como memoria para guardar direcciones de acceso o identificación de programa durante una instrucción de salto o bifurcación, a fin de recordar el lugar al cual ha de retornar el control después de ejecutada la subrutina. Todas las operacio

nes con los datos introducidos en los registradores 50 se realizan en una unidad de lógica aritmética (ALU) situada en la pastilla de aritmética, unidad que es del tipo de bits en paralelo y dígitos en serie, y lleva como característico un nuevo sumador binario 55 plenamente precargado y de propagación de arrastre. El nuevo sumador binario hace uso de conmutación bidireccional a base de transistores de efecto de campo y puerta aislada (IGFET) para conmutar terminales de entrada ("fuentes") de corriente de IGFET dando un sumador binario especialmente destinado a la aplicación de semiconductores de óxido metálico (MOS) en general, y concretamente en unidades de lógica aritmética de calculadoras. La circuitería disyuntiva exclusiva empleada de manera usual en los circuitos de entrada y salida ha sido eliminada, mediante su incorporación a la lógica del sumador en sí, para reducir el tamaño de circuitos necesario.

Los sumadores con propagación de dígitos de arrastre son ya conocidos en general en la técnica del ramo, tal como se enseña en la solicitud de patente norteamericana afín, número de serie 176.667, por "Una unidad de lógica aritmética de precarga", que precarga sólo el circuito de arrastre/toma y el circuito sumador completo binario, objeto de la patente de EE.UU. número 3.602.705, que hace uso de puertas de transferencia a base de IGFET, en general. El sumador de esta invención, en cambio, realiza físicamente

la función de suma $S = C (AB + \overline{AB}) + \overline{C} (\overline{AB} + \overline{AB})$ y la función de propagación de arrastre $K + AB + C (\overline{AB} + \overline{AB})$ de un modo particular, especialmente adecuado para la utilización en sistemas complejos que requieran una reducida disipación de energía y un mínimo de necesidades de silicio. El sumador 55 hace uso de una técnica de precarga para condicionar el sumador entero antes de cada paso o etapa de sumar/restar, a fin de reducir al mínimo la disipación de energía. A continuación se da el funcionamiento del circuito completo.

La unidad de lógica aritmética consta fundamentalmente del sumador binario 55 de bitios en paralelo y dígitos en serie, y el corrector decimal codificado en binario (BCD) 61 que incluye la lógica de arrastre y toma. El sumador efectúa las sustracciones mediante adición del complemento a 2.

Con referencia ahora a las figs. 8a y 8b, los cuatro pasos en paralelo 217 ... 220 son capaces de responder respectivamente a las salidas de "1", "2", "4" y "8" provenientes de dos registradores de la SAM. La unidad de sumador, en respuesta a las respectivas entradas de bitios, genera unas salidas que van acopladas al corrector BCD 61 y a la lógica de control, sea para el acoplamiento adicional a R5, sea para su devolución a un registrador de SAM. Cada paso de sumador 217 ... 220 es capaz de responder a una or

den de instrucción $\overline{\text{SUB}}$ y SUB que respectivamente ordenan al sumador obtener y suministrar la diferencia o la suma de los bitios dados como entrada. Las señales $\overline{\text{SUB}}$ y SUB son generadas por una descodificación del bitio de instrucción I_3 en el descodificador 73 de R. Si está presente la señal SUB, los pasos 217 ... 220 ejecutan entonces las sustracciones mediante suma del complemento a 2.

Considerando ahora el paso 217 de X_1-Y_1 , las puertas disyuntivas inversoras (NI) 178 y 179 son capaces de responder respectivamente al primer bitio de los registradores A y C y al primer bitio de los registradores B y D, y a la PLA 83 de máscara de dígitos. Las líneas de registrador respectivas transportan el bitio apropiado, procedente del registrador correspondiente, en tanto que la línea que viene de la disposición lógica programable (PLA) 83 transporta el bitio de "1" de una constante generada en ella. Esta constante es generada en respuesta a los bitios $I_8 \dots I_{12}$ del vocablo de instrucción.

En efecto, las puertas NI 178 y 179 permiten al sumador 55 poder responder a cinco fuentes en diversas combinaciones. Incluyendo la característica de tener un quinto registrador de SAM, o registrador E, según lo anteriormente expuesto, el sumador 55 es entonces capaz de responder, en realidad, a una sexta fuente. Mirando, pues, al bitio de "1" del sumador, el sumador tiene dos entradas para

sumar un primer número X y un segundo número Y, de los cuales X puede seleccionarse de una de tres fuentes e Y puede seleccionarse de una de tres fuentes también, lo que permite a un sumador de dos entradas poder responder a seis
5 fuentes con un mínimo de conexiones de patilla y controles de lógica.

Las entradas al bitio de "1" se comunican o transmiten respectivamente al circuito de propagación de arrastre o al circuito de sumación, sea en su forma real,
10 sea en su forma complementaria, con los complementos engendrados por unos inversores 182 y 183. Las señales de control $\overline{\text{SUB}}$ y SUB, sean o no la base o el complemento de la entrada Y, se suministran al circuito de propagación de arrastre y al circuito de sumación.

15 Las puertas conectadas en serie 184 y 185, en paralelo con las puertas conectadas en serie 186 y 187, proporcionan una función disyuntiva exclusiva de las entradas. Estas entradas, durante una instrucción de sumar (SUB) son las siguientes: X a 184; \overline{Y} a 185; \overline{X} a 186 e Y a 187. Los
20 electrodos de entrada o "fuente", conectados en común, de las puertas 185 y 187 dan una salida para la señal de propagación de arrastre que va al bitio de "2". Los electrodos de salida o "drenaje" en común de las puertas 184 y 186 van acoplados, a través del dispositivo de precarga 190, a una
25 línea 196 que está selectivamente conectada a la tensión

V_{DD} , para la precarga. Esto es, antes del instante S apropiado durante el cual vaya a procederse al cálculo, las líneas se precargan en los electrodos de salida en común de las puertas 184 y 186. La puerta 191 que acopla el dispositivo de precarga 190 a los electrodos de salida conectados en común es activada por la línea 201 que transporta la señal de arrastre/toma procedente del dígito anterior. Si se ha generado con anterioridad un arrastre para una operación de sumar o una toma para una operación de restar, se activará la puerta 191 por medio de la línea 201. La puerta 191 acopla la línea de precarga 196 y la carga precargada 190, a los terminales de salida en común de las puertas 184 y 186. En efecto, el segundo término de la función K de propagación de arrastre ha sido realizado físicamente, mediante el recurso de poner en coincidencia lógica la señal de arrastre con las puertas 184 ... 187, lo que consiste en $C(\overline{AB} + \overline{AB})$.

Para realizar físicamente el primer término de la función K, las puertas 188 y 189 van conectadas en serie, llevando acopladas las entradas X e Y durante la adición. Uno de los terminales de la conexión seriada de las puertas 188 y 189 va conectado a la línea de salida 205 de propagación de arrastre para el bitio de "1", y el otro terminal está acoplado a la línea de precarga 196. Como puede verse, es dinámica la operación en que las líneas se cargan prime

ro, durante el ciclo de P_1 de un tiempo S , y luego se descargan selectivamente al producirse las condiciones de entrada apropiadas. Durante un ciclo de sumar, se desea un arrastre si uno u otro de los sumandos X_1 o Y_1 están formados por "1", y se ha generado un arrastre procedente del dígito anterior. Este arrastre se ejecuta dando, al activarse la puerta 191, una carga de P_1 que representa el arrastre anterior, en ocasión de que las conexiones en serie de las puertas 184-185 y 186-187 representan los sumandos $X-\bar{Y}$ y $\bar{X}-Y$. En la condición de que haya un arrastre anterior que añadir a un sumando igual a 1, se comunica entonces la precarga de V_{DD} voltios o un cero lógico a la línea de salida 205. De igual modo, en la condición de que ambos sumandos X_1 e Y_1 sean 1, es preciso generar un arrastre, de manera que en las condiciones de ser X_1 e Y_1 igual a 1, la condición de precarga en el electrodo de salida de la puerta 189 es lo que se comunica a la línea 205 de salida de propagación de arrastre.

Para realizar físicamente la ecuación de suma, se utiliza otro juego de puertas seriadas 192-193 y 194-195, en el que cada juego seriado es capaz de responder, sea a la forma complementaria, sea a la forma real o de base, de las entradas X_1 e Y_1 . Los electrodos de salida de las puertas conectadas en común 192 y 194 van conectados a la línea 196 de precarga P_1 , y los electrodos de entrada de las

puertas 193 y 195 van conectados en común como salida a un
circuito disyuntivo exclusivo que comprende una puerta de
coincidencia 197, una puerta NI 198 y otra puerta NI 199.
La puerta de coincidencia (puerta "Y") 197 es capaz de res
5 ponder a la salida de la pareja conectada en serie y es tam
bién capaz de responder a la puerta 191 que lleva el arras
tre procedente del dígito anterior. La puerta NI 198 es tam
bién capaz de responder al arrastre anterior, y es también
capaz de responder a la salida de la pareja seriada. La sa
10 lida de la puerta disyuntiva exclusiva recibe paso, en el
instante ϕ_2 del tiempo S de la función sumar/restar, por me
dio del inversor 200, dando la salida con arreglo a la fórm
mula $S = C (AB + \overline{AB}) + \overline{C} (\overline{AB} + \overline{AB})$.

Para efectuar una función de resta o sustracción,
15 el sumador hace uso de una adición de complemento a 2, por
la cual el sustraendo se invierte y la salida de arrastre
del cuarto bitio se vuelve a sumar al primer bitio. La in
versión requerida se realiza físicamente usando el inversor
183 y las puertas de transferencia que hay en la línea 180
20 de \overline{SUB} para suministrar la entrada de Y_1 invertida a aque
llas puertas que antes hayan respondido a Y_1 .

Mediante el uso de una técnica de precarga como
ésta, en combinación con transistores de efecto de campo
y puerta aislada (IGFET), se obtiene el sumador de propaga
25 ción de arrastre de esta invención, lográndose un mínimo de

disipación de energía y un mínimo de ocupación de silicio. Es más, como la precarga durante P_1 representa sólo la cuarta parte de un ciclo de trabajo del tiempo S, se habilita un sumador que funciona con tiempos mínimos de retardo, para trabajar en alta frecuencia. Los bitios de "2", "4" y "8", 218 ... 220, funcionan de manera semejante a la arriba expuesta.

Para obtener las señales de arrastre y toma procedentes del bitio de "8", según lo requerido en el sumador arriba descrito, la señal de arrastre/toma que sale del bitio de "8" se invierte y es transmitida por la línea 204 a la puerta compleja 208. La puerta 208 es también capaz de responder a una combinación seleccionada de las salidas del sumador 55 por medio de una línea 229, de manera que será detectada toda representación de código "ilegal" que se genere. Por ejemplo, como el sumador 55 suma en binario y las entradas X e Y están en decimal codificado en binario, a veces la salida del sumador 55 en las líneas 221 ... 224 da un número mayor que 9, lo que representa un código "ilegal". Por consiguiente, la puerta 211, que es capaz de responder a las salidas de "4", "8" y "2", da a la puerta 208 una señal indicativa de haberse recibido un código ilegal. Si la salida del sumador 55 genera un número mayor que 9, esto es, el bitio de "8" es un 1 en la línea 230 y uno u otro de los bitios de "4" o "2", en las líneas 231 y 232,

tienen asimismo el valor o nivel de 1, la puerta 211 da en tonces un nivel 0 a la puerta compleja 208, indicando que es preciso añadir una corrección numérica en forma de arras tre.

5 La puerta compleja 202 genera la señal de arras-
tre/toma en respuesta a la salida de arrastre C_8 presente
en la línea 204, a la entrada $\overline{\text{SUB}}$ presente en la línea 180,
y a la entrada de reposición de arrastre/toma (CBRS) o bien
por medio de la entrada $\overline{\text{SUB}}$ en combinación con una salida
10 procedente de la puerta 208 que indica la ausencia de có-
digo ilegal, la puerta 202 de una señal de arrastre para
poner el "bitio de retrosuma" requerido en complemento a
2. Como puede verse, si la puerta 208 da una salida indi-
cando que el sumador ha generado un código BCD ilegal, no
15 se genera entonces señal alguna de arrastre.

 Durante la función de adición, si se genera una
señal C_8 como salida del bitio de "8", el 0 se invierte y
suministra en forma de 1 lógico, por una línea 204, a la
puerta 208. La entrada a la puerta disyuntiva de la puer-
20 ta compleja 208 es un nivel de 0 lógico procedente de una
orden SUB presente en la línea 181, y la otra entrada a
la puerta disyuntiva es un 0 lógico, indicando que en la
salida del sumador se ha generado un código BCD ilegal,
que requiere un arrastre. Por lo tanto, la salida de la
25 puerta 208 es un 1 lógico que se transmite a la puerta 202,

y como no hay entrada de reposición de arrastre/toma a la puerta 203, se genera un 0 en la salida de la puerta 202 para activar la puerta 191 del sumador.

5 La salida de la puerta 208 que indica la presencia de una señal de arrastre/toma va acoplada al terminal 213, indicando un arrastre durante la instrucción SUB mediante activación de la puerta de transferencia 214, y en el terminal 213 se genera una señal de arrastre, en respuesta a una orden SUB que activa la puerta de transferencia
10 233, lo cual hace que se invierta la salida de la puerta 208.

El registrador 5, de cuatro bitios, es capaz de responder a la unidad de lógica aritmética y al control 82 de I/O, y funciona almacenando el lugar del punto de separación de decimales (punto decimal), además de cualquier
15 otro número de cuatro bitios, para su introducción en los registradores A, B, C y D o en el sumador.

La utilización del quinto registrador de 1 bitio, R5, de cuatro dígitos de longitud, acoplado al sumador 55
20 y a las líneas de I/O, es un rasgo característico importante de la presente invención. El registrador R5 se carga con el borde de ataque de cualquier "máscara" de dígito generada desde la PLA 83 de máscaras de dígito. Así, durante toda máscara de dígito se impide la recirculación de los
25 datos existentes en los cuatro bitios de R5. El registra-

dor R5 se halla entonces bajo el control de las entradas de R5 y de datos.

5 Los datos se llevan desde el sumador 55 hasta introducirlos en el registrador 5, al aparecer una señal inversa o complementaria de borde retardado de máscara de dígito (DMEDGD). La señal retardada de borde de máscara de dígito da una salida al aparecer el borde de ataque de la máscara de dígito, lo cual ocurre en el instante S siguiente al tiempo o instante S que corresponde al campo deseado, tal como el lugar del punto de separación de decimales. Por consiguiente, el número contenido en el sumador 55, que representa el lugar del punto de separación de decimales, es introducido en el registrador 5 al producirse la orden DMEDGE.

10

15 La salida R5 OUT_A presente en la línea 294 se comunica al comparador 71 de punto decimal/D, donde es introducida en un registrador de 4 bits 295. Esta representación binaria del lugar del punto de separación de decimales es comparada con los tiempos D codificados, generados en las líneas 296 por el generador 67 de tiempo D. Al concordar el tiempo D adecuado con la representación del lugar de punto decimal, la puerta compleja 297 activa el circuito 64 de supresión de cero y el circuito de salida de punto decimal, por la línea 298.

20

25 La salida R5 OUT_B presente en la línea 134 se oc

munica al circuito de control 79 del registrador de teclado, donde puede ser introducida selectivamente en el registrador de teclado, al producirse una orden R5.KR.

5 Con la descripción siguiente del circuito de control 66 de R5 puede llegarse a una comprensión más completa de la flexibilidad y la utilidad del registrador 5. La línea de control de entrada de R5 es capaz de responder a cierto número de órdenes, entre las cuales están las de índice A a R5, índice B a R5, número a R5 y registrador de
10 teclado a R5. Es decir, los registradores de teclado y de índice A e índice B pueden "volcarse" o transmitirse de golpe al R5. La entrada del número está acoplada al registrador de desplazamiento de 4 bits de la PLA 76 de descodificación de índices, que permite la utilización de un sub
15 grupo de dígitos del vocablo de instrucción, como datos. Es éste un rasgo característico extremadamente importante de la invención, pues permite a los dígitos de vocablo de instrucción, de otro modo no utilizados, proporcionar unas
20 constantes de datos que, de no ser así, habrían de generarse bajo el control de programación. Esta característica se usa extensamente durante la programación del sistema de programación del presente invento.

25 El corrector BCD 61 añade adecuadamente seis (para la suma) o diez (para la resta), para corregir la salida del sumador binario al volver a meterla en BCD (decimal

codificado en binario).

En respuesta al vocablo de instrucción procedente de la pastilla de SCOM, las PLA 74 de descodificación de sigma y 73 de descodificación de R controlan respectivamente la recirculación y el intercambio de los diversos registradores, y controlan cuáles de los registradores se acoplan a la unidad de lógica aritmética (ALU). La PLA 83 de descodificación de máscara, en respuesta al vocablo de instrucción procedente de la SCOM, genera la máscara apropiada para alinear el juego o grupo de dígitos apropiado del vocablo de datos, tal como la mantisa o el exponente, para que la unidad de lógica aritmética opere con él.

La presentación visual 3 de la fig. 1 expresa visualmente el contenido del registrador B y/o el registrador A en combinación con el registrador de índice A. La PLA 63 de descodificación de segmentos es programable de tal modo que puede descodificarse la salida, sea del registrador A, sea del B, para activar los segmentos apropiados en la presentación, y es programable de manera que se da acomodo hasta a siete segmentos más un punto de separación de decimales. El circuito 64 de supresión de ceros permite suprimir los ceros de la izquierda, para así proporcionar hasta 10 dígitos significativos en una presentación de 12 dígitos utilizando notación científica. El supresor 64 es capaz de responder a la matriz de contrafase 52 para el comienzo y

el final de la supresión, y es capaz de responder asimismo al generador de punto de separación de decimales (punto de cimal) y al registrador B.

Otra característica de esta invención es la aplicación del registrador 55 de subrutinas en combinación con el de teclado 54, en una configuración de SAM. Como el registrador de teclado funciona principalmente dirigiéndose a un lugar específico de la ROM principal en la pastilla de SCOM, la posibilidad de almacenar ese lugar, por ejemplo, en el registrador de subrutinas por medio de una instrucción de intercambio, ahorra necesidades tanto de equipo físico como de programación. Por ejemplo, mediante el recurso de guardar esta información en el registrador de subrutinas, el registrador de teclado queda libre para desempeñar otras funciones sin arriesgarse a la pérdida de la dirección de acceso o identificación de memoria. Así, una vez ejecutada la subrutina, y cuando el control del programa ha de devolverse a dicha dirección de acceso, otro intercambio entre el registrador de teclado y el registrador de subrutinas permite obtener acceso directamente a dicha dirección de acceso de la pastilla de ROM, por medio del registrador de teclado, al aparecer una orden específica de registrador de programa (PREG), que pone un nivel 1, en el instante S_0 , en la línea EXT.

La orden PREG suministra tanto las instrucciones

de control como la dirección de acceso de ROM, presentes en la línea exterior en formato multiplado, en la pastilla de SCOM. Esta dirección obtiene acceso al registrador 23 de direcciones de identificación presente en la pastilla de SCOM, el cual es capaz de obtener acceso a cada uno de los lugares identificables en la ROM 20, con lo cual la instrucción almacenada en cada lugar es llevada por lectura al registrador 26 de instrucciones. Por lo general, el registrador de acceso se incrementa en uno por cada ciclo de instrucción, controlado por los medios de regulación de tiempo y el circuito 25 de añadir uno, de manera que las instrucciones de una subrutina particular almacenada en la ROM se sacan normalmente por lectura secuencial. Ahora bien, las instrucciones de bifurcación que aparecen en el registrador 26 de instrucciones son reconocidas por el comparador de bifurcación 33, e interrumpen la marcha en secuencia del acceso a ROM por medio de un método de obtención de acceso o identificación correspondiente. Es decir, la "vieja" dirección de acceso de la ROM se incrementa positiva o negativamente, de acuerdo con el vocablo de instrucción que viene de una de las ROM, disponible sea en la pastilla de SCOM, sea en otra pastilla exterior; y el nuevo lugar se almacena en el registrador de retención 24. Por ejemplo, una dirección de acceso incremental llevada por lectura desde el lugar de ROM específico al registra-

dor 26 de instrucciones y transmitida a la pastilla de aritm
mética por medio de la memoria compensadora 27, por la lí-
nea IRG, es transmitida al sumador 32 en unión de una se-
ñal de activación procedente del comparador de bifurcación,
5 que indica una condición de bifurcación. La dirección de
acceso de ROM precedente o anterior, almacenada en el re-
gistrador de acceso 23, se comunica también al sumador 32
por la línea 40, y la suma es transmitida por la línea 41
al registrador de retención 24. Durante el siguiente ciclo
10 de instrucción, el nuevo vocablo de acceso se introduce por
lectura en el registrador de acceso, en paralelo, desde el
registrador de retención 24.

El comparador de bifurcación 33 es capaz de resp
ponder al vocablo de instrucción y al vocablo de orden de
15 mando procedente de la pastilla de aritmética, transmitido
por la línea EXT. Si el bitio I_{12} (o de S_{15}) del presente
vocablo de instrucción es para una bifurcación, y si S_0 no
está al nivel de 1 lógico que permite una posibilidad de
"bifurcación", y si el bitio de dígito de S_1 del mismo, el
20 bitio de COND, concuerda con el bitio de condición en S_{14}
del vocablo de instrucción precedente, se tiene como re-
sultado una bifurcación. Si no resulta una concordancia
de COND, la dirección de acceso se incrementa en uno. El
bitio de COND presente en la línea EXT sirve para indicar
25 a la ROM que se ha ejecutado una condición especial que pue

de interrumpir la secuencia de la ROM.

Para obtener acceso a uno de los registradores de constantes contenidos en la ROM 35 de constantes, o en una de las ROM 35 de constantes si en el sistema se utiliza una pluralidad de pastillas de SCOM, el vocablo de instrucción procedente de la ROM 20 apropiada de una de las pastillas de ROM/SCOM se comunica a la pastilla de IRG, y luego se comunica a la totalidad de los registradores 26 de instrucciones. El vocablo de instrucción comunicado o transmitido a la pastilla de aritmética inhibe el bitio de S_0 , dando un 0 lógico en S_0 . Si la instrucción no es de bifurcar como antes se ha dicho, el vocablo de instrucción es entonces descodificado por la PLA 28, generándose una orden de "sacar constante". El vocablo de orden que viene de la pastilla de aritmética por la línea EXT, que tiene un cero en S_0 , es descodificado en el circuito 34 de acceso al registrador de constantes.

Al recibirse una orden de "sacar constante", de la PLA 28 de descodificar, unas señales de sacar constante y de constante A-constante D se dirigen apropiadamente a la ROM 35 de constantes para sacar o extraer una de las dieciséis constantes en ella contenidas, en dieciséis registradores de constantes de cuatro bitios. La ROM 35 de constantes comprende una disposición ordenada de 64 x 16 (o de 16 x 4 x 16) unidades para generar las dieciséis cons

tantes de 16 dígitos y 4 bitios.

La ROM de constantes es característica de esta invención, dando hasta dieciséis constantes predesignadas de 4 bitios por 16 dígitos, y la ROM se realiza físicamente, de manera ventajosa, dotada de masas virtuales. Las ROM de masas virtuales se vienen conociendo ya desde hace algún tiempo en el ramo de las calculadoras, y se emplean ventajosamente para reducir de manera sustancial el tamaño requerido de la ROM dejando sólo una línea de V_{SS} por bitio, o sea un total de cuatro líneas de V_{SS} para las constantes de 16 dígitos por 4 bitios.

Con referencia a la fig. 9c, cada línea de fila 458 de la ROM de masas virtuales es capaz de responder a un tiempo S correspondiente, de manera que ante una señal de "sacar constante" se obtiene por lectura la totalidad de los 16 bitios, en respuesta a los tiempos $S_0 \dots S_{15}$. Es decir, cada célula 458 de las ROM de constantes comprende un solo transistor, cuyo electrodo de puerta se acopla o se desacopla respecto a la línea de fila correspondiente. Si una puerta se halla conectada, hay entonces un 1 lógico guardado en el bitio; y si la puerta no está conectada, lo que se guarda entonces es un 0 lógico. El terminal de electrodo de entrada del transistor de cada célula está, sea conectado directamente a V_{SS} o la masa del circuito por la línea 460, sea acoplado a ella por la disposición de masas

virtuales. El terminal de electrodo de salida del transistor de la célula está acoplado por medio de una línea de columna 459 al transistor de la célula adyacente, que está acoplado a la línea de salida 462 por una activación apropiada de los transistores de acceso 464 ... 467. Cada línea 460 de V_{SS} está desacoplada de la masa del circuito por la puerta 461, durante la precarga de las líneas de columna.

El funcionamiento de la ROM de constantes es como sigue: el potencial V_{SS} o masa del circuito se acopla a las líneas 460, por medio de la puerta 461, durante cada tiempo ϕ_1 y ϕ_2 , suministrado por la disposición 472. Durante el tiempo P2, las puertas 461 desacoplan de la masa del circuito las líneas 460, y las líneas de salida 462 son precargadas a través de las puertas 463. Al producirse una orden de sacar constante, una dirección de acceso codificada, presente en las líneas 478, activa selectivamente los transistores de acceso 464 ... 467 para así seleccionar una línea de columna particular que se precarga a V_{DD} , y se activa una línea de fila 468 particular, a través de la puerta 471. Mediante la activación de una línea de fila particular durante un tiempo S y mediante la activación de una línea de columna determinada por la dirección de acceso particular de constante A-constante D presente en la línea 448, se obtiene acceso a una célula particular por cada bitio. La línea de salida 462 responde de manera acorde según la pre

carga se descargue o no a través del transistor de célula seleccionado, lo que viene determinado por la presencia o ausencia de conexión a la línea de fila particular 468.

5 Durante el tiempo ϕ_2 , el bitio de datos presente en la línea de salida 462 se acopla al control 31 de I/O. Repitiendo esta secuencia para la totalidad de los dieciséis tiempos S, se saca una constante de dieciséis dígitos por cuatro bitios, a través de la memoria compensadora de I_0 , a las líneas de I_0 .

10 La ROM de masas virtuales, característica de esta invención, hace que el terminal de electrodo de entrada o "fuente" del transistor de bitio seleccionado se ponga a masa de manera efectiva, al ser la línea de masa 460 selectivamente acoplada a ese terminal de electrodo de entrada
15 a través de una combinación particular de los transistores de acceso 464 ... 467. Como antes se ha dicho, sólo se necesita así una línea de V_{SS} por bitio, obteniéndose un máximo de densidad de empaquetadura de las células de memoria.

20 La PLA 28 de descodificar proporciona asimismo unos controles de entrada/salida al registrador F 29 y al registrador G 30, que son unos registradores de datos adicionales que proporcionan un mayor almacenaje de datos, adecuado para un almacenaje de memoria, bajo el control del operador. Los datos son guardados en los registradores F y
25 G y extraídos de los mismos, respectivamente, por medio de

unas líneas de $I/O_1 \dots I/O_8$, en respuesta a la PLA 28 de descodificar, que descodifica el vocablo de instrucción procedente de la ROM. Como se ha explicado en relación con la señal de "sacar constante", el vocablo de instrucción que viene de la SCOM inhibe los bitios de S_0 que impiden la activación de "PREG". Sólo entonces se podrá obtener acceso a los registradores F y G a través del descodificador 28, pues el control 31 de I/O se halla bajo el control de la señal de "sacar constante", generada en respuesta tan sólo a la señal apropiada de selección de pastilla.

Las entradas que vienen del teclado ll se introducen en la pastilla de aritmética por siete líneas de teclado 13, o líneas K, que son codificadas, en código binario de 3 bitios, por la PLA 75 de codificar, para su introducción, en unión del tiempo D apropiado, en el registrador 54 de KR. Los datos se introducen en la PLA de codificar durante un tiempo D entero al descargarse una línea, y luego se precargan las líneas en espera de un nuevo código. Como se explicará más adelante, debido a la relativamente larga duración de la opresión o bajada de una tecla en el teclado, en comparación con las relativamente altas frecuencias o velocidades de funcionamiento de reloj, un solo movimiento de opresión de tecla activa la PLA 75 durante un número de ciclos de instrucción suficiente para completar la rutina pedida; por ejemplo, al expirar un ciclo de ins-

trucción cuando las líneas están descargadas, la misma acción de introducción por teclado vuelve a reimprimirse en la PLA 75 de codificar durante varios de los sucesivos ciclos de instrucción, al aparecer el respectivo tiempo D de cada ciclo. La explicación y descripción de la regulación de tiempos detalladas del sistema de cálculo se darán más adelante, en relación con las figs. 5a y 5b.

Las entradas K son codificadas por la PLA 75 y pasadas en el instante apropiado a un comparador 78 de K y a la lógica y codificador 77 de control. El comparador 78 de K es también capaz de responder a los bitios seleccionados del vocablo de instrucción IRG programados de manera que una comparación de los bitios del IRG y la información de teclado codificada da información, sea representativa de no haberse activado una línea K específica, sea determinativa de cuál de las líneas K ha sido activada por un proceso de eliminación. Si se consigue una "concordancia" en el comparador 78 de K, la salida de éste por la línea 85 hace que el circuito de condición 80 active el cerrojo de COND, activación que tiene un significado prefijado para la calculadora, para una combinación particular de tiempos S/D.

La información de K codificada se comunica también al bloque de lógica y codificación 77, que también selectivamente activa el circuito de condición 80 en combina

ción con unas señales de "espera" generadas interiormente, que vienen del generador de espera 69 y del terminal de entrada de ocupado (BUSY) que comunica con otras pastillas de salida, tales como la de aparato impresor. Al recibirse una orden del generador 68 de máscaras de índice, la lógica 77 permite combinar en serie la información codificada de K con los tiempos D codificados, e introducirla en el registrador 54 de teclado, a través del control 79 de registrador de teclado/registrador de subrutinas, con arreglo a la condición del cerrojo COND y el generador de espera. En la fig. 3 se ilustra la lógica 63 de activación de tiempo de dígito D_{15} , que automáticamente saca a la calculadora de un ciclo de exploración (SCAN) si no se encuentra ninguna tecla activada.

Así, las entradas específicas de teclado, codificadas en forma de datos de línea K y datos de tiempo D, se introducen en el registrador 54 de teclado. Una orden de "PREG" obliga a la ROM de la pastilla de SCOM a dar acceso a un lugar determinado por el contenido del registrador de teclado.

El registrador de teclado desempeña otras funciones distintas de la de dirigirse para acceso a la ROM principal y a la ROM de constantes, de la pastilla de SCOM. Por ejemplo, la memoria compensadora 86 de tres estados, de la línea exterior EXT, es controlada por los vocables

de instrucción de manera que también pueden introducirse
datos en la pastilla de aritmética, así como obtenerse de
la pastilla de aritmética. Al recibirse tal instrucción,
los datos presentes en la línea exterior, tales como los
5 que proceden de la pastilla 16 de programador, pueden intro-
ducirse en el registrador de teclado a través del circuito
de control 79 de registrador de teclado. Otra función del
registrador de teclado en la que se utiliza un vocablo de
instrucción, hace que el contenido del registrador de te-
10 clado se incremente en uno, permitiéndole funcionar como
contador. Si el número contenido en el registrador de te-
clado representa la dirección de acceso de una constante
en la ROM de constantes de la pastilla de SCOM, puede en-
tonces sacarse o extraerse una sucesión de constantes du-
15 rante ciclos sucesivos de instrucción, de manera que una
subrutina puede efectuar varias iteraciones utilizando
constantes progresivamente menores, con arreglo a una pro-
gresión aritmética. Es decir, como el registrador de te-
clado trabaja en recirculación y tiene un circuito de
20 sumar uno, la información en él contenida puede también
incrementarse en uno, obteniéndose de ese modo un método
para seleccionar constantes para acceso en sucesión, en
la ROM de constantes, haciendo para ello una sucesión de
instrucciones de "sacar constante" con el registrador de
25 teclado; tal método de iteración constituye una importan

te característica que permite realizar la función de subrutina con un mínimo de necesidades de programación.

5 Cuatro bitios del contenido del registrador de teclado pueden pasarse también por lectura al registrador R5, cuando se pide un vocablo de instrucción de KR \rightarrow R5. Por estar R5 acoplado a los registradores A ... D por medio del sumador, un número generado en el registrador de teclado puede entonces introducirse en las memorias SAM para su uso, por ejemplo, en una rutina de programación en la ROM que requiera datos numéricos. Mediante el recurso de cargar o introducir datos del registrador de teclado directamente en los registradores A ... D de la SAM, se economiza espacio de instrucciones en la ROM, ya que de no ser así se necesitaría una subrutina para generar estos datos.

15 El vocablo de instrucción ($I_0 \dots I_{12}$) que aparece en las líneas IRG consta de: un campo "S" o de sigma de tres bitios, o campo $I_0 \dots I_2$ de puerta selectora; un campo "R" de 4 bitios, o campo $I_4 \dots I_7$ de registradores; un campo "sub" de un bitio, o campo de restar I_3 ; un campo "M" de 4 bitios, o campo $I_8 \dots I_{11}$ de máscaras; y un campo de bifurcación de un solo bitio I_{12} . En S_{15} , después de pasado el vocablo de instrucción en serie a la línea de IRG que empezó en S_3 , el campo "M" de 4 bitios del vocablo de instrucción y el bitio I_{12} de bifurcación son descodificados por la matriz 83 de descodificación de máscaras.

La PLA de descodificación de máscaras funciona dando una "máscara" para permitir la manipulación de sólo una parte seleccionada del vocablo de datos, esto es, la mantisa o el exponente. Esta función se necesita tan sólo cuando se pide una instrucción, y no una bifurcación, de modo que la matriz de descodificación de máscaras sólo es capaz de responder al campo "M" cuando el bitio de bifurcación es un cero. El descodificador de máscaras es además capaz de responder a la matriz de contrafase 52, que da tiempos de estado codificados, la información de regulación de tiempos de exponente y de punto decimal. La matriz de descodificación de máscaras da una señal de salida DMSK, o máscara de dígito, para suministrar la máscara para las puertas selectoras acopladas a la matriz 74 de descodificación de sigma. También se prevén unas máscaras acopladas al control 57 de la ALU, para suministrar una máscara para cualquiera parte concreta o particular del vocablo de datos a sumar o añadir. La línea 87 proporciona control al corrector BCD 59, para prevenir arrastres impropios de ciertos campos de máscara. Los bitios $I_8 \dots I_{12}$ generan también una N constante descodificada por la PLA 83 de descodificación de máscaras para su entrada al sumador binario, controlada por el campo "R" (bitios $I_4 \dots I_7$), descodificados por el descodificador 73 de R.

En $S_{13} \dots S_{15}$, el campo de sigma de 3 bitios se

mete, sincronizado, en la matriz 74 de descodificación de sigma. El campo de sigma se descodifica para seleccionar, transferir o poner en recirculación datos entre los registradores A ... E. Es decir, las líneas 89 controlan el intercambio de datos entre los registradores A y B y entre los registradores C y D, y controlan la recirculación de los registradores A, B, C o D. El campo de sigma controla asimismo las puertas selectoras para así permitir la reintroducción del registrador 5 en el sumador por las líneas 88. Las líneas de control de sigma controlan también la reintroducción de la salida del corrector BCD 61 en la SAM, para desplazamiento a derecha e izquierda.

La matriz 73 de descodificación de R, o de registradores, recibe el campo "R" durante los tiempos S_6 ... S_9 del vocablo de instrucción que controla las puertas selectoras 56 para determinar cuál de los registradores principales de SAM está acoplado a la ALU. Asimismo, se generan los bitios I_4 ... I_7 para el comparador 78 de K, como más arriba se ha explicado.

El comparador 68 de máscaras de índice recibe los bitios I_4 ... I_7 de campo "R" del vocablo de instrucción y los compara con el tiempo S codificado, para dar la señal de "máscara de índice" (FMSK) cuando se pide u ordena una operación de índice. La salida de la lógica 68 de comparación y prueba de índices está acoplada al circuito 80 de

condición (COND) como indicación de existir la condición de que, por ejemplo, dos índices sean iguales. La PLA 72 de descodificación de índices es capaz de responder a los bitios $I_0 \dots I_3$ generando unas órdenes de registrador de índices que incluyen las señales de recircular, intercambiar, pasar de R5 al registrador de teclado, índices de prueba y ajuste y puesta a cero de cerrojo inactivo. Los bitios $I_0 \dots I_3$ se descodifican también y se suministran al comparador 78 de K.

10 El funcionamiento de los registradores A ... E y de la ALU es en breves términos como sigue: Suponiendo que en el registrador de SAM haya datos en espera de operaciones, se descodifica a continuación el vocablo de instrucción descomponiéndolo en sus campos de "M", "R" y "sigma". Si, por ejemplo, la instrucción es para una rutina de sumar, el campo de sigma puede hacer que los datos contenidos en el registrador A se introduzcan en el registrador B, en espera de una segunda entrada de datos, procedente del teclado, a introducir en el registrador de teclado, que se pasa entonces al registrador A hasta el registrador 5, como antes se ha descrito. Bajo el control del campo R procedente del vocablo de instrucción, se acoplan los respectivos registradores A y B en el sumador binario de la ALU. El campo M del vocablo de instrucción proporciona unas máscaras procedentes de la PLA 83 que sumi-

15

20

25

nistran a la ALU el lugar de situación del punto decimal, y le indican qué parte del vocablo es la mantisa. El registrador 5, en respuesta al PLA 83 de descodificación de máscaras, recibe en el borde de la señal de máscara de dígito la salida de la ALU que es el lugar del punto decimal. La parte de mantisa del vocablo de salida que viene de la ALU se reacopla o devuelve al registrador A a través de un corrector BCD 61, según necesidades. En un instante apropiado, se da luego salida al registrador A a través de la PLA 63 de descodificación de segmentos, hasta la presentación.

Para presentar la información de punto decimal contenida en el registrador 5, se emplea una rutina que en general hace uso del generador 67 de tiempo D, el comparador 71 de punto decimal/D y el registrador 65 (R5). Es decir, como se ha descrito más arriba, R5 contiene un número que representa el lugar de la posición del punto de separación de decimales. Ese número es acoplado al comparador 71 de DPT/D, en unión de los tiempos D codificados.

Cuando el tiempo D que representa la regulación de tiempo o sincronismo del sistema concuerda con la entrada de punto decimal ajustada, entonces, en el instante S_{15} , se activa la salida de punto decimal en la patilla 1, por la duración del ciclo de instrucción, por medio del circuito de cerrojo inactivo. Durante el tiempo D particular y en el lugar deseado de la presentación, se activa un

indicador particular de punto decimal en la presentación, en respuesta a la patilla 1.

Otra característica de este sistema calculador es la supresión de ceros de la izquierda en la presentación. El comparador 68 de máscaras y pruebas de índice de D/S proporciona una señal de muestra a cada ciclo de instrucción, cuando la codificación de tiempos S y la de tiempos D son coincidentes de manera que el tiempo de aparición de la señal de muestra es de precesión, es decir, S₁₅ de D₁₅, S₁₄ de D₁₄, S₁₃ de D₁₃, etc., porque los tiempos D van en precesión. Esta señal de muestra da paso a la PLA 63 de descodificación de segmentos que, acoplada a una puerta 64 de supresión de ceros, da la supresión de ceros delante del dígito más significativo. El supresor 64 es capaz de responder al generador de DPT para finalizar la supresión de ceros al aparecer un punto decimal, y la supresión de ceros finaliza por efecto de una comunicación de bitios que viene del registrador B durante una introducción de EE. Asimismo, la matriz de contrafase suministra unas señales de iniciación/detención de la supresión de ceros, a cada instante D.

El programa inicial que la calculadora pone en ejecución al ser activada por un usuario es la rutina de despeje al conectar energía. El circuito 76 de despeje e iniciación, que despeja y pone en marcha la calculadora

al producirse la activación inicial por parte del usuario, da una primera salida a la circuitería de control de la memoria compensadora exterior 86, generando un "1" en el instante S_0 y unos ceros después en la línea exterior. Esto se efectúa mediante activación del "índice" de S_0 del registrador KB y puesta a cero de los bitios $S_3 \dots S_{15}$ en el registrador KB. La entrada KQ que viene del teclado en el instante D_{15} da otra entrada de "despeje" de equipo físico por la línea EXT, para iniciar la calculadora. Esto es, al conectar la energía, u oprimir una tecla en D_{15} en la línea KQ, el circuito de despeje 76 fuerza un "1" en el instante S_0 , que se pone como salida en la línea de salida EXT y da origen a ceros durante los tiempos S restantes. En el instante S_0 , la SCOM ve un 1 y se da cuenta de que la instrucción sucesiva, durante $S_3 \dots S_{15}$, es una dirección de acceso que es cero. La ROM, de ese modo, se repone de nuevo al lugar cero y toma por lectura del lugar cero un vocablo de instrucción, empezando a establecer su secuencia inicial.

Los tiempos S en la pastilla de SCOM se generan en el contador 38 de S, en respuesta a la señal $\overline{\text{IDLE}}$ de sincronización que viene de la pastilla de aritmética. Cada dieciséis tiempos S viene programada la señal $\overline{\text{IDLE}}$, de manera que se cambia de estado lógico, del 1 lógico al cero lógico, en un instante S prefijado para sincronizar el

contador 38 con los tiempos S de la pastilla de aritmética. En esta forma de realización, el tiempo S se elige en S_0 , y un circuito detector de borde detecta el cambio o variación de nivel y transmite al contador un cero lógico. El
5 contador lleva acoplado a su salida un descodificador para generar señales de tiempo por una determinada duración de tiempo S y también para generar un cero lógico para la repetición de ciclos del contador.

En otra forma de realización del generador de S
10 se elimina la retroacción de cero lógico en el contador, de manera que el generador de S de la SCOM queda enteramente subordinado a los tiempos S de la pastilla de datos. Esto es, la condición de $\overline{\text{IDLE}}$ que aparece a cada ciclo de instrucción o tiempo D inicia también el recuento en el generador de S, que no es de libre oscilación.
15

La señal $\overline{\text{IDLE}}$ presente en la patilla 7 se comunica también a un segundo circuito detector de borde utilizado para sincronizar el generador 39 de exploración de D. La señal $\overline{\text{IDLE}}$ está programada en la pastilla de aritmética para cambiar los estados lógicos no sólo en un instante S particular, sino también en un instante D particular, tal como el D_{14} . El contador 508 del generador D queda así dispuesto para dar una salida por la línea D_{13} en la patilla 27, en el momento $S_0 D_{13}$ de cada juego de instrucciones. Por
20
25 consiguiente, el generador 39 de exploración de D se sin-

croniza a los tiempos D de la pastilla de aritmética, en respuesta a un cambio de nivel en la línea de IDLE. Las salidas de $D_0 \dots D_{15}$ presentes en las patillas 1 ... 14 se acoplan a la presentación en el teclado, para aparecer cada una en su momento, en una secuencia regulada en el tiempo.

Los bitios de mando de IDLE, HOLD y COND

La formación en secuencia de "nuevas" instrucciones procedentes de la ROM que van a la pastilla de aritmética, por conveniencia, se interrumpe a veces. Esto es, si la calculadora está esperando un instante D particular antes de ejecutar la instrucción siguiente, la ROM debe enviar una sucesión de instrucciones de espera (WAIT). La ROM entonces recibe la instrucción de dejar de incrementar, y de que se retenga ("HOLD") en su lugar presente y continúe enviando la instrucción almacenada en el lugar de registrador de instrucciones. Para conseguir esto, se pone en recirculación, a través de un circuito de inhibición de incremento, la dirección antigua contenida en el registrador de direcciones de acceso. Un ejemplo de esto se tiene durante una exploración de teclado que requiera un ciclo completo de D, o de instrucción.

En la programación normal del sistema de dos pastillas de esta invención, el bitio de S_2 o de retención ("HOLD") viene controlado por la presencia de una instruc-

ción de espera procedente del generador de espera 69, o la orden de prueba/espera ocupado o prueba/exploración descodificada, que tenga satisfecha su respectiva condición de prueba. Son éstas unas órdenes para que la ROM deje de incrementar en su lugar particular, hasta que sea reactivada por la pastilla de datos. Durante el estado de "1" de la señal de retención (HOLD), el registrador 24 de retención que hay en la pastilla de SCOM recibe de nuevo la misma instrucción anterior, que genera una u otra de las instrucciones de espera (WAIT) o de exploración (SCAN). La misma orden es introducida de nuevo por lectura en el registrador de retención, al desactivar la señal "HOLD" al circuito 25 de sumar uno y al registrador 26 de instrucciones. La calculadora permanece en este bucle de recirculación hasta aparecer una señal D_{15} , que cambia el estado de la señal "HOLD" dejando que entre una nueva dirección de acceso en el registrador de identificación o acceso y que luego una nueva dirección de acceso, procedente del registrador de instrucciones incrementado, entre en el registrador de retención. Un ejemplo de semejante función de espera o de exploración está en la acción de exploración del teclado cuando es necesaria una espera hasta el momento D_{15} . Esto da la seguridad de que en D_{15} se empieza la exploración, asegurándose la exploración de todas las líneas del teclado. De no ser así, si la exploración se em

pieza en D_{13} , y no en D_{15} (recuérdese que los tiempos D se cuentan hacia atrás), una exploración completa comprendería los instantes $D_{13}-D_0-D_{15}$, sin explorar en D_{14} . En el instante D_{15} sucesivo, la calculadora sale bruscamente de la instrucción de espera/exploración, como función de equipo físico en el instante D_{15} , y se ejecuta un nuevo vocablo de instrucción.

La señal de inactividad "IDLE" comunica a las pastillas exteriores si la pastilla de datos está o no en la "condición de inactiva", y cambia de estado en un tiempo S y tiempo D prefijados, para sincronizar los generadores de tiempo de las SCOM. Esta sincronización es característica de la invención, como señal de sincronismo por separado, y no se necesita la línea de transmisión como en los sistemas usuales. En la condición inactiva, las salidas de la calculadora a los terminales de segmento SEG A ... SEG G y DPT se activan al régimen de tiempos D, y la máquina queda esperando más información. Cuando la calculadora no está en el modo inactivo, se halla en realidad calculando y la presentación exterior está en blanco, excepto en lo que se refiere a la salida de índices, presentada al régimen de tiempos S. Así, la salida de inactiva (IDLE) se hallará en estado de nivel alto o bajo, representando la condición de estar calculando o no calculando. La salida IDLE es capaz de responder al circuito de cerrojo del

modo inactivo, arriba analizado en relación con la situación "HOLD", que selectivamente activa la salida IDLE en respuesta a instrucciones tales como las de "poner IDLE" o "cero IDLE" según se esté o no operando realmente con datos. Por ejemplo, la instrucción IDLE se utiliza para transportar información de sincronismo a la pastilla de SCOM en $D_{14}S_0$, y según ella el contador 38 de S se sincroniza en S_0 y el generador de exploración D se pone en D_{13} , por medio de los respectivos circuitos detectores de borde. Mediante la programación de una instrucción de espera (WAIT) en D_{15} , seguida de otra de "poner IDLE", el terminal de IDLE transmite un cambio de nivel, de uno lógico a cero lógico, en $D_{14}S_0$ (recordando que D_{14} es el ciclo de instrucción que sigue a D_{15} , pues los tiempos D van en precesión). Es ésta una característica del sistema de calculadora que permite reducir en una patilla las necesidades usuales.

La señal $\overline{\text{IDLE}}$, además de suministrar condiciones de inactividad y regulación de tiempos de sincronismo, desempeña también otras funciones. Esto es, si se está enviando a otras pastillas la información de condición de índices, la señal $\overline{\text{IDLE}}$ se utiliza para indicar a qué velocidad o con qué frecuencia se está enviando la información de índices. Es decir, siempre que se están presentando datos o, lo que es lo mismo, que la calculadora está

en la condición de inactiva, los índices se están enviando al mismo régimen de tiempos que la información de regis
trador, esto es, se está transmitiendo un índice particular durante cada ciclo de instrucción o tiempo D. Esto permite
5 al índice activar funciones tales como los puntos de separación de decimales, signos menos o comas, según el programa específico.

Cuando la calculadora no está en el modo inactivo, y la señal IDLE está en la "otra" condición, se están
10 transmitiendo los índices al régimen de tiempos de estado: es decir, un índice por cada tiempo de estado, o sea dieciséis índices por cada ciclo de instrucción o tiempo D. El índice, durante este tiempo, puede utilizarse para activar selectivamente otras pastillas, según se esté poniendo o
15 no un índice de cifra en particular. Por lo tanto, la señal IDLE controla si otras pastillas mirarán o no a un índice particular, sabiendo si la calculadora está o no en inactivo.

El circuito de condición 80 da una salida COND
20 en S_1 durante el segundo bitio de EXT, para suministrar a la ROM una instrucción de bifurcación condicional. Es decir, si ante una orden de prueba particular se activan el circuito de condición y el bitio COND, y se activa también el bitio COND o de S_{14} de la instrucción de bifurcación,
25 una nueva dirección de acceso de bifurcación, generada y

almacenada en el registrador de retención, se transfiere al registrador de acceso haciendo que la ROM "salte" o se bifurque a ella. Si el circuito de condición no se activa en relación con el bitio de S_{14} , es el vocablo de instrucción que sigue, en la secuencia de la ROM, el que se pone en ejecución. Por ejemplo, si la rutina de programación requiere una instrucción de bifurcación cuando se pone o activa un índice particular, en un instante particular del ciclo de instrucción se prueba entonces el índice y, si el circuito de condición está activado en relación a si el índice se activó, la ROM salta entonces al lugar de la rutina deseada. Si el circuito de condición no está activado en relación con la condición del índice, se pone entonces en ejecución la siguiente instrucción secuencial procedente del lugar de la ROM original.

La característica de tener así un circuito de condición y señal COND da a la máquina la posibilidad de efectuar decisiones con dependencia de unas condiciones que están bajo control de la programación general, lo que aumenta la flexibilidad de uso. Otra de las condiciones controladas por programación, que pueden activar o reponer el circuito de cerrojo de condición, es la de oprimir una tecla particular en la entrada de teclado, activando el cerrojo. En respuesta a esta activación particular del cerrojo de condición al oprimirse una tecla del teclado, se da

fin a la exploración del teclado. El cerrojo de condición se activa también si, durante cualquier operación de sumar o de restar, se requiere un arrastre del último dígito del registrador o una toma del último dígito. En otros términos, el circuito de condición funciona indicando una condición de desbordamiento. El cerrojo de condición puede también activarse ante una operación particular de "probar índice", en la que si el índice está activado el cerrojo de condición también se activará, y recíprocamente.

5
10
15
20
25

La señal de "ocupado" (BUSY) es una entrada a la pastilla de aritmética, que puede probarse de manera similar a la de probar un índice. Por ejemplo, ante una instrucción de "probar ocupación" (TEST BUSY), si hay una entrada en el terminal de "ocupado" la programación produce una activación del circuito de condición. Si se incluye una pastilla de aparato impresor en el sistema de calculadora ampliable aquí descrito, puede ser conveniente que la calculadora permanezca en el modo inactivo hasta que la pastilla de aparato impresor haya terminado de poner en salida impresa los resultados. A continuación, una entrada presente en el terminal de "ocupado", procedente de la pastilla de aparato impresor, indica a la pastilla de aritmética que el aparato impresor está trabajando, y no puede tomar más datos para imprimir. La pastilla de aritmética vigila el terminal de "ocupado" y, si hay señal en él, se activará

el circuito de condición, dejando que la calculadora ejecute una bifurcación condicional, saltando a una condición particular de espera, hasta que el aparato impresor termine de imprimir y quede dispuesto para recibir más información.

5 El terminal de "ocupado" puede usarse también para crear una condición de "espera" hasta que la señal remita, y también para dar realimentación o retroacción a la pastilla de aritmética, en cuanto al estado de otras pastillas periféricas, tales como la pastilla de diez registradores, además de la pastilla de aparato impresor, de manera semejante a la arriba descrita.

10

El circuito 82 de entrada/salida se usa tanto para enviar datos de salida desde unos registradores de la SAM a unas pastillas exteriores como para enviar datos de entrada desde las pastillas exteriores a las pastillas de datos. El que se esté o no dando entrada o salida a datos, y a qué registradores se estén canalizando los datos, es cosa que se halla bajo el control de la programación.

15

La salida de índice A (FLGA) se utiliza para presentar unas condiciones particulares de la calculadora, tales como las condiciones de error, desbordamiento aritmético o desbordamiento de introducción. La salida puede usarse también como salida de coma, que se guarda en el registrador de índice A. El índice A se halla bajo el control de la señal inversa de inactividad (IDLE) y puede utilizar

20

25

se para la comunicación con otras pastillas mientras la cal
culadora está en realidad en el modo de cálculo, no inacti-
-va. Como antes se ha estudiado, en el modo de actividad de
cálculo (calculante) o no inactivo, los índices aparecen en
5 la salida de índice A una vez a cada tiempo S dado. Esta in-
formación particular de índices se comunica a otras pasti-
llas: por ejemplo, a la pastilla de diez registradores que,
en combinación con la señal de inactivo, dirige la pastilla
de diez registradores para almacenar los datos transporta-
10 dos en ella, en una memoria de datos particular. El empleo
de los índices de esta manera es rasgo característico de es-
ta invención, pues resulta posible una magnitud de amplia-
ción casi ilimitada con pastillas periféricas en combina-
ción con las pastillas de aritmética y de SCOM. Las salidas
15 designadas SEG A ... SEG G son las salidas por medio de las
cuales el código de salida de 4 bitios procedente de los re-
gistradores de SAM se transmite o comunica a la presenta-
ción indicando qué número es el que se va a presentar. El
sistema de dos pastillas de esta invención tiene unos cir-
20 cuitos 63 de descodificación de segmentos que pueden progra-
marse en respuesta al registrador B y/o dar un número pro-
gramable de segmentos. Esto es, algunos tipos de presenta-
ciones requieren siete segmentos, tal como se ilustra, para
presentar los datos.

25 La salida denominada DPT es la salida de punto de

separación de decimales, o punto decimal, que se activa en el tiempo D particular en respuesta al generador 71 de DPT/D, controlado por el registrador R5. No se requiere una descodificación exterior en la forma de realización aquí descrita, pues la salida DPT activa directamente el punto decimal particular en la presentación.

El terminal de salida FLGB puede utilizarse también para dar salida a una información de índice B. Por lo tanto es posible, en sistemas extremadamente complejos que hagan uso de muchas pastillas periféricas y en los que se empleen los índices como medios de controlar las pastillas, dar salida a ambos juegos de índice A e índice B. La pastilla 11 de salida de índice A se ha estudiado más arriba. Mediante el recurso de dar salida a la información tanto de índice A como de índice B, se duplica la magnitud de capacidad de control disponible. Se sobrentiende que, en la tecnología de las calculadoras, un índice o elemento denotativo no es más que un bitio binario que indica una condición previamente programada, la cual puede usarse para activar circuitos.

Formato de vocablos de instrucción, acceso y control

En las figs. 5a ... 5f se dan unas representaciones del vocablo de instrucción $I_0 \dots I_{12}$, descodificado por las diversas PLA arriba mencionadas. La fig. 5a indica los trece bitios del vocablo de instrucción $I_0 \dots I_{12}$

tal como aparece en el registrador 26 de instrucciones de la pastilla de SCOM, después de haber sido tomado por lectura de la ROM 20. Los formatos para las operaciones sobre bifurcaciones (o incrementos) son diferentes, como se ve en las figs. 5a y 5b. El bitio I_{12} se ilustra conteniendo un "1", lo que indica que el vocablo de instrucción o es un incremento o una orden de bifurcación condicional, y no una instrucción. Esto es, si el bitio I_{11} , que es el bitio COND, concuerda con el bitio COND del exterior, comunicado desde la pastilla de aritmética en el instante S_1 , los bitios $I_1 \dots I_{10}$ de la fig. 5a representan entonces una dirección de acceso de bifurcación correspondiente. Esto es, los bitios $I_1 \dots I_{10}$ representan un número incremental que se ha de sumar o restar del lugar de ROM precedente, según lo ordenado por el bitio I_0 de la fig. 5a, para generar una nueva dirección de acceso como se ilustra en la fig. 5g. Si el bitio I_0 es un cero, entonces la dirección de acceso de bifurcación correspondiente en los bitios $I_1 \dots I_{10}$ se ha de sumar o añadir a la dirección antigua. Si I_0 es un "1", la dirección de acceso de bifurcación relativa o correspondiente se ha de restar de la dirección antigua.

Si el bitio I_{12} del vocablo de instrucción contenido en el registrador 26 de instrucciones es un cero, los bitios $I_0 \dots I_{11}$ representan entonces una instrucción que se descodifica localmente en la pastilla de aritmética y en

la PLA 28 de descodificación de la pastilla de SCOM. Por ejemplo, los bitios $I_8 \dots I_{12}$ se descodifican en la PLA 83 de máscaras de dígitos, para dar las operaciones M o de protección con máscaras definidas para un campo M de $M_0 \dots M_{15}$, y dar una N constante. Los bitios $I_4 \dots I_7$ se descodifican por medio de la PLA 73 de descodificación de R, para dar la operación R o de registradores indicada. Los bitios $I_4 \dots I_7$ también se descodifican en el comparador 68 de máscaras y prueba de índices en D/S, para dar FMSK como se indica en la fig. 5c. Los bitios $I_0 \dots I_2$ se descodifican en el descodificador 74 de sigma para controlar la selección de registradores, en tanto que el bitio I_3 activa el bloque de lógica y codificación 77, para indicar suma o resta. En la fig. 5c, los bitios $I_0 \dots I_3$ son descodificados por la PLA 72 de descodificación de índices, para generar las órdenes F o de índice destinadas a controlar los registradores de índice. La PLA 28 de descodificación descodifica el vocablo de instrucción para dar indicaciones de almacenar y extraer de los registradores F y G.

Los bitios $I_0 \dots I_7$ activan también el comparador 78 de K para determinar cuál de las líneas K del teclado ha sido activada, al oprimirse una tecla. En la fig. 5e, los bitios $I_0 \dots I_3$, que se descodifican en la PLA 72 de descodificación de índices, generan también las instrucc

ciones W o de espera para poner la calculadora en la condi
ción no operativa, o de espera, hasta que se produce una
condición especificada, tal como la llegada de un tiempo D
específico codificado en los bitios $I_4 \dots I_7$. Los bitios
5 $I_4 \dots I_7$ se descodifican en el comparador 68 de máscaras
de índice, para generar la condición cuya aparición contro
la la espera.

En la fig. 5f, se genera la orden de exterior EXT
procedente de la pastilla de datos, al efectuar una orden
10 de "PREG" o extracción de la ROM de constantes. En el bi-
tío S_0 , la orden de "PREG" con un 1 lógico en la misma, re
presenta la condición en que la pastilla de aritmética es-
tá queriendo meter una dirección específica de acceso en
la ROM para producir un salto incondicional, tal como en el
15 despeje de iniciación. Un cero en el bitio S_0 representa
las condiciones en que la pastilla de aritmética puede es-
tar, sea la de dirigirse para acceso a la ROM de constan-
tes, ejecutar una bifurcación condicional o simplemente co
municar las señales de COND y HOLD. La circuitería de in-
20 troducción forzada de "PREG" se inactiva durante la extrac-
ción de constantes, dejando que la ROM se incremente nor-
malmente. El segundo bitio, que aparece en el instante S_1 ,
es el bitio de COND para comunicar a la pastilla de SCOM
el estado del cerrojo de condición, indicando que se ha
25 producido un suceso condicional al cual debe responder la

ROM. El bitio de COND, en el instante S_1 , controla si se ejecuta o no una bifurcación condicional según lo determinado por el más reciente vocablo de instrucción procedente de la ROM. Esto es, si el bitio S_1 del exterior concuerda con el bitio I_{11} de la instrucción de bifurcación, la ROM se incrementará entonces por efecto de la dirección de acceso de bifurcación relativa o correspondiente, como ya se ha estudiado.

El tercer bitio del exterior, que aparece en el instante S_2 , es la orden de retener (HOLD), indicativa de que la SCOM ha de inhibir la incrementación de la ROM, y "retener" el vocablo de instrucción de la ROM durante un período especificado. El bitio de HOLD es capaz de responder, por ejemplo, al generador de "espera" 69.

Los bitios $S_3 \dots S_{15}$ son siempre unas direcciones de acceso absolutas específicas. Si el bitio S_0 es un "1", los bitios $S_3 \dots S_{15}$ representan entonces una dirección de acceso concreta y específica de la ROM a la cual hay que bifurcar. Si el bitio S_0 es un cero, la dirección de acceso $S_3 \dots S_{15}$ puede ser entonces la de un lugar de constante perteneciente a la ROM 35 de constantes, para hacer una "extracción de constante" o una bifurcación condicional al lugar concreto y específico de la ROM principal. Ante una instrucción de "extraer constante", descodificada por la PLA 28 de descodificar, la comunicación de EXT pre-

cedente, con un cero en el instante S_0 , sacará o extraerá entonces la constante específica.

5 En la fig. 5g se ilustra el formato de codificación para el vocablo de acceso a ROM almacenado en el registrador de acceso 23 que hay en la pastilla de SCOM. Como los 1024 vocablos de instrucción de 13 bitios están almacenados en la ROM 20 en una disposición ordenada de 64 x 16 x 13 bitios, los bitios $A_0 \dots A_6$ seleccionan para acceso las 64 filas de la ROM, mientras los bitios $A_7 \dots A_9$ seleccionan las ocho columnas por fila, para elegir la columna apropiada para acceso. Los bitios $A_{10} \dots A_{12}$ representan la selección de pastilla, y se descodifican de manera que permitan a la memoria compensadora 27 controlar si el vocablo de instrucción que viene de la ROM 20 se comunica o no a la pastilla de aritmética.

Regulación de tiempo

20 El sistema entero funciona a base de dos relojes ϕ_1 y ϕ_2 previstos exteriormente, como se ve en la fig. 6a, y dos relojes P_1 y P_2 de generación interior. La frecuencia utilizada es de 250 kHz para ϕ_1 , ϕ_2 . Los generadores de reloj pueden ser de tipo usual, y no se representan aquí.

25 Un juego de relojes $\phi_1 P_1 \phi_2 P_2$ se denomina tiempo de estado, y representa el tiempo para que la ALU, etc. operen en paralelo sobre un bitio procedente de cada uno

de los registradores principales A, B, C y D. La aritmética decimal codificada en binario (BCD) usada en la invención requiere un juego o grupo completo de impulsos de reloj para cada dígito, de manera que se necesitan dieciséis juegos o tiempos de estado para efectuar operaciones aritméticas con la totalidad de los dieciséis dígitos contenidos en un registrador. Dieciséis tiempos de estado representan un tiempo D o ciclo de instrucción, como se ve en la fig. 6b.

Las líneas de acceso individuales de los registradores 50 ... 55 son activadas sólo por tres de los relojes ϕ_1 , P_1 , ϕ_2 , y no por los cuatro; estos grupos de tres se denominan también tiempos de estado S_0 ... S_{15} , como se ve en la fig. 6a. Los mismos tiempos de estado generados para hacer funcionar las líneas de acceso o identificación del registrador 23 de SAM funcionan o regulan también el tiempo para el resto del sistema.

Los tiempos D directamente generados a partir de los tiempos de estado S_0 ... S_{15} se utilizan para explorar el teclado y la presentación. Como se ve en la fig. 6b, los tiempos D van contando hacia atrás: D_{15} , D_{14} , D_{13} ... D_0 , en tanto que los tiempos de estado cuentan hacia adelante o en sentido directo: S_0 , S_1 , S_2 , ... S_{15} ; este rasgo característico contribuye al método de supresión de ceros, ya que los ceros delanteros a suprimir están a la izquier-

da, empezando por el dígito más significativo, en tanto que la ALU debe operar de derecha a izquierda, o sea empezando por el dígito menos significativo.

La matriz de entrada de teclado

5 En la fig. 7 se ve una matriz de dieciséis por siete que representa las teclas del teclado dispuestas tal como son exploradas por las dieciséis señales $D_0 \dots D_{15}$ de regulación de tiempo de dígitos, y tal como son percibidas en las siete salidas, en $KN \dots KP$, desde las cuales se introduce en el sistema la información del teclado. Si 10 en la línea KP aparece una tensión de "1" en el tiempo D_{13} , es que está oprimida la tecla EE , etc. La combinación de un tiempo de dígito y una línea de percepción o detección identifica una tecla, y estos dieciséis y siete elementos 15 de línea están codificados en binario dentro de la máquina para que aparezcan como 4 y 3 bits respectivamente; la tabla 1A indica el formato para introducir información de teclado y de tiempos de dígito como carga en el registrador 54 de teclado, utilizándose el código de la tabla 1B 20 para la información de teclado (información K). Si se encuentra en D_{10} , KP una tecla oprimida, tras una exploración de teclado, el registrador de teclado contendrá el vocablo de la tabla 1C.

En lo que antecede se ha descrito una pluralidad de nuevas características para crear una calculadora de poca potencia y de gran velocidad, capaz de funcionar con baterías y que proporciona, también, una capacidad de almacenamiento de datos y de instrucciones incrementada para aplicaciones complejas. Aunque el sistema de calculadora del invento se ha descrito con referencias a una realización específica, a los expertos en la técnica les resultarán evidentes diversas modificaciones, así como otras realizaciones del invento. Por tanto, se pretende que las reivindicaciones anejas no estén constuidas en un sentido limitativo y que cubran cualquiera de tales modificaciones o realizaciones, como comprendidas dentro del verdadero alcance del invento.

TABLA 1A

	K _a	K _b	K _c	D ₈	D ₄	D ₂	D ₁
MSD							LSD

MSD = dígito más significativo

LSD = dígito menos significativo

TABLA 1B

Línea K	Ka	Kb	Kc
KN	0	0	0
KO	0	0	1
KP	0	1	0
KQ	0	1	1
KR	1	0	0
KS	1	0	1
KT	1	1	0

TABLA 1C

X	0	1	0	1	0	1	0
	KP			D10			

REIVINDICACIONES

5 Los puntos de invención propia y nueva que se
presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10 1ª.- Un aparato de tratamiento de datos que
comprende unos medios de memoria identificables para acceso, para almacenar gran número de vocablos de instrucción de programa, unos medios de identificación de acceso para definir unos lugares concretos y específicos de los medios de memoria, incluyendo los medios de identificación de acceso unos medios de incrementar capaces de responder al
15 vocablo de instrucción procedente de un primer lugar generando un segundo lugar no adyacente a seleccionar para acceso a continuación, estando el segundo lugar separado del primero por una magnitud relativa representada en el
20 vocablo de instrucción del primer lugar.

 2ª.- El aparato de tratamiento de datos de la reivindicación 1ª, en el que los medios de incrementar incluyen unos medios capaces de responder a por lo menos una condición existente en el aparato, para definir en parte el
25 segundo lugar.

3ª.- El aparato de tratamiento de datos de la reivindicación 2ª, en el que dichos medios de incrementar comprenden un sumador completo capaz de responder a la dirección de acceso de dicho primer lugar y al citado vocablo de instrucción, dando la dirección de acceso o identificación de dicho segundo lugar.

4ª.- El aparato de tratamiento de datos de la reivindicación 3ª, en el que dicho vocablo de instrucción comprende una pluralidad de bitios, de los cuales uno es un bitio de condición, y dicho sistema incluye además unos medios de comparador para comparar el citado bitio de condición con una representación de una condición interna de funcionamiento de dicho sistema de calculadora, para habilitar o facultar a dichos medios de identificación de acceso a obtener acceso en dicha memoria al citado segundo lugar.

5ª.- El aparato de tratamiento de datos de la reivindicación 4ª, y que incluye además unos medios unitarios de incrementar acoplados a dicha memoria, para incrementar en uno la dirección de acceso del primer lugar.

6ª.- El aparato de tratamiento de datos de la reivindicación 5ª, en el que dichos medios unitarios de incrementar y los citados medios de incrementar son capaces de responder a dichos medios de comparador, con lo cual en una (primera) de las condiciones de dicho compara-

dor la dirección de acceso del primer lugar es incrementada en dicha magnitud relativa, y en la otra condición de dicho comparador la primera dirección de acceso se incrementa en uno.

5 7ª.- El aparato de tratamiento de datos de la reivindicación 1ª, y que incluye el método de obtener acceso a la memoria del mismo, método que comprende la etapa de incrementar la dirección de acceso de un primer lugar, en un número relativo contenido en el vocablo de instrucción que viene de dicho primer lugar, dando la dirección de acceso del lugar de memoria sucesivo, no adyacente, a identificar para acceso.

10

8ª.- UN APARATO DE TRATAMIENTO DE DATOS.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

15

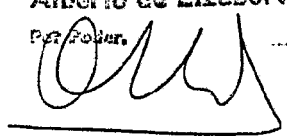
Esta Memoria consta de ochenta y seis hojas escritas a máquina por una sola cara.

Madrid, **16 ENE. 1976**
P.A.

20

Alberto de las Heras

Prof. Politécn.



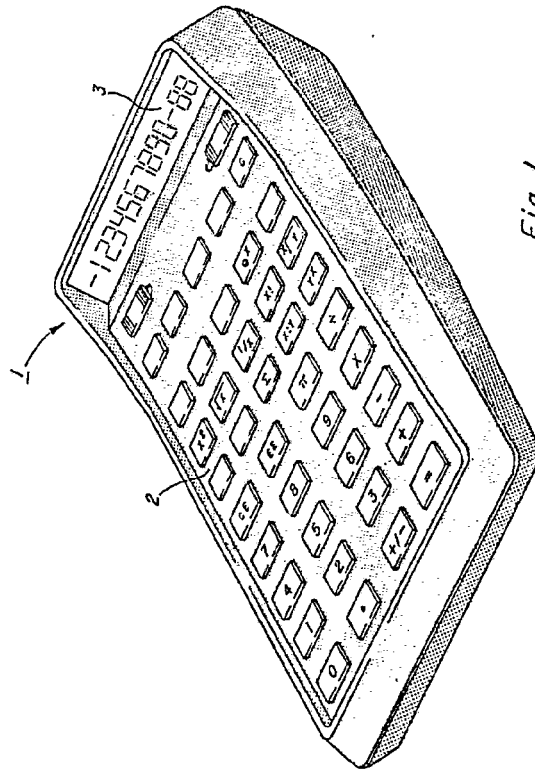


Fig. 1

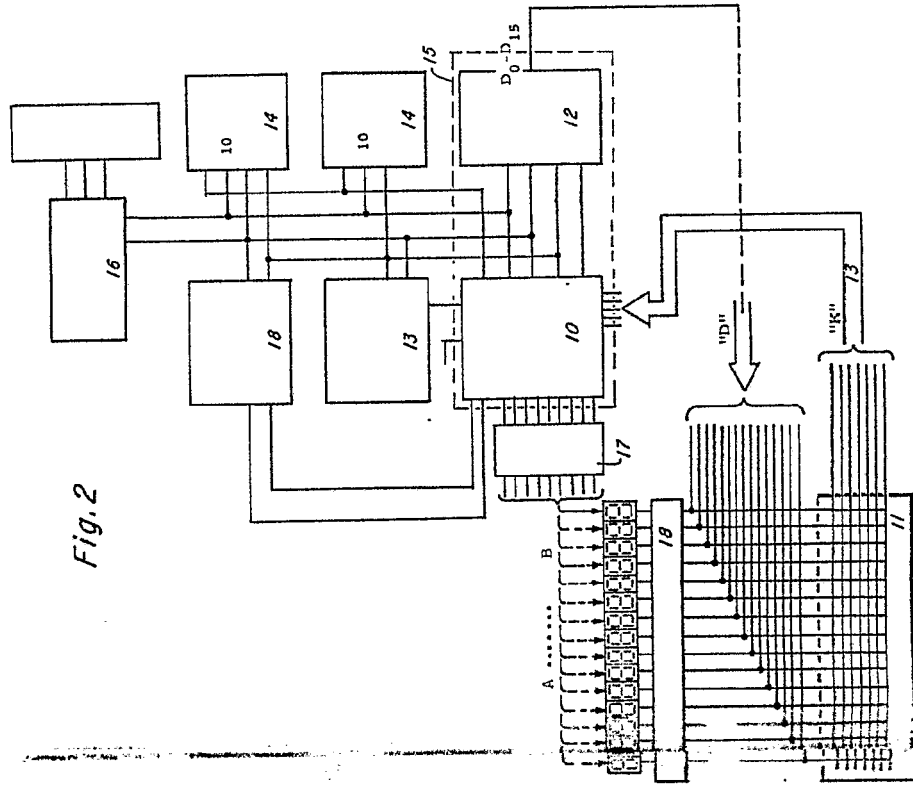


Fig. 2

Albert G. ...
 For Patent

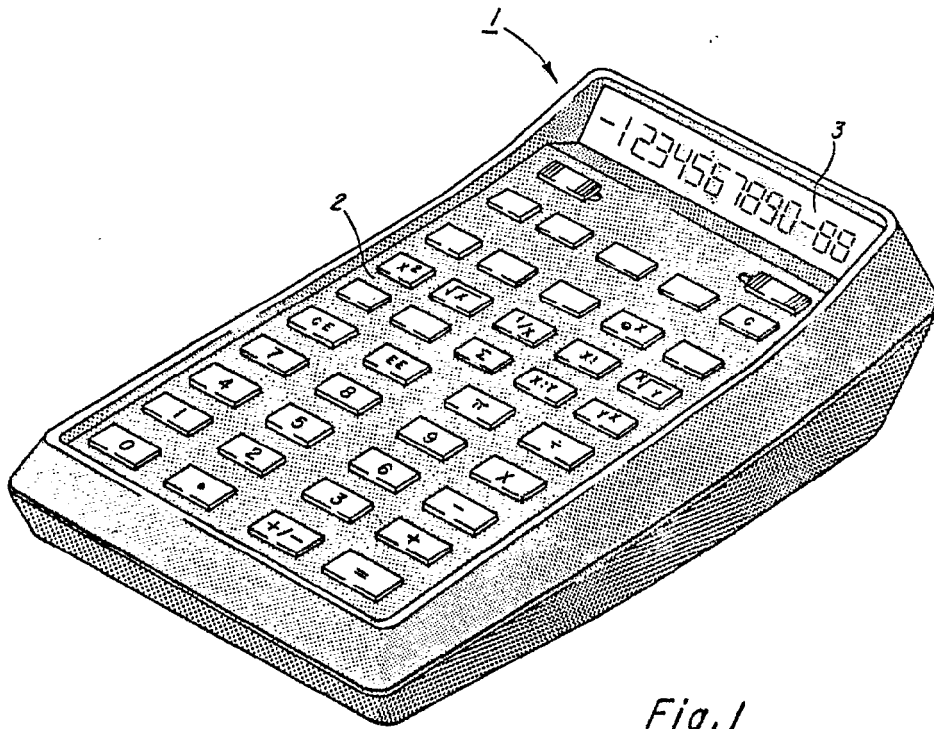


Fig. 1

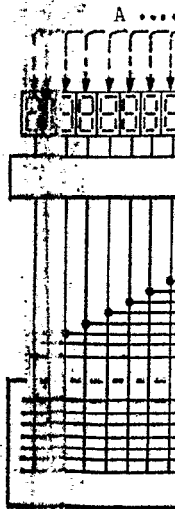
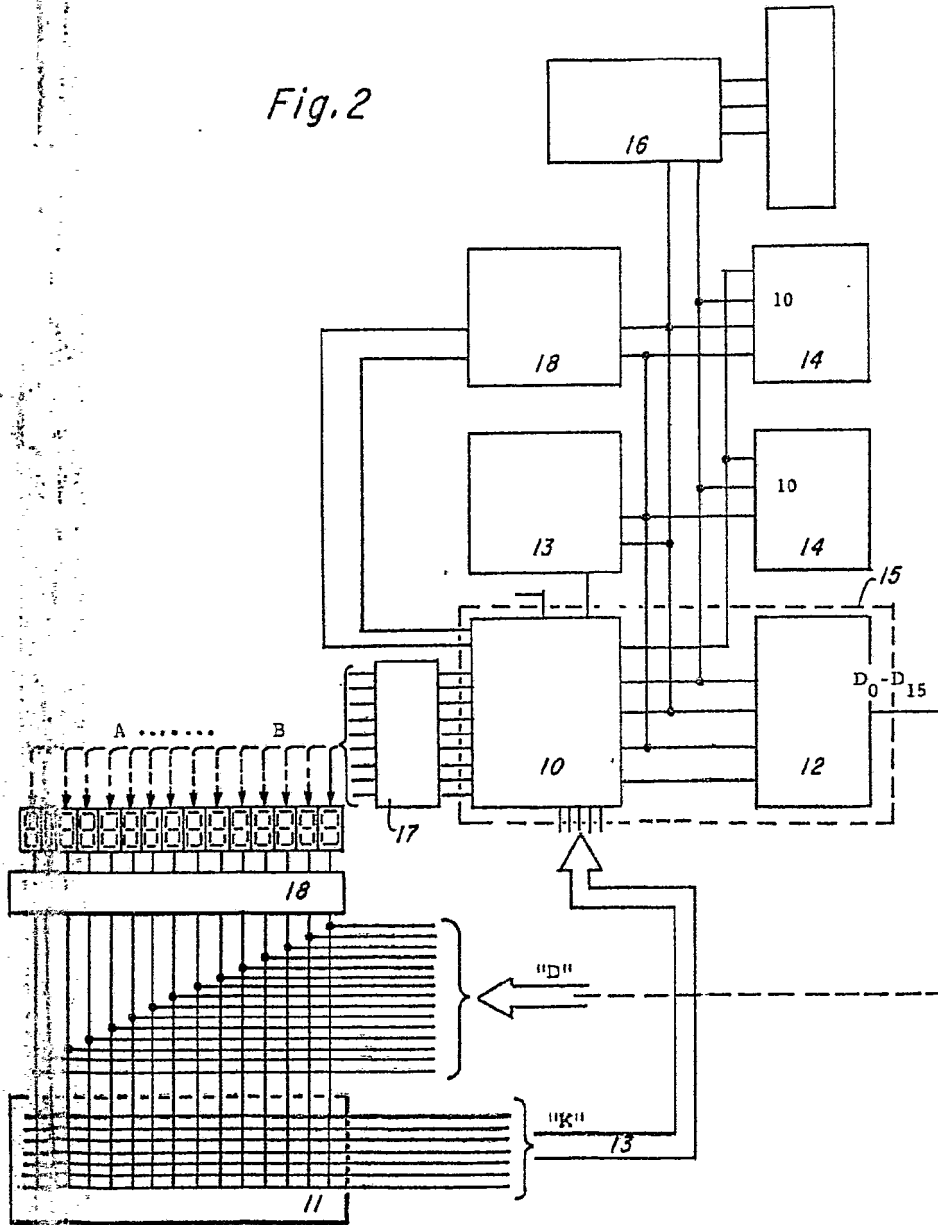


Fig. 2



Alberto G. ELIZABETH
Per Feder.

Albert E. ...
I. R. ...

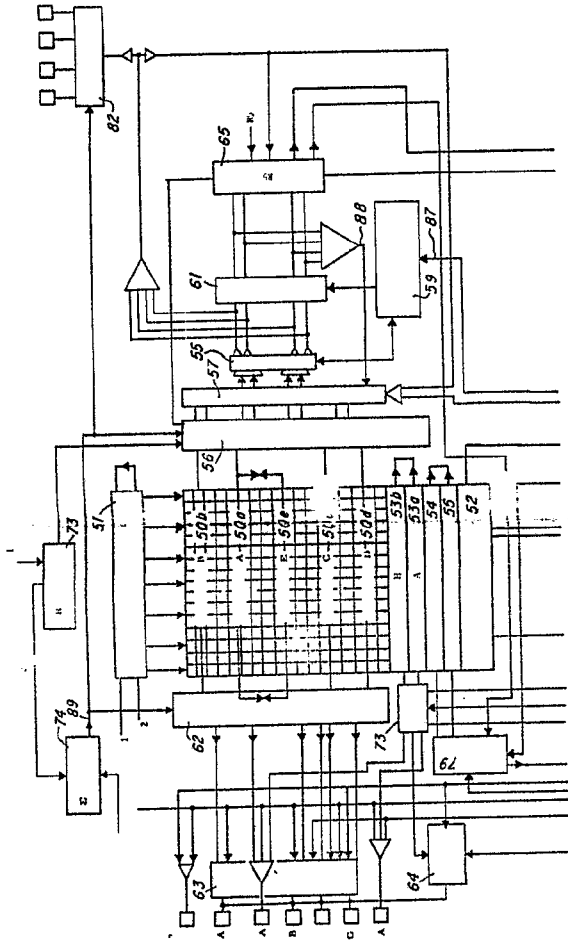


Fig. 3a

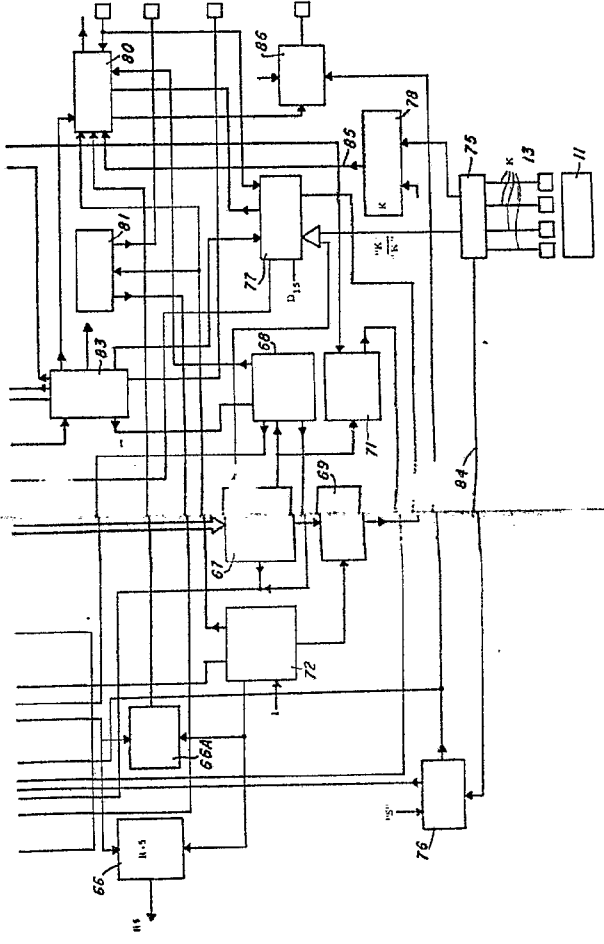


Fig. 3b

Fig. 3a

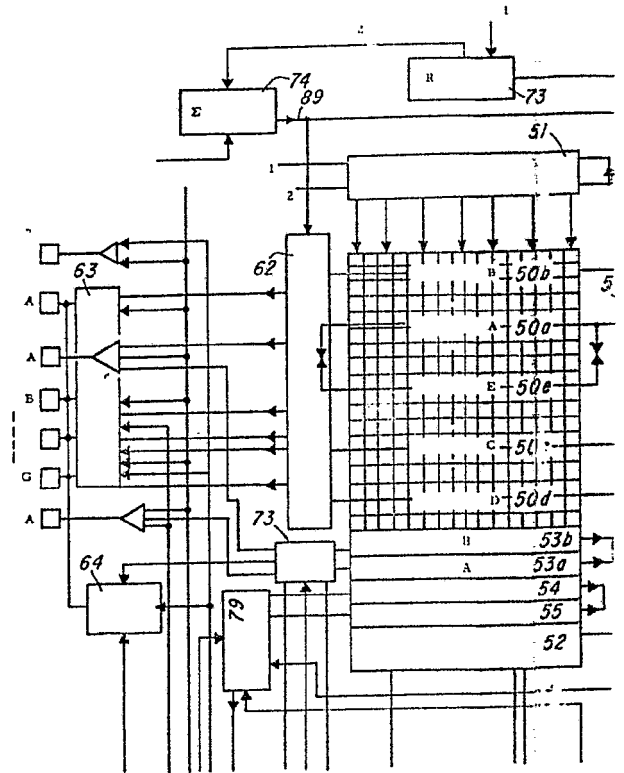
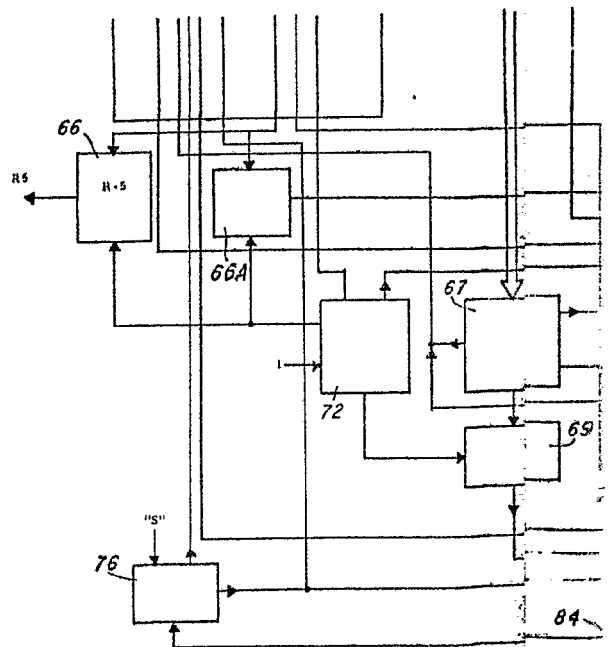
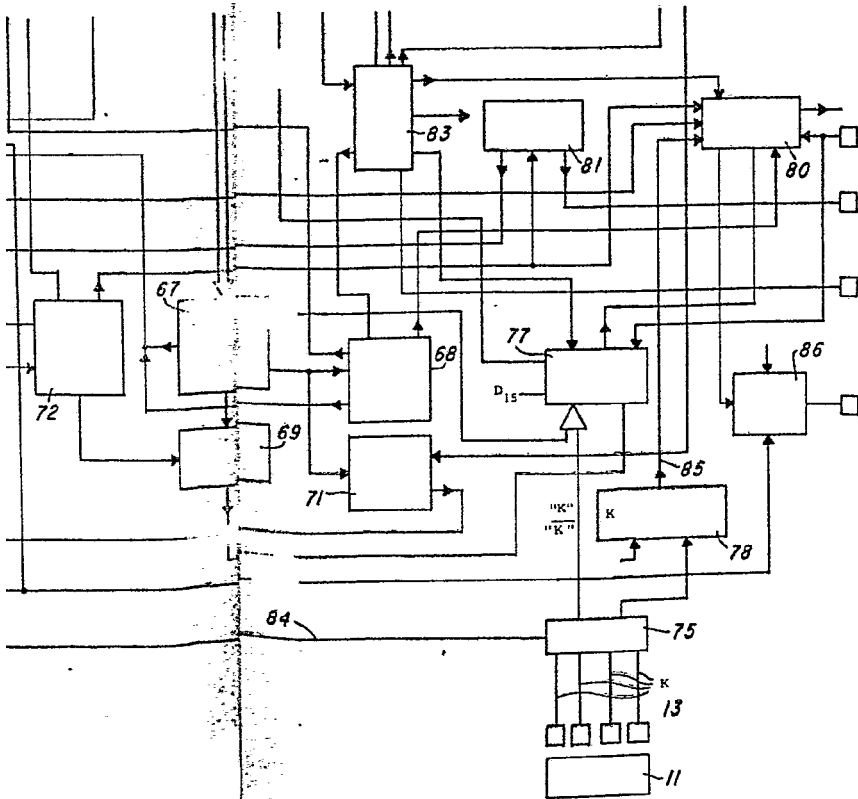
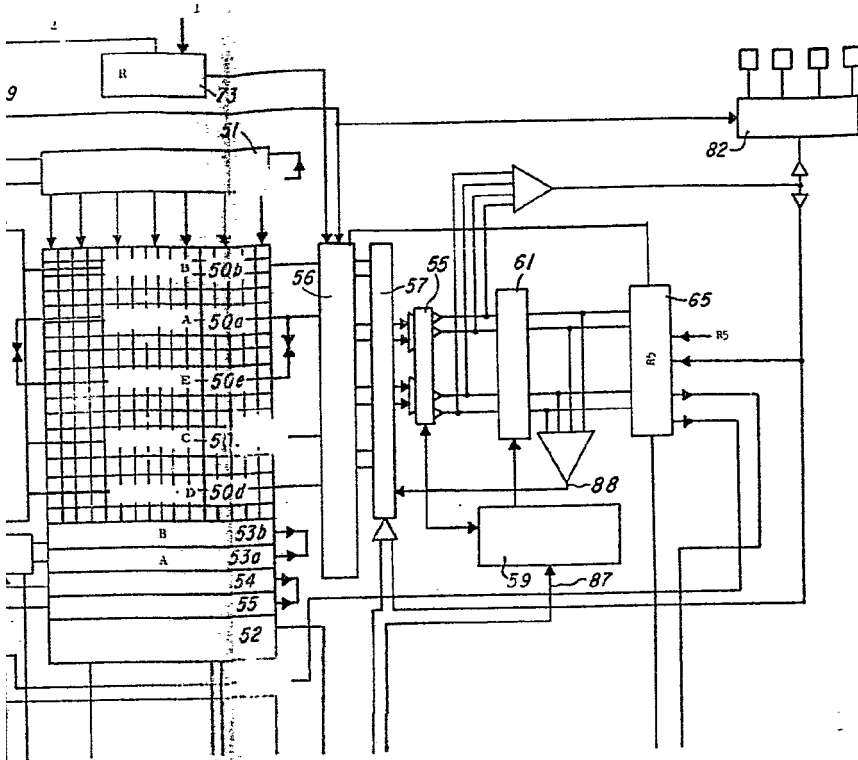
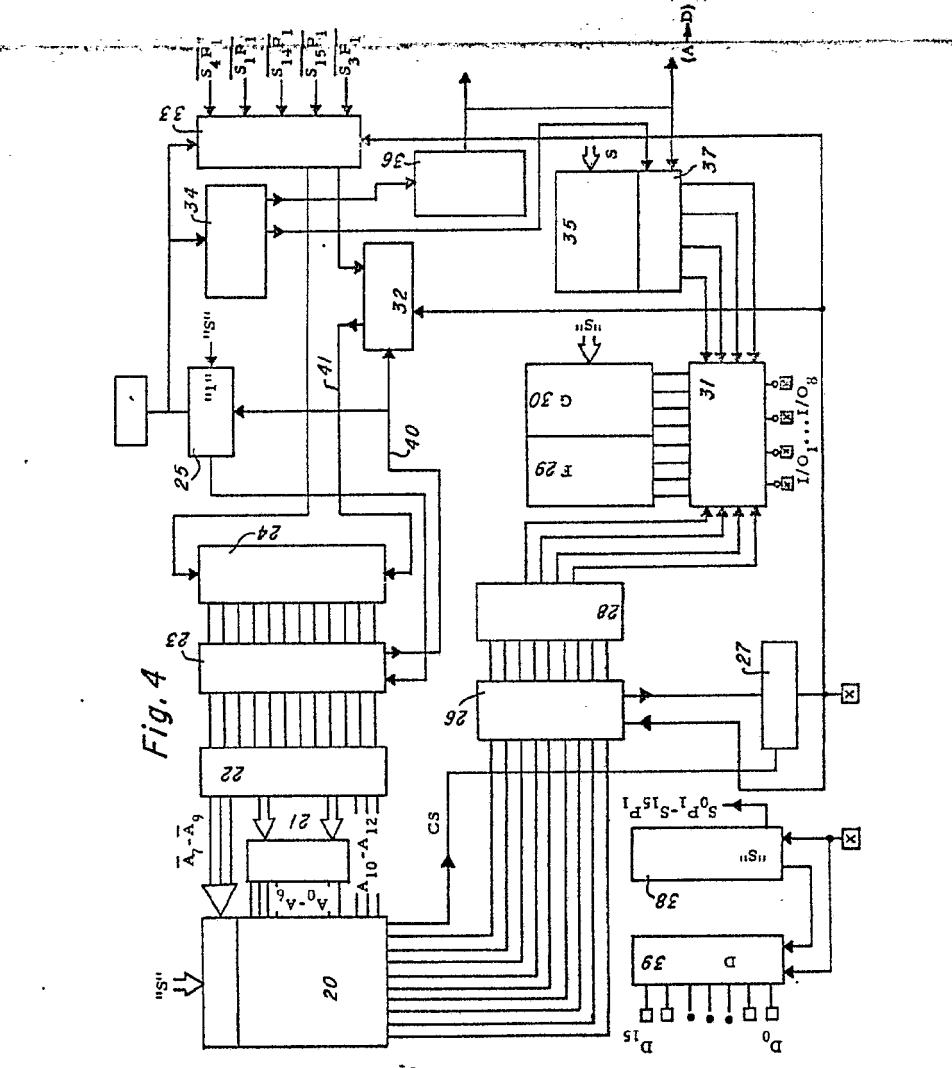
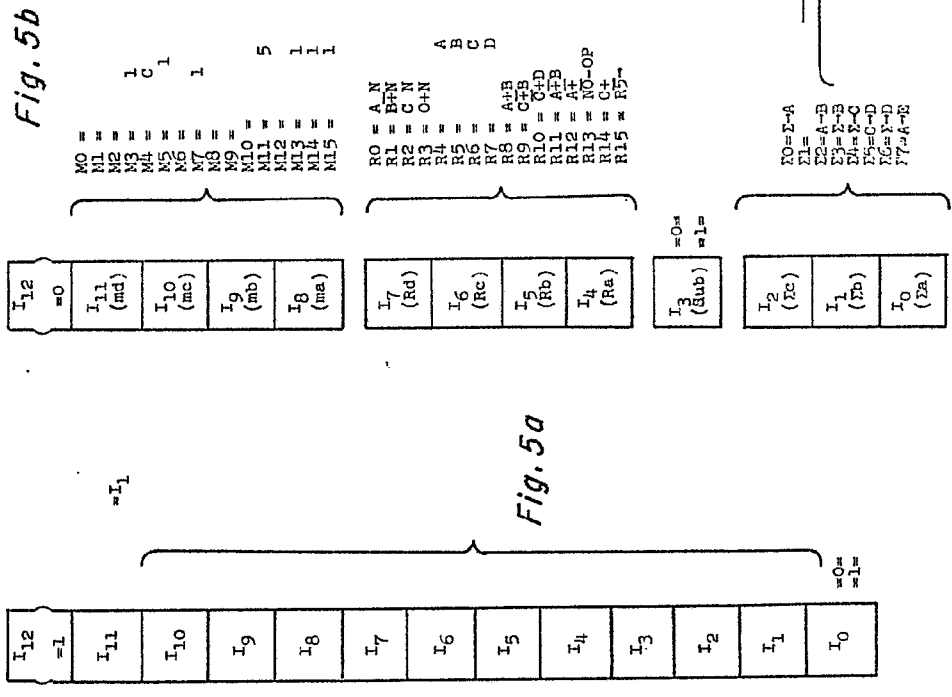


Fig. 3b

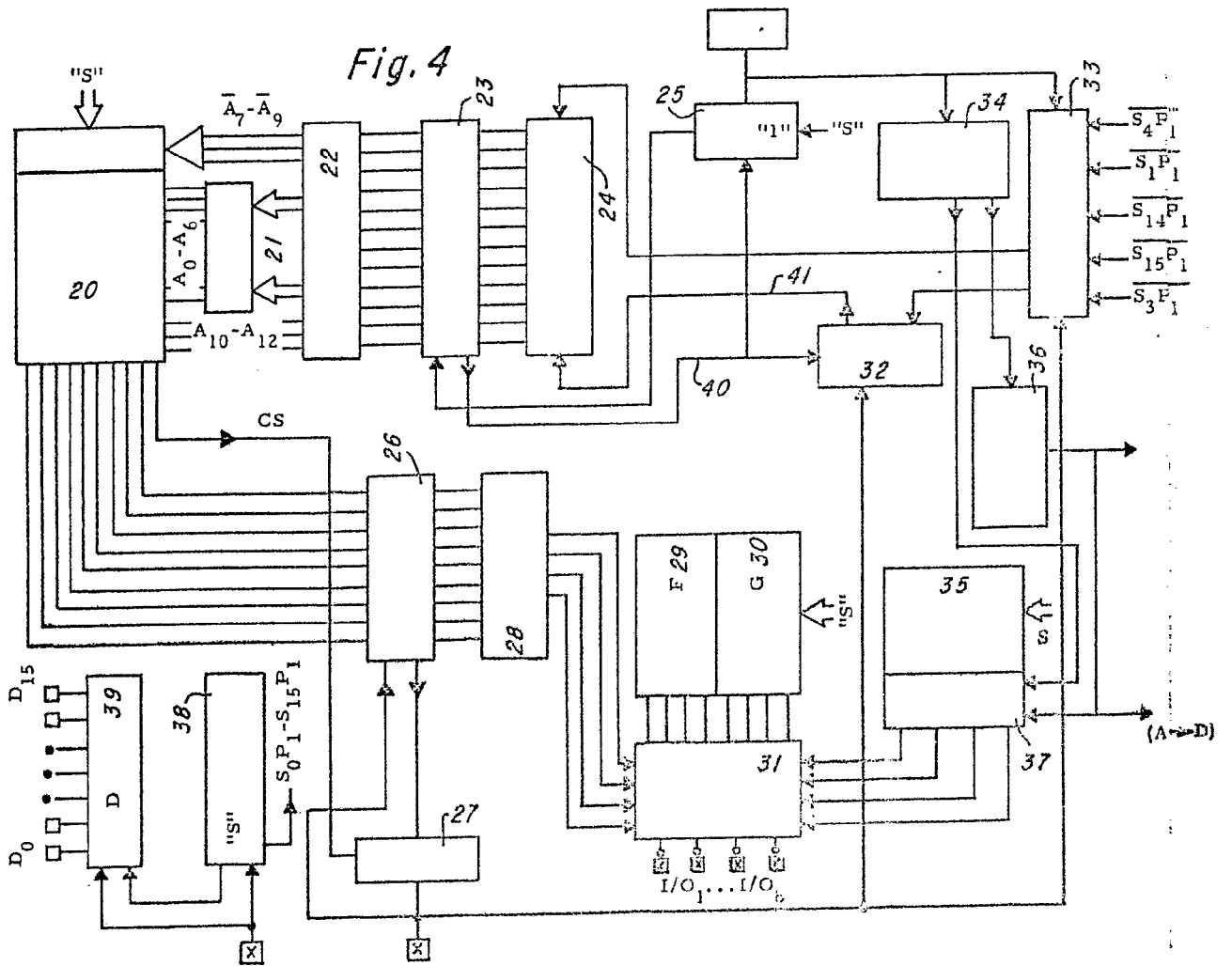




Alberta Gas Limited
Per Order



Alberto
for



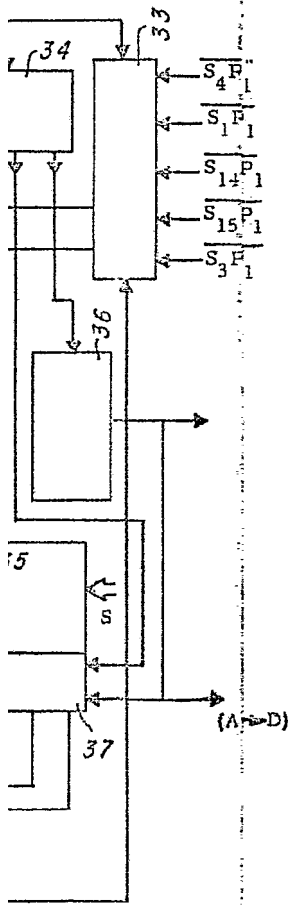


Fig. 5a

I ₁₂
=I ₁
I ₁₁
I ₁₀
I ₉
I ₈
I ₇
I ₆
I ₅
I ₄
I ₃
I ₂
I ₁
I ₀

=I₁

=0=
=1=

I ₁₂
=0
I ₁₁ (md)
I ₁₀ (mc)
I ₉ (mb)
I ₈ (ma)
I ₇ (Rd)
I ₆ (Rc)
I ₅ (Rb)
I ₄ (Ra)
I ₃ (Sub)
I ₂ (Σc)
I ₁ (Σb)
I ₀ (Σa)

=0=
=1=

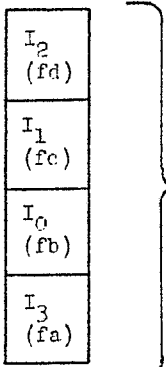
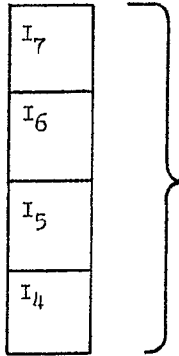
Fig. 5b

- M0 =
- M1 =
- M2 =
- M3 = 1
- M4 = C
- M5 = 1
- M6 =
- M7 = 1
- M8 =
- M9 =
- M10 =
- M11 = 5
- M12 =
- M13 = 1
- M14 = 1
- M15 = 1

- R0 = A N
- R1 = B+N
- R2 = C N
- R3 = O+N
- R4 = A
- R5 = B
- R6 = C
- R7 = D
- R8 = A+B
- R9 = C+B
- R10 = C+D
- R11 = A+B
- R12 = A+
- R13 = NO-OP
- R14 = C+
- R15 = R5-

- Σ0 = Σ-A
- Σ1 =
- Σ2 = A-B
- Σ3 = Σ-B
- Σ4 = Σ-C
- Σ5 = C-D
- Σ6 = F-D
- Σ7 = A+E

Handwritten signature



- f₀ =
- f₁ =
- f₂ =
- f₃ =
- f₄ =
- f₅ =
- f₆ =
- f₇ =
- f₈ =
- f₉ =
- f₁₀ =
- f₁₁ =
- f₁₂ =
- f₁₃ =
- f₁₄ =
- f₁₅ =

Fig. 5c

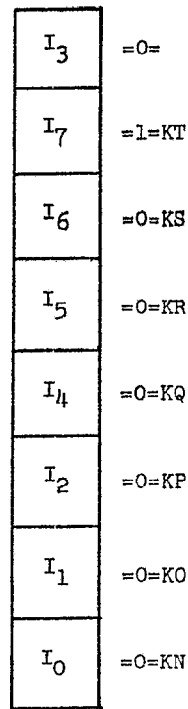


Fig. 5d

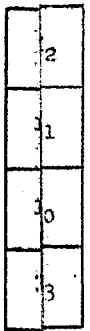
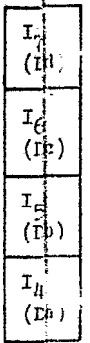
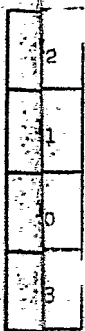


Fig. 5e

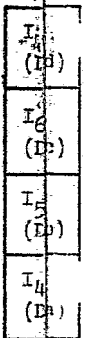


LSE



$W_0 =$ ⁰
 $W_1 =$ (KRR5 (D0)
 (R5KR (D1)
 $W_2 =$
 $W_3 =$
 $W_4 =$
 $W_5 =$
 $W_6 =$
 $W_7 =$
 $W_8 =$
 $W_9 =$
 $W_{10} =$
 $W_{11} =$
 $W_{12} =$ 5 { DO = A
 (D1 = B)
 $W_{13} =$ NO - OP
 $W_{14} =$
 $+W_{15} =$

Fig. 5e



W_0
 (D)

W_1
 DO = KRR5
 DI = R5KR

W_{14} (D)
 R5

W_{12}
 DO = A
 DI = B

Fig. 5f

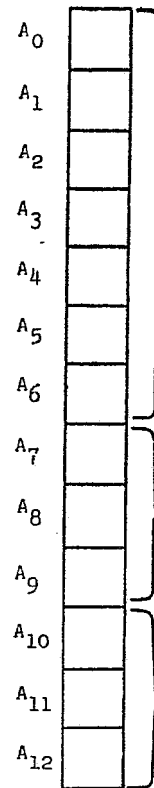
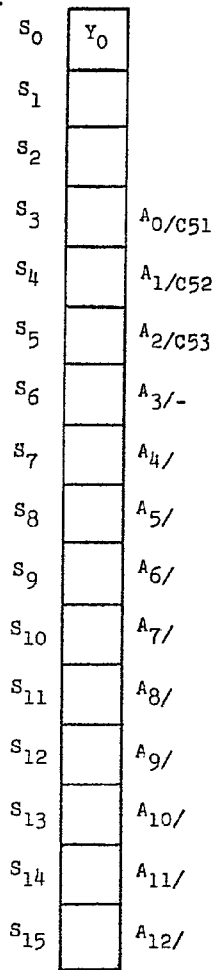


Fig. 5g

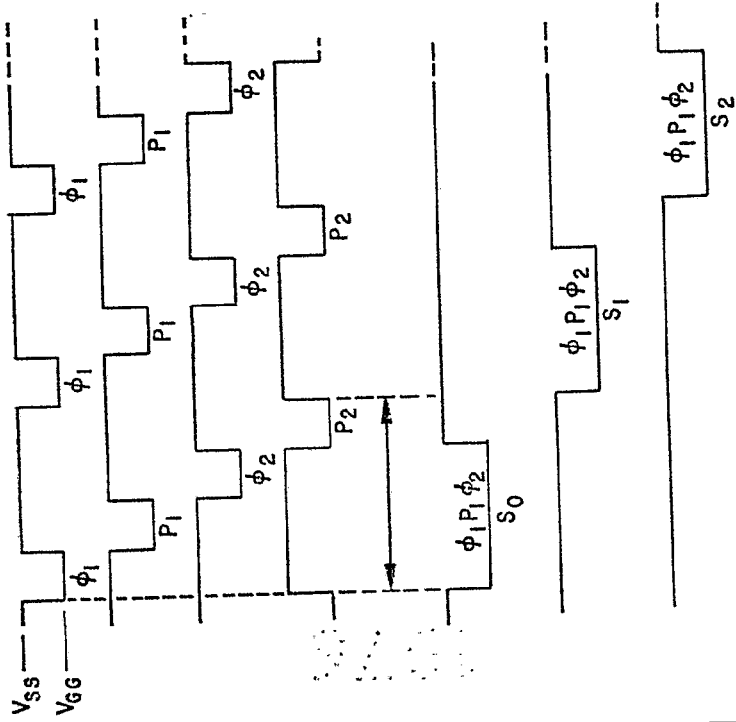


Fig. 6a

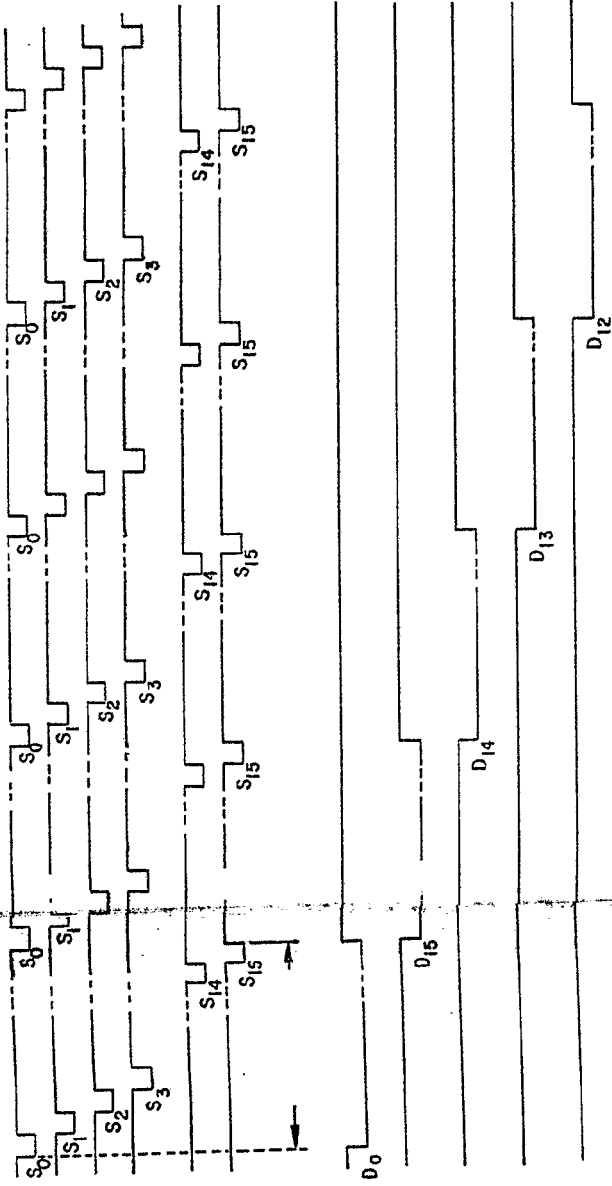


Fig. 6b

Arka

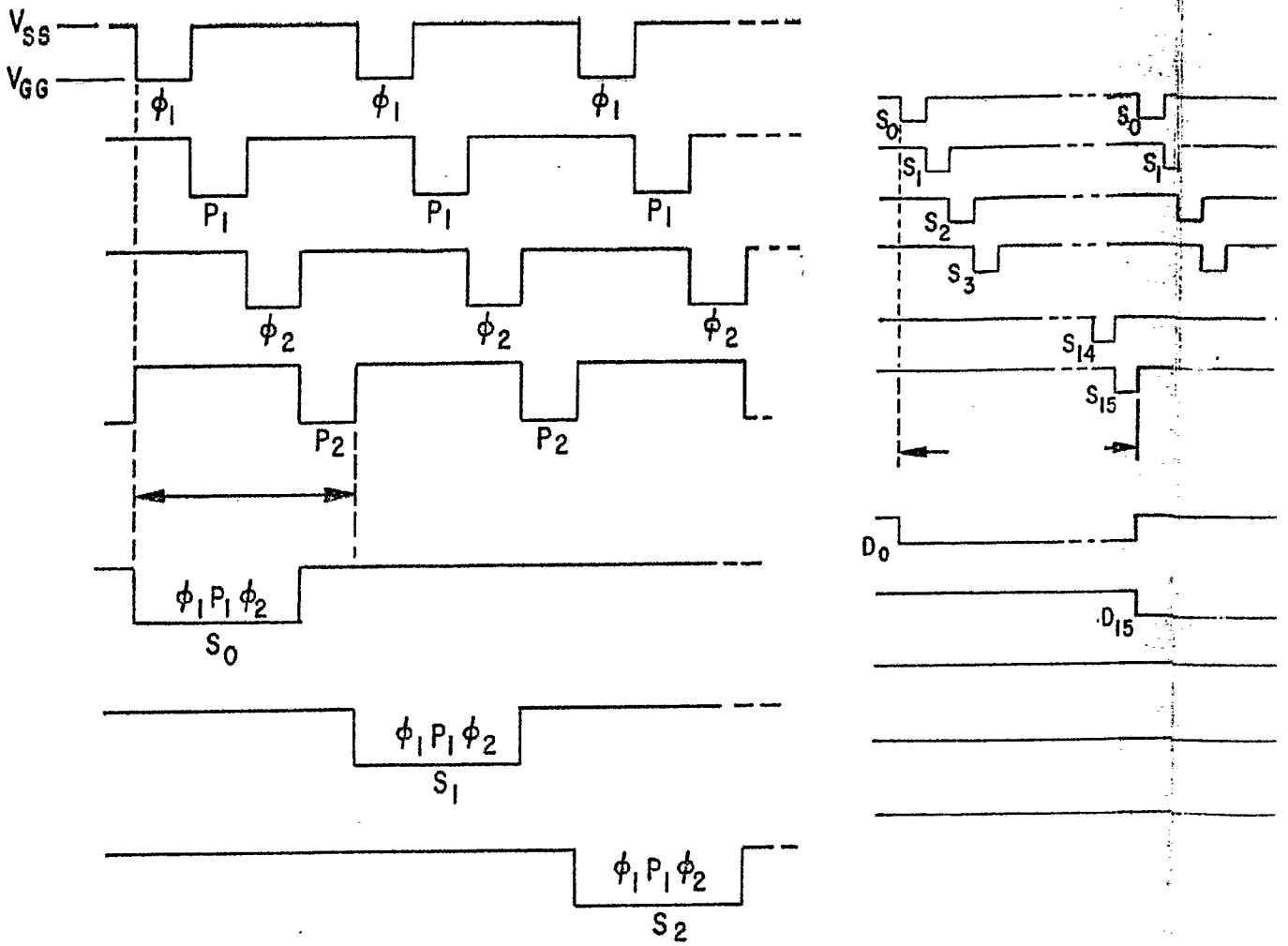


Fig. 6a

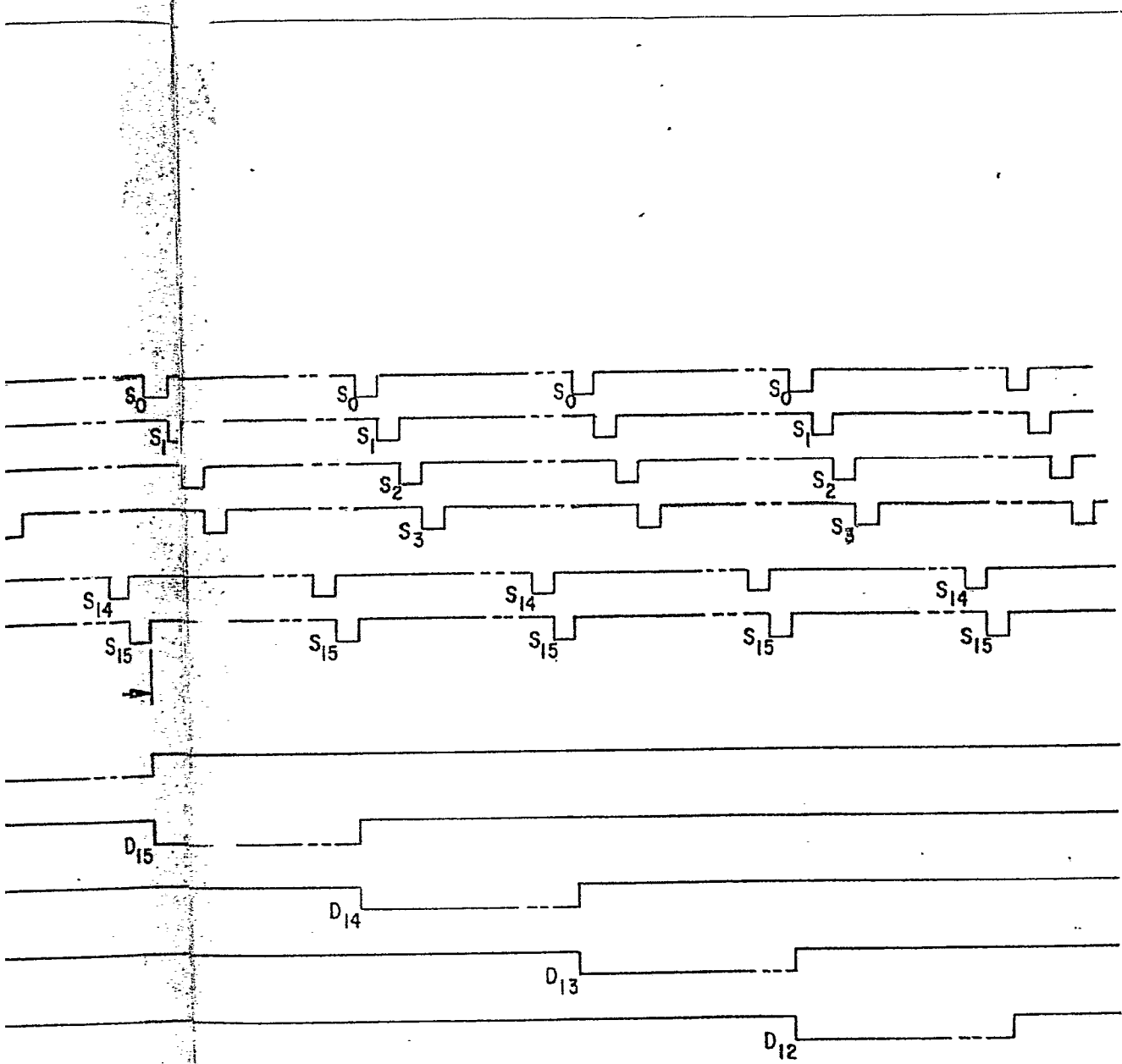


Fig. 6b

Alberto *[Signature]*
Por Feder.

Fig. 8a

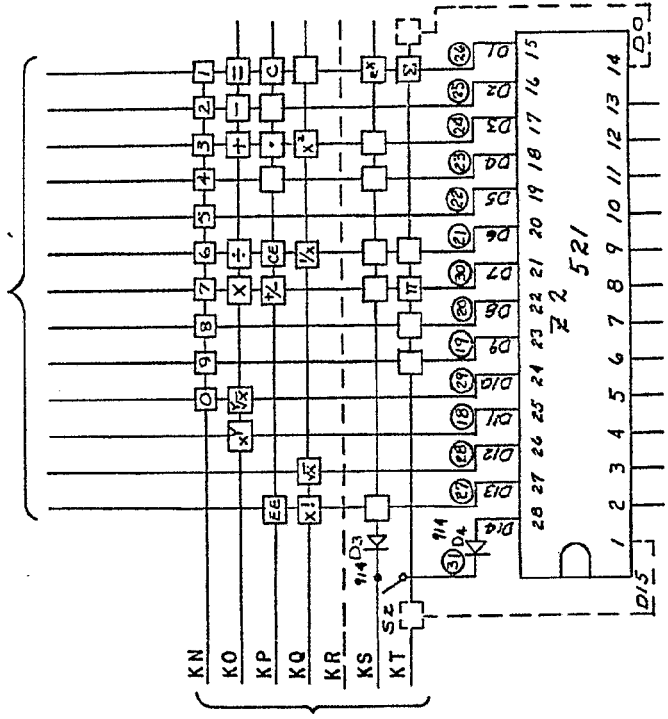
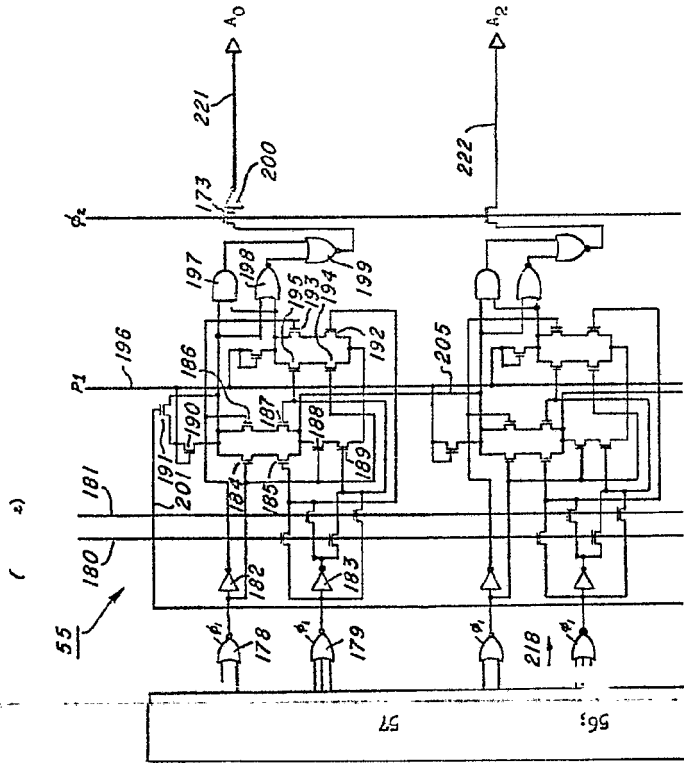


Fig. 7

Albert J. Zissman
Dallas, Texas

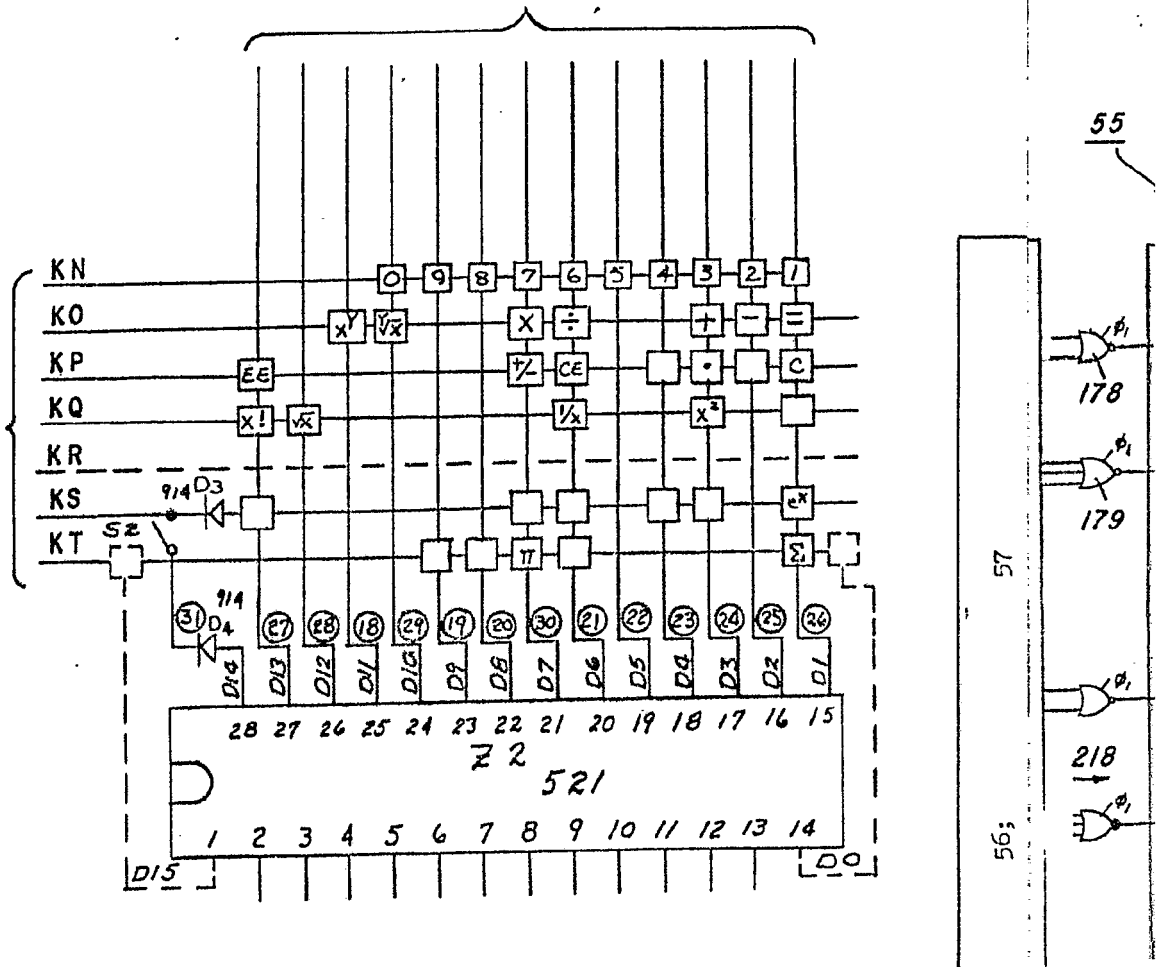


Fig. 7

Fig. 8b

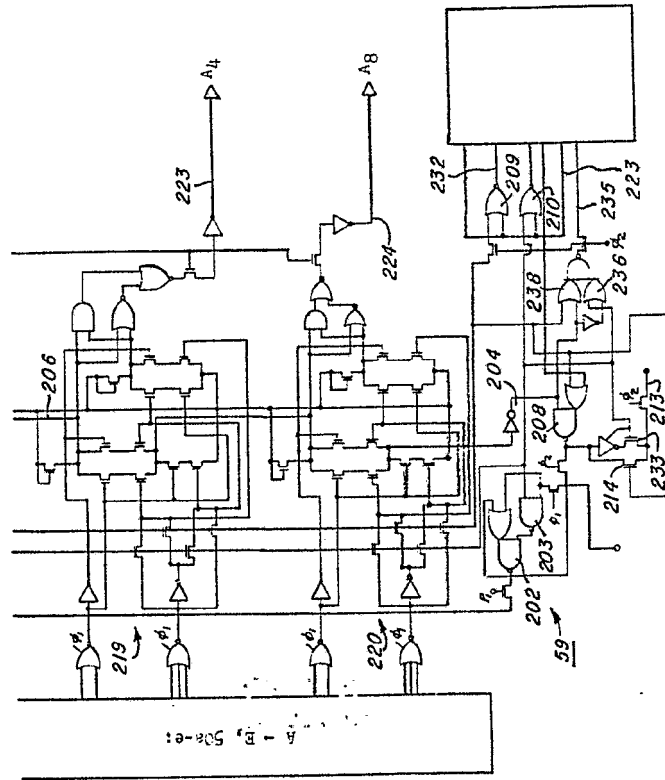
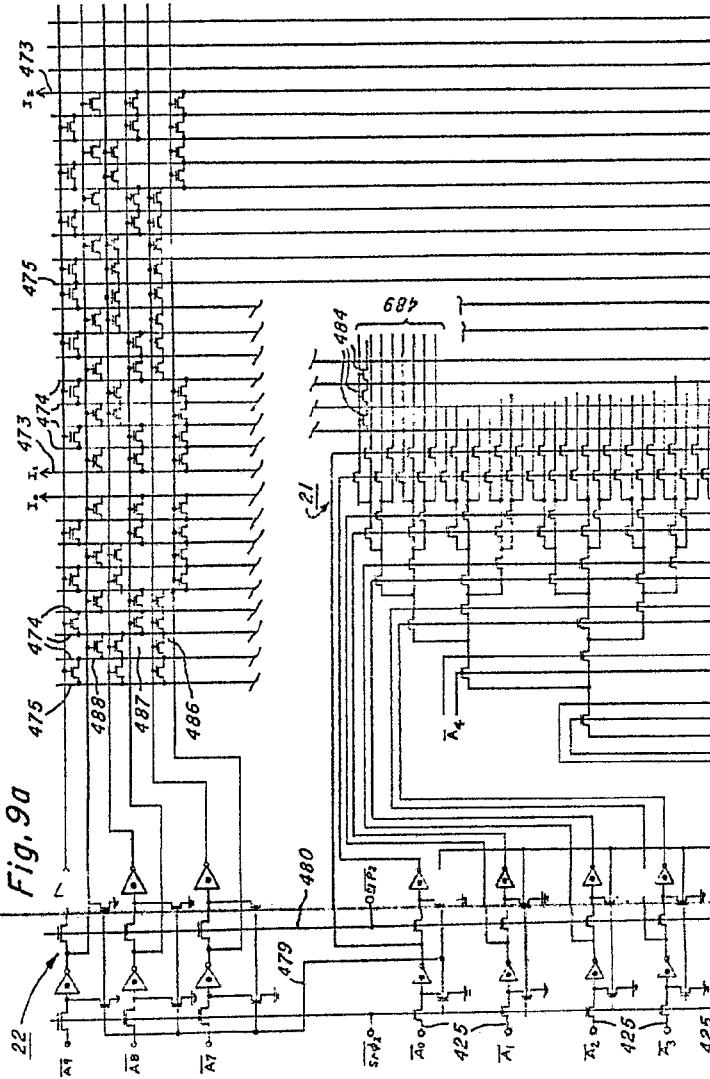


Fig. 9a




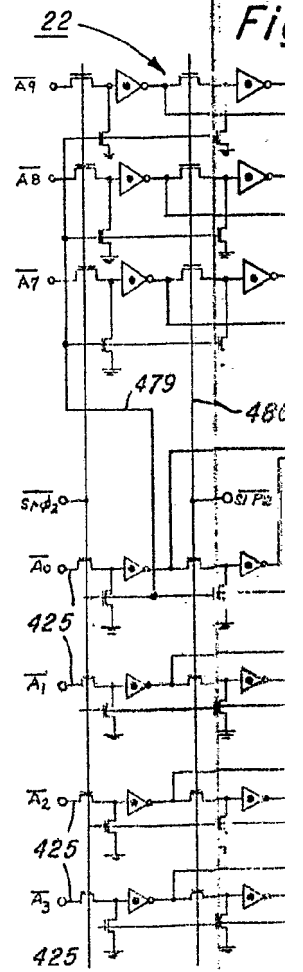
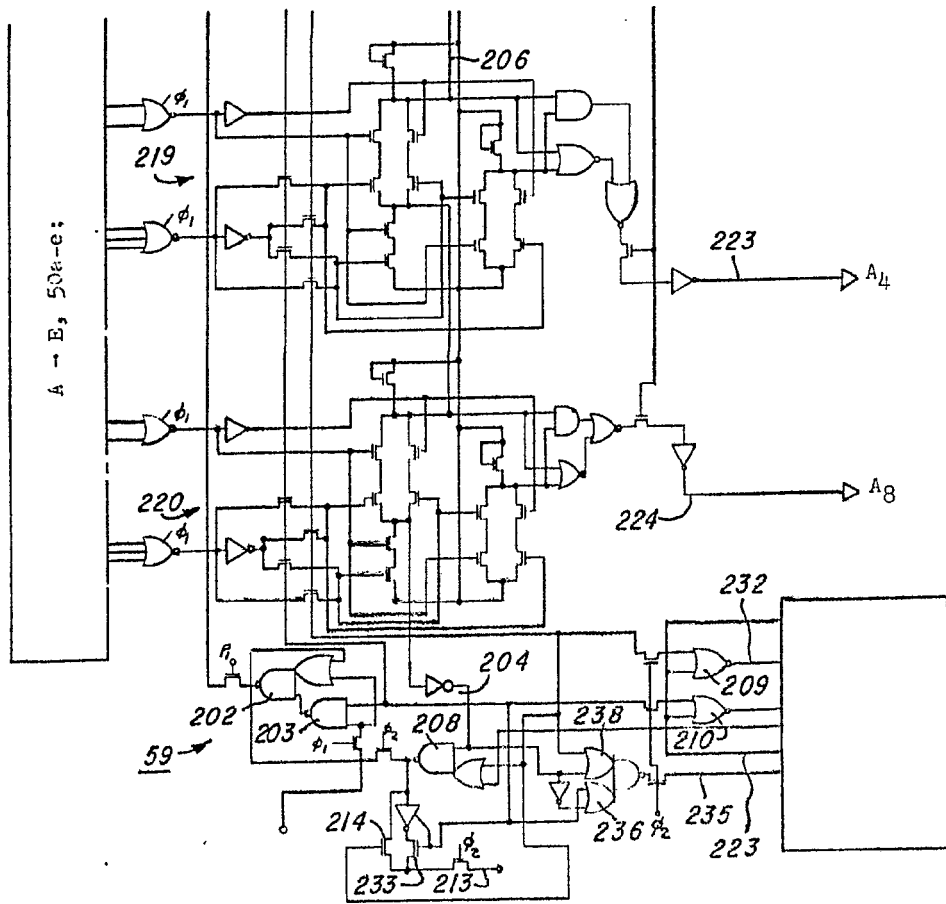
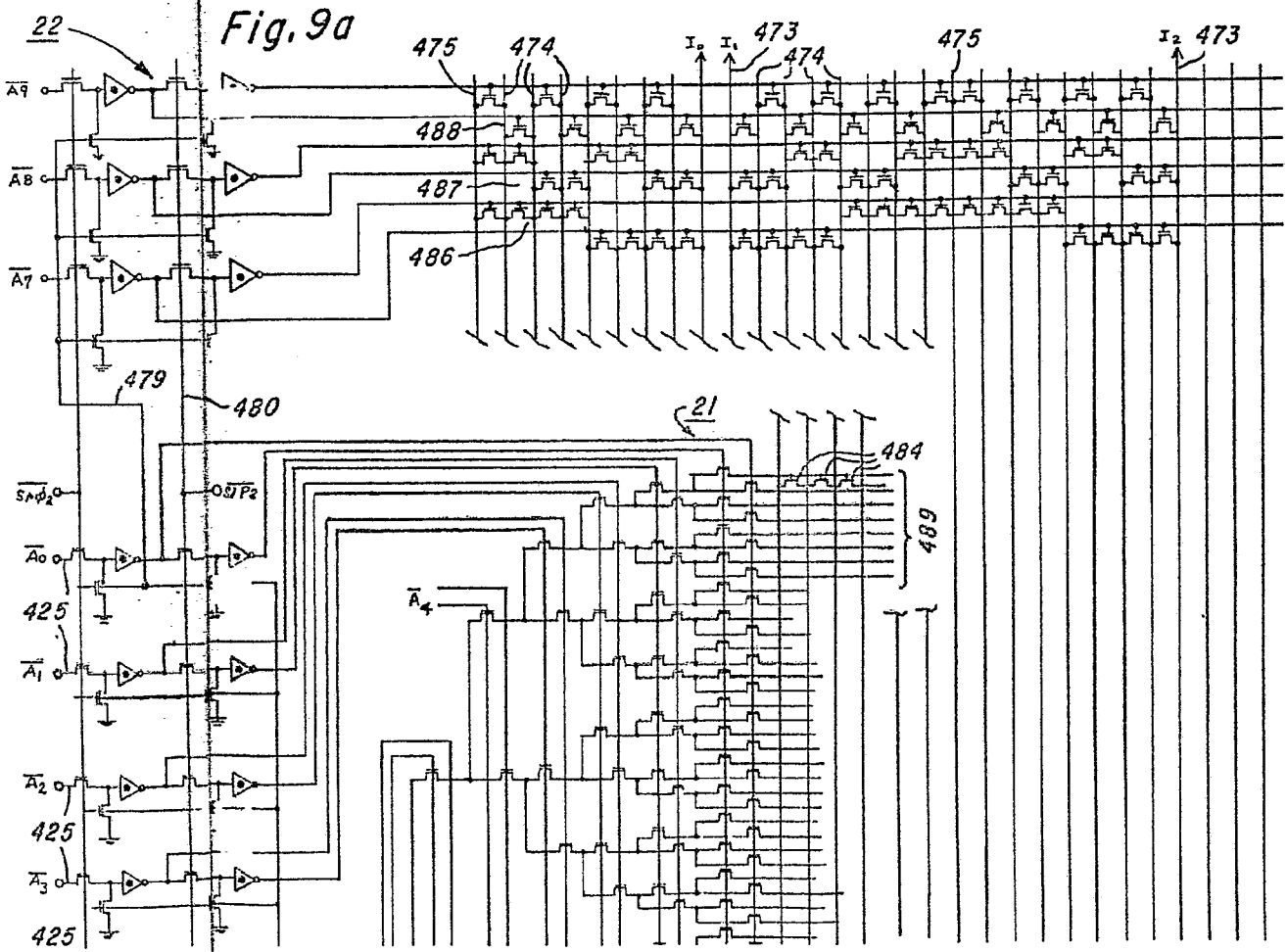

 Per Patent

Fig. 8b





Alberto de Almeida
Por Poder. *Almeida*

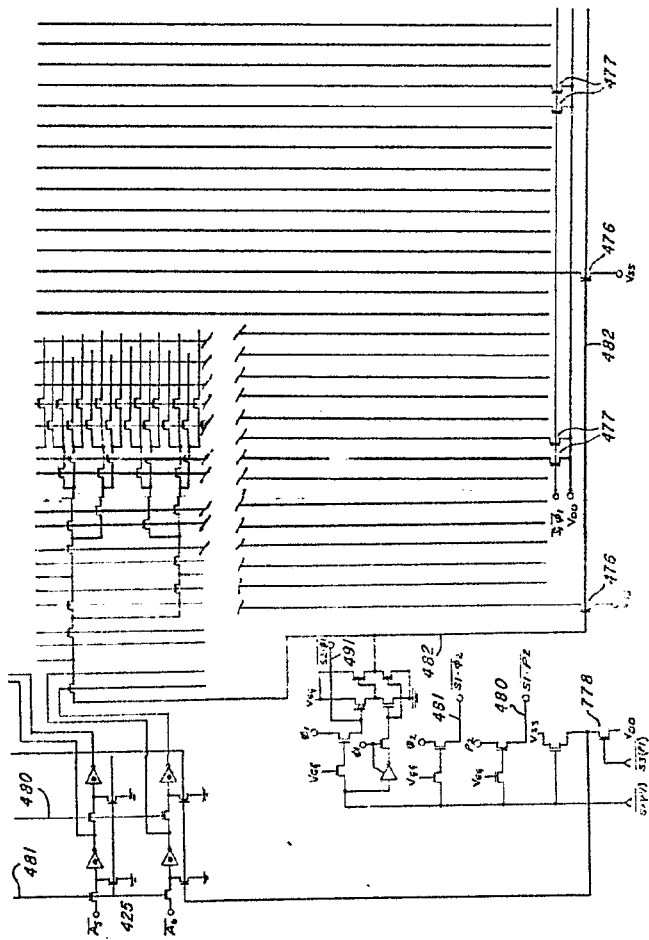


Fig. 9b

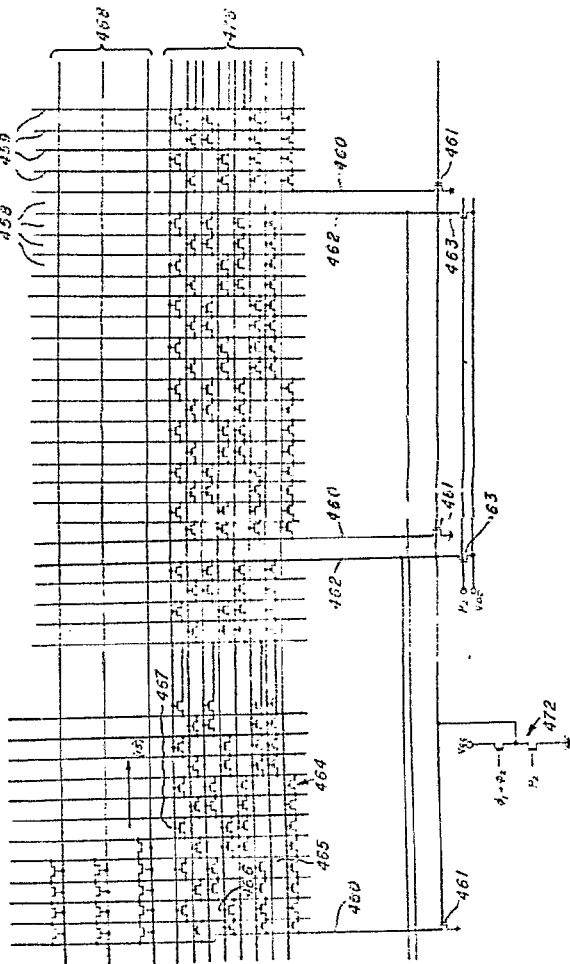


Fig. 9c

Wirth

Fig. 9b

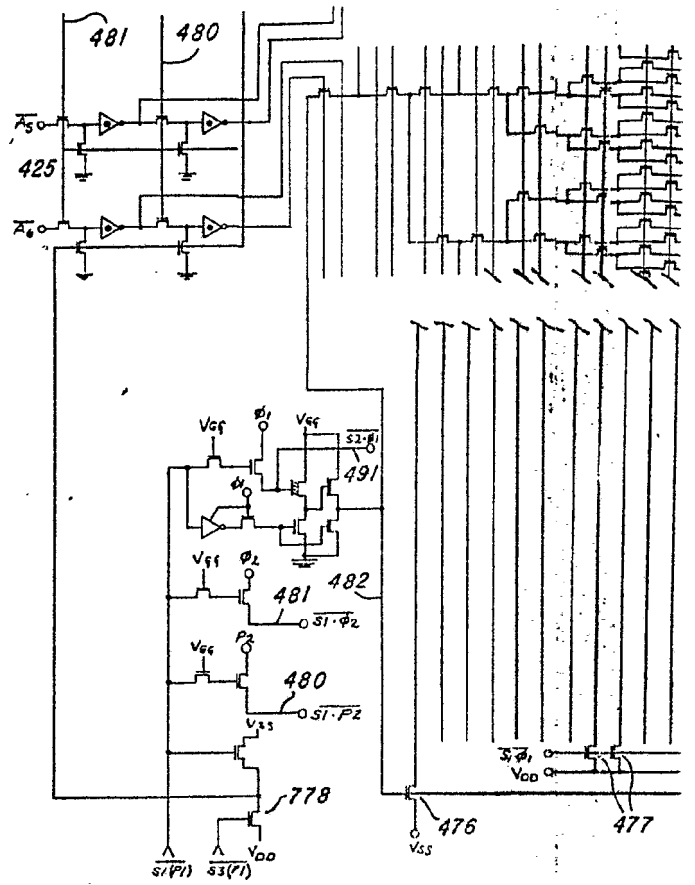
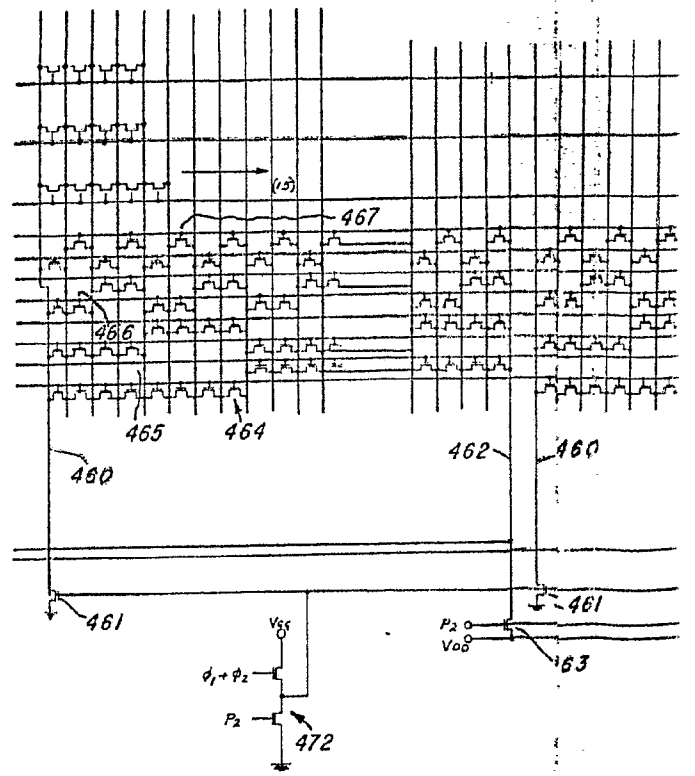
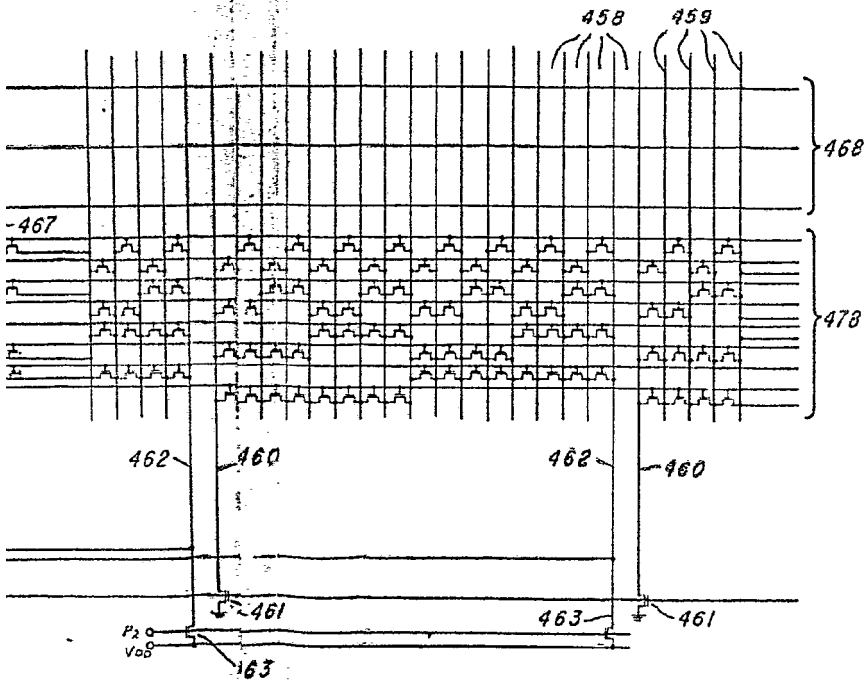
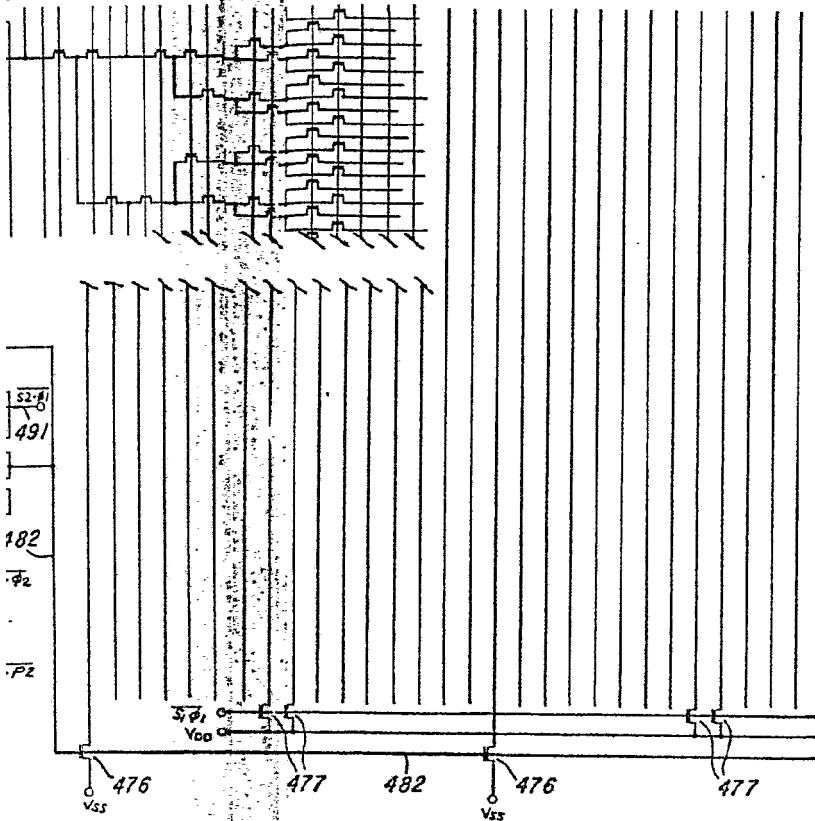


Fig. 9c





Albert *[Signature]*
Per *[Signature]*