

16 ENE. 1976

444.375

P.- 62.172

TI-4779-Div.

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION por 20 años

a nombre de TEXAS INSTRUMENTS INCORPORATED

entidad norteamericana

establecida en 13500 North Central Expressway, Dallas,
Texas, Estados Unidos de América.

por: "PERFECCIONAMIENTOS INTRODUCIDOS EN FILTROS ADAPTA
DOS ANALOGICOS DE DISPOSITIVOS ACOPLADOS POR CAR
GA".

(Clase Internacional H03k)

El presente invento se refiere a sistemas de tratamiento de señal en general, y más particularmente a filtros perfeccionados adaptados de dispositivo de transferencia de carga y configuración de detección de señal para ellos.

5

Los dispositivos semiconductores de transferencia de carga ofrecen numerosas ventajas a los diseñadores de circuitos, particularmente en el diseño de filtros adaptados y líneas de retardo. Los dispositivos de transferencia de carga (CTD) incluyen dispositivos acoplados por carga (CCD) y dispositivos de "norria" (BB). Una ventaja principal de los dispositivos CTD es su simplicidad inherente y su rendimiento de coste. Por ejemplo, una línea de retardo de dispositivos BB o registro de desplazamiento está definida por una fila de transistores de efecto de campo de electrodo de control aislado (IGFET). No se requiere para los dispositivos BB la conexión a las respectivas regiones de electrodo de entrada y salida, reduciendo de este modo sustancialmente la dificultad de fabricación. La carga es transferida a lo largo del dispositivo BB por señales de sincronismo de fases múltiples aplicadas a los electrodos de control, requiriéndose solamente conexión eléctrica directa a regiones impurificadas para dar entrada y salida a los datos. Los dispositivos CCD son aún de estructura más básica, estando defi-

10

15

20

25

nidos sustancialmente por un substrato impurificado homogeneamente, requiriéndose solamente uniones p-n en la entrada y salida del registro de desplazamiento. La transferencia de carga es activada a lo largo del registro de desplazamiento por señales de sincronismo de fases múltiples aplicadas a una serie de electrodos formados sobre el substrato y separados del mismo por una delgada región aislante. Las señales de sincronismo generan "pozos" de potencial bajo los electrodos en los cuales es "vertida" la carga.

Los dispositivos de transferencia de carga tienen utilidad en muchísimas aplicaciones de tratamiento de señal. Se encuentran aún numerosas dificultades, sin embargo, en la aplicación con éxito de la tecnología CTD a ciertas configuraciones de dispositivo. A modo de ejemplo, en líneas de retardo con tomas, tales como para un filtro adaptado, las configuraciones convencionales de disposición de tomas intermedias producen una forma de onda "escalonada". Es decir, se requieren dos nodos de almacenamiento para cada bitio de información en una línea de retardo. De este modo, en un sistema de dos fases estará presente la señal durante una fase de señal de sincronismo, pero durante la fase siguiente del ciclo de señal de sincronismo, la señal volverá a un valor de referencia dado. La forma de onda escalonada ha necesi-

tado utilización de circuitos de muestreo y retención, etc. para enmascarar la fluctuación de "retorno al valor de referencia" de la señal de salida.

5 Hasta la fecha, no están disponibles circuitos adecuados para extraer bitios sucesivos en puntos intermedios de una línea de retardo de dispositivos CTD y producir una señal continua de salida en una porción principal del ciclo de sincronismo.

10 En aplicaciones que requieren suma de señal, tales como los filtros adaptados, por ejemplo, la configuración de código se define típicamente durante la fabricación de tal modo que la configuración de dispositivo resultante es eficaz como filtro adaptado solamente para ese código. Se presentan numerosas situaciones, sin embargo, en las que sería ventajoso tener la posibilidad
15 de programar selectivamente para un código diferente un filtro adaptado dado. Actualmente, no existen disponibles tales filtros programables electrónicamente.

20 Con referencia a las configuraciones de detección y suma de señales para dispositivos CCD, la señal presente en cada paso de una línea de retardo analógica de dispositivos CCD es difícil de detectar, particularmente en aplicaciones de filtro adaptado en donde el electrodo de control está dividido en dos porciones de área variable
25 para efectuar la ponderación de coeficientes. Aún cuan-

5

do la corriente de señal de sincronismo puede medirse como indicación de señal almacenada en los bitios correspondientes de un dispositivo CCD, la corriente de señal de sincronismo es transitoria por naturaleza, y difícil de medir.

10

En conformidad, un objeto del presente invento es la creación de una configuración de circuito mejorada para medir la señal en cada uno de los bitios de una línea de retarde analógica de dispositivos BB, cuya configuración de circuito es eficaz para producir una salida que es continua en una porción principal de un ciclo de sincronismo.

15

Un objeto adicional del invento es la creación de un filtro adaptado programable electrónicamente.

20

Un objeto adicional del invento es una configuración mejorada de detección de carga para medir la corriente de alimentación de señal de sincronismo a las dos porciones diferentes de un filtro adaptado de dispositivos CCD con ponderación de coeficientes por electrodo dividido.

25

Brevemente, de acuerdo con el invento, se crean configuraciones mejoradas de circuito para utilización en la detección y tratamiento de carga eléctrica en dispositivos semiconductores de transferencia de carga. En uno de los aspectos del invento, se crea una configu-

ración de circuito para detectar la carga almacenada en cada uno de los bitios de una línea de retardo analógica de dispositivos BB y que proporciona una señal de salida durante una porción importante de un ciclo de sincronismo de fases múltiples. La configuración de circuito está definida por tomas de alta impedancia establecidas a cada nudo del dispositivo BB, estando definidas las tomas de alta impedancia por transistores respectivos de efecto de campo de electrodo de control aislado, estando eléctricamente conectados los electrodos de control de los mismos a los nudos. Las salidas de pares de transistores adyacentes son sumadas proporcionando así una salida continua correspondiente al bitio que se considera sustancialmente en la totalidad del ciclo de sincronismo de fases múltiples. El primer transistor muestrea la señal de salida sobre los nudos siguientes a los electrodos de control a los que se les ha aplicado señal de sincronismo durante la primera mitad del ciclo de sincronismo. El segundo transistor muestrea la señal sobre los nudos adyacentes siguientes a los electrodos de control a los que se ha aplicado señal de sincronismo en respuesta a la segunda mitad del ciclo de sincronismo. Esta configuración elimina ventajosamente la forma de onda de "retorno a un valor fijo" característica de las configuraciones en las que se efectúa toma intermedia de cada uno de los

bitios solamente en un nudo de señal. Preferiblemente cada par de transistores está definido para compartir una resistencia de carga común.

5 En un aspecto diferente del invento, cada uno de los bitios de una línea de retardo analógica de dispositivos de transferencia de carga es extraído en toma intermedia y la señal detectada es tratada por una configuración eficaz para definir un filtro adaptado; más particularmente, un filtro adaptado que puede ser
10 programado electrónicamente para definir códigos diferentes. El filtro programable incluye circuitos eficaces para conmutar selectivamente cada salida de bitio indistintamente a una línea general de suma negativa o positiva, y para ponderar selectivamente la amplitud de
15 señal con un par de transistores de conmutación acoplados a cada salida de bitio, que tienen electrodos de control para recibir señales de código que definen si esa salida de bitio ha de ser sumada sobre una línea general negativa o sobre una línea general positiva. La señal
20 de control aplicada a uno de los transistores es el complemento de la señal aplicada al otro. Un segundo par de transistores acoplan respectivamente las líneas generales negativa y positiva a uno de los dos terminales de un transistor detector de tensión de nudo. Los electro-
25 dos de control del segundo par de transistores están tam-

bién acoplados respectivamente a las señales de código complementarias. De este modo, en respuesta a una señal de código "alta", será polarizado a conducción uno de los transistores del primer par de transistores, conectando una tensión de alimentación al electrodo de salida del transistor detector de nudo. También, será polarizado a conducción uno de los segundos pares de transistores, conectando el electrodo de entrada del transistor detector de nudo a una de las líneas generales de suma. Si se desea, el segundo par de transistores puede estar definido de modo que la tensión de electrodo de control sea variable selectivamente, es decir, que no se reciba directamente de la señal de código complementaria, para producir una configuración en donde la ponderación de amplitud puede ser también selectivamente variable. Alternativamente, los transistores están definidos para tener un valor fijo de ponderación que responde a las señales de código complementarias.

En un aspecto adicional del invento, se crea una configuración de circuito totalmente integrada para extraer cada uno de los bitios en puntos intermedios de una línea de retardo de dispositivos de "norria", ponderar selectivamente la amplitud de la señal detectada para proporcionar una función de filtro adaptado programable, y sumar las señales ponderadas para producir una sa-

lida, de tal modo que se requiere solamente una conexión de salida a la plaquita, en contraste con las configuraciones convencionales que requieren N salidas para un filtro de N bitios.

5 En un aspecto diferente del invento, se crea una configuración de circuito mejorada para detectar la carga en cada uno de los bitios de un filtro adaptado analógico de dispositivos CCD. El circuito hace posible ventajosamente el tratamiento de una señal esencialmente estacionaria en contraste con los circuitos convencionales de toma de dispositivos CCD que están dirigidos a detectar señales que son transitorias por naturaleza. El circuito incluye dos líneas discretas de señal de sincronismo para conexión a las dos porciones del electrodo, cuya relación de área relativa define el coeficiente de ponderación deseado. Cada una de las líneas discretas incluye una capacidad, cuyo valor es mucho más grande que las capacidades combinadas de las porciones de electrodo de los respectivos bitios conectados a ella. La capacidad se carga a un potencial de referencia en respuesta a una primera señal de sincronismo. En respuesta a una señal de sincronismo subsiguiente la capacidad suministra la corriente de recarga correspondiente a la señal almacenada en los bitios CCD, descargándose en una cantidad proporcional a la misma. La capacidad está también conectada al electrodo

10

15

20

25

de control de un transistor de salida de efecto de campo de electrodo de control aislado. Cuando la capacidad está inicialmente cargada al potencial de referencia, el transistor de salida tiene una tensión de salida máxima. Al descargarse el condensador a un nivel esencialmente estacionario, el transistor de salida tiene una salida correspondientemente más baja. Esta salida más baja corresponde a la señal deseada y es medible por procedimientos convencionales.

Otros objetos, ventajas y utilizaciones del invento quedarán puestos de manifiesto al leer la siguiente descripción detallada de realizaciones ilustradas en combinación con los dibujos, en donde:

La figura la es un esquema de una línea de retardo de dispositivos de "noria" que ilustra una toma de alta impedancia en un nudo de señal.

La figura lb es una vista en planta que representa la ejecución mediante la técnica metal-aislador-semiconductor de una porción del circuito esquemático de la figura la;

La figura lc es una ilustración gráfica de formas de onda típicas producidas por la línea de retardo con tomas intermedias de la figura la;

La figura 2a es un esquema de una línea de retardo de dispositivos de "noria" eficaz para producir

una forma de onda de salida continua esencialmente durante todo un ciclo de sincronismo;

La figura 2b ilustra gráficamente formas de onda típicas del circuito representado en la figura 2a;

5 La figura 2c es una vista en planta que ilustra la ejecución adecuada en circuito integrado del circuito de la figura 2a;

10 La figura 3 es un esquema que ilustra la conexión de un par de transistores tal como se ilustra en la figura 2a en donde los transistores comparten una impedancia de carga común;

15 La figura 4 es una ilustración de diagrama de bloques de un circuito adecuado para conectar selectivamente la salida de una línea de retardo indistintamente a una línea general de suma positiva o negativa, proporcionando así un filtro adaptado programable electrónicamente;

20 La figura 5 es una ilustración esquemática de una ejecución en circuito integrado por la técnica metal-aislador-semiconductor del circuito de suma selectiva representado en la figura 4.

La figura 6a ilustra esquemáticamente una porción de un filtro adaptado de dispositivos de "norcia" que muestra la suma de señal adecuada;

25 La figura 6b ilustra esquemáticamente la uti-

lización de una impedancia de nivel variable en el circuito de la figura 6a;

5 La figura 7 ilustra esquemáticamente una porción de un filtro adaptado de dispositivos de "norria" y los circuitos asociados de tratamiento de señal adecuados para ejecución en circuito integrado;

10 Las figuras 8a y 8b ilustran en perspectiva y diagramáticamente una porción de un filtro adaptado de dispositivos CCD de tres fases en donde están divididos los electrodos de tres fases para definir características de ponderación preseleccionadas;

15 La figura 9 ilustra esquemáticamente una configuración de circuito para medir las señales ponderadas asociadas con el sistema CCD ilustrado en las figuras 8a y 8b;

La figura 10 ilustra gráficamente formas de onda típicas del circuito de detección de la figura 9; y

20 La figura 11 es un diagrama de bloques de un filtro adaptado analógico de dispositivos CCD que utiliza la técnica de suma de corrientes.

25 Con referencia ahora a los dibujos, la figura 12 ilustra esquemáticamente una configuración para dar acceso en forma no destructiva a información analógica o digital dentro de un registro de desplazamiento del tipo BB. Es dada paso a una señal 10 de entrada sobre un condensador C_1 por la señal ϕ_1 de sincronismo que polariza

a conducción el transistor T_1 . La señal ϕ_1 de sincronismo es entonces desactivada y una señal ϕ_2 de sincronismo toma nivel alto polarizando a conducción el transistor T_2 . La señal almacenada por el condensador C_1 es transferida a través del transistor T_2 y es almacenada por la capacidad C_2 de electrodo de control a electrodo de salida del transistor T_2 . Las señales ϕ_1 y ϕ_2 de sincronismo de fases múltiples definen un ciclo de sincronismo.

El electrodo 12 de control del transistor T_3 de efecto de campo de electrodo de control aislado está conectado eléctricamente al nudo N. De este modo, la tensión almacenada por el condensador C_2 es aplicada como polarización de electrodo de control al transistor T_3 . El electrodo de salida del transistor T_3 está conectado a una tensión de alimentación tal como V_{DD} o ϕ_2 , y el electrodo de entrada está conectado a masa a través de una impedancia 14 de carga. La tensión generada entre los extremos de la impedancia de carga en respuesta a una polarización de electrodo de control definida por la señal almacenada en C_2 , proporciona una señal de salida. La impedancia 14 de carga puede estar definida por otro transistor, si se desea.

Puesto que el electrodo de control del transistor T_3 tiene una alta impedancia, la señal almacenada en C_2 es muestreada en forma no destructiva. De este modo,

la señal en cada uno de los bitios del sistema BB puede ser muestreada en el nudo " $N(C_2)$ " que sigue al transistor que recibe una señal ϕ_2 de sincronismo, o en un nudo " $N+1/2(C_3)$ " que sigue al transistor T_2 del mismo bitio que recibe una
5 señal ϕ_1 de sincronismo.

El circuito ilustrado en la figura la puede definirse en formato de circuito integrado utilizando métodos convencionales de fabricación bien conocidos en la
10 técnica. Una disposición típica de circuito integrado está representada en la figura 1b en donde están definidas regiones impurificadas, representadas en general por las regiones impurificadas encerradas en mesetas lisas, tal como la 16, en un substrato semiconductor, tal como
15 silicio (no representado) mediante técnicas adecuadas como la difusión y la implantación iónica. Las regiones impurificadas definen las regiones de electrodo de entrada y salida de los transistores IGFET que definen el conjunto BB. Por ejemplo, el 18 está representada una toma
20 típica de alta impedancia al electrodo de control del transistor T_3 cuya toma está dispuesta exclusivamente por debajo de la metalización ϕ_2 que forma también la capacidad C_2 de almacenamiento para este nudo. Las regiones impurificadas están cubiertas con una delgada capa aislante (no representada), tal como de dióxido de silicio. Es-
25 tá definido convencionalmente un trazado de metalización,

representado como regiones rayadas, sobre la capa aislante para formar las líneas ϕ_1 y ϕ_2 de sincronismo, las capacidades C_1-C_3 y los electrodos de control para los respectivos transistores. Como se ilustra en la figura 1b, la metalización de electrodo de control de los transistores T_1 y T_2 se extiende sobre una porción sustancial de la región de electrodo de salida impurificado subyacente para aumentar la capacidad electrodo de control-electrodo de salida para almacenamiento de carga. Están abiertas a través de la capa aislante aberturas o agujeros 20 de paso en regiones en donde se requiere conexión óhmica entre regiones impurificadas sobre el substrato y el trazado de metalización.

Con referencia a la figura 1c, se ilustran formas de onda típicas asociadas con la configuración de circuito con tomas intermedias de la figura 1a. Una señal de entrada define una envolvente 22. La señal de entrada es introducida con muestreo de sincronismo en la línea de retardo analógica por las señales ϕ_1 y ϕ_2 de sincronismo.

La salida 24 es la tensión de entrada (que es muestreada durante el intervalo activo de la señal ϕ_1) retardada en tiempo en el producto del número de etapas entre la entrada y la situación del muestreo y el período de la señal de sincronismo. Si las tomas de muestreo es-

tán situadas sobre nudos precedidos por entradas de señal ϕ_1 de sincronismo, resultará un retardo de un número entero de etapas. Si las tomas están situadas sobre nudos que siguen a entradas de señal ϕ_2 de sincronismo, resultará un retardo de un número entero más 1/2 etapas.

5

Los espacios vacíos representados en general en 26 en la forma de onda de salida que tienen lugar sobre impulsos de sincronismo alternados hacen difícil el tratamiento de señal. La información contenida en la amplitud de los impulsos de salida puede ser tratada, pero el tratamiento requiere técnicas de muestreo y mantenimiento para enmascarar la situación de "retorno a valor fijo". Es decir, durante períodos de sincronismo alternos la salida vuelve a un potencial V_0 de referencia, produciendo una señal de salida "escalonada".

10

15

Con referencia a la figura 2a, se ilustra una configuración de circuito de acuerdo con el invento para producir una señal de salida que es continua sustancialmente durante el ciclo de sincronismo completo. Esta configuración hace uso del hecho de que la amplitud de señal deseada existen en el nudo A que sigue a electrodos de control excitados por señal ϕ_1 de sincronismo durante la mitad del ciclo de sincronismo en que ϕ_1 tiene nivel activo y sobre el nudo B adyacente que sigue a electrodos de control excitados por señal ϕ_2 de sincronismo durante la

20

25

mitad del ciclo de sincronismo en que ϕ_2 tiene nivel activo. Las tensiones V_A y V_B de nudo son detectadas en nudos adyacentes por los electrodos de control de los transistores 28 y 30 IGFET. Sumando las señales detectadas en los nudos "A" y "B" adyacentes se producen las formas de onda representadas en la figura 2b. Se observará que el estado de salida de "retorno a valor V_0 fijo" se elimina mediante la suma de las señales V_A y V_B de medio bitio adyacentes.

Preferiblemente, los transistores 28 y 30 adyacentes de salida están conectados en configuración de seguidor de electrodo de entrada con una impedancia 32 común de electrodo de entrada, como se representa en la figura 3. En funcionamiento, la tensión V_{out} de salida intentará ajustarse obligatoriamente a $V_A - V_T$ o $V_B - V_T$. Sin embargo, si $V_A \neq V_B$, entonces el dispositivo que tiene el potencial de electrodo de control más bajo quedará al corte ($I_0 = 0$) permitiendo que la tensión de salida siga a la mayor de las tensiones V_A o V_B de tal modo que

$$V_{out} = V_S \pm V_0$$

donde

V_S = Tensión de Señal

V_0 = Tensión de Salida en Reposo

La suma de tensión clásica de V_A y V_B , como se ha descrito anteriormente con referencia a la figura 2b, dará la siguiente tensión de salida

$$V_{out} = V_S \pm 2V_0$$

sobre todo el período de un ciclo de impulso de sincronismo.

En la figura 2c está representada una disposición adecuada de circuito integrado para la configuración de la figura 2a. Nuevamente, pueden ser utilizadas técnicas convencionales de fabricación de circuitos integrados.

Con referencia a la figura 4, se ilustra en formato de diagrama de bloques un filtro adaptado programable de acuerdo con el presente invento. Las etapas discretas de una línea de retardo están representadas en general en 34. Están representadas en 36 y 38 líneas generales de suma negativa y positiva. Estas líneas generales se conectan selectivamente a bitios 34 respectivos de la línea de retarde mediante conmutadores representados en general en 40. La carga almacenada en los bitios respetados de la línea de retardo puede ser detectada por un detector como se muestra en la figura la o, preferiblemente, como se muestra en la figura 2a, aplicándose las salidas del detector a la línea general 36 o a la línea general 38 según venga determinado por los conmutadores 40. los conmutadores 40 reciben entradas de un registro 44 de desplazamiento de entrada en serie y salida en paralelo que tiene etapas representadas en general en 42. En respuesta a señales procedentes del registro 44 de desplazamiento, tales como unos a ceros, los conmutadores conectan etapas 34 correspondientes bien a la línea 36 negativa o bien a la

38 positiva. A modo de ilustración, podría ser leído en serie un código digital de 1001 en el registro 44 de desplazamiento. Suponiendo, por ejemplo, que el estado "1" actúa para hacer que los conmutadores 40 conecten las etapas 34 a la línea 36 de suma, y que un cero actúa para conectar los bitios 34 a la línea 38, entonces el primero y el cuarto bitios 34a y 34d serían conectados a la línea 36, mientras que las dos etapas del centro serían conectadas a la línea 38. En respuesta a una señal de entrada en 46 correspondiente a 1001, sería producida entonces una salida correlacionada por los circuitos de tratamiento de señal (no representados) conectados a las líneas 36 y 38 generales. De este modo, el filtro adaptado puede ser programado simplemente cambiando la entrada de código al registro 44 de desplazamiento.

Con referencia a la figura 5, se ilustra un circuito adecuado para poner en ejecución los conmutadores 40 para conexión a una línea de retardo analógica del tipo BB.

En funcionamiento, las tensiones aplicadas en A y \bar{A} son típicamente de cero voltios o bien una tensión V_z de alimentación aplicada a los terminales A y \bar{A} con la interpretación lógica usual. Si la entrada A está conectada a V_z (y \bar{A} está conectada a tensión de cero voltios), la tensión en el nudo BB tomará el más pequeño

de los valores V_{DD} o $V_Z - V_T$ (V_T es la tensión de umbral del IGFET) siempre que $\left[\frac{W/L}{T_{22}} / \frac{W/L}{T_{21}} \right]$ sea muy grande (figura 5), donde W/L representa la relación de ancho a longitud del canal del transistor. Funcionando de este modo, el dispositivo T_{22} actúa para poner en cortocircuito el nudo B a V_{DD} (es decir, tiene una resistencia baja) y el dispositivo T_{25} actúa como carga de electrodo de entrada para el transistor detector T_{21} . El electrodo de salida del dispositivo T_{25} actúa como carga de electrodo de entrada para el dispositivo T_{21} . El electrodo de entrada del dispositivo T_{25} está entonces conectado a un nudo de suma de corriente de baja impedancia tal como el emisor de un amplificador de transistor bipolar de base común o al electrodo de entrada de un amplificador IGFET de electrodo de control común. Puesto que está aplicada una tensión de cero voltios a la entrada \bar{A} , T_{23} y T_{24} están mantenidos al corte inhabilitando la toma de la línea $+\Sigma$ general. La inversión de las entradas A y \bar{A} permitirá que sea habilitada la línea $+\Sigma$ general y sea inhabilitada la línea $-\Sigma$ general. Este circuito puede ser utilizado también para esquemas de suma de tensión conmutando la tensión de señal entre los nudos BB y CC. Este esquema es aplicable también a configuraciones de amplificador inversos (en oposición a esta configuración de seguidor de electrodo de entrada) mediante redistribución de la po-

larización.

Con referencia a la figura 6a, se ilustra un
circuito que es eficaz para realizar la suma lineal de se-
ñales en filtros analógicos adaptados. El circuito permite
5 la elección del coeficiente de ponderación tanto en ampli-
tud como en signo. El circuito de suma puede ser utilizado,
por ejemplo, para sumar las señales en las líneas 36 y 38
generales negativa y positiva (figuras 4 y 5). La suma li-
neal es difícil en circuitos integrados puesto que la mayo-
10 ría de los dispositivos activos tienen curvas característi-
cas I-V de ley cuadrática. De este modo, los esquemas de su-
ma típicos realizan una suma del tipo "raíz cuadrada de la
suma de los cuadrados" que no es deseable para aplicaciones
de filtro adaptado debido a la degradación de la relación de
15 señal a ruido.

Las tensiones V_{in_1} - V_{in_N} de entrada son tensio-
nes de nudo adecuadas en el registro de desplazamiento de
"noria", detectadas, por ejemplo, por conexión de los elec-
20 trodos de control de los transistores 50 como se ilustra en
la figura 2. Para el caso de pequeña señal los seguidores
de electrodo de entrada, representados en general en 50, co-
nectados a cada uno de los nudos del registro de desplaza-
miento de "noria" tienen esencialmente ganancia unidad (siem-
25 pre que las resistencias R_N sean grandes), de tal modo que

$$V_{sn} \sim V_{in_N}$$

Las resistencias de carga $R_1 \dots R_N$ están conectadas a una línea general de suma 53 que a su vez está conectada a al emisor del amplificador 51 de base común. Entonces, puesto que el amplificador 51 de base común (o cualquier otro tipo de amplificador de alta impedancia de salida, baja impedancia de entrada, y ganancia de corriente constante, tal como un amplificador de electrodo de control común o algunas configuraciones de amplificador operacional) tiene una impedancia (r_e) de entrada baja con relación a la resistencia de electrodo de entrada ($R_N \gg r_e$), la corriente que fluye a través de la resistencia R_N de electrodo de entrada es una función lineal de la tensión de salida, de modo que

$$i_N = \frac{V_{in_N}}{R_N}$$

La baja impedancia del paso 51 de base común aísla entre sí las contribuciones de corriente de cada uno de los dispositivos de N entradas. De este modo,

$$i_e = i_1 + i_2 + i_3 + i_4 + \dots + i_N$$

Puesto que para el amplificador de base común

$$i_c \approx \alpha i_e \approx i_e - \sum (N)$$

y su tensión de salida en corriente alterna se hace entonces igual a

5

$$V_0 - R_L i_c = R_L [\sum i_N]$$
$$= R_L \left[\frac{V_{in_1}}{R_1} + \frac{V_{in_2}}{R_2} + \frac{V_{in_3}}{R_3} + \frac{V_{in_4}}{R_4} - \dots + \frac{V_{in_N}}{R_N} \right].$$

10 En general, la tensión V_0 de salida de un filtro adaptado analógico está definida por la expresión

$$V_0 = A_1 V_{in_1} + A_2 V_{in_2} + A_3 V_{in_3} + A_4 V_{in_4} + \dots + A_N V_{in_N}$$

15 donde el coeficiente A_N de ponderación es

$$A_N = \frac{R_L}{R_N}$$

20 De este modo, puede verse que la configuración de la figura 6a permite la formación de una suma lineal ponderada de las tensiones de nudo adecuadas en un registro de desplazamiento de "noria", lo cual es necesario en la ejecución de un filtro adaptado analógico de "noria". Esta solución puede ampliarse a la utilización de una carga de

25

transistor IGFET, tal como la ilustrada en la figura 6b para la resistencia de electrodo de entrada teniendo en cuenta adecuadamente las relaciones W/L de los dos dispositivos en cada uno de los nudos de suma para la determinación del coeficiente. La amplitud del coeficiente de ponderación puede ser controlada fijando el coeficiente durante el diseño por selección de las relaciones W/L adecuadas para los dispositivos activos y los dispositivos de carga asociados con cada uno de los nudos donde se establece la suma, o modificando la resistencia de carga efectiva por variación de la tensión (V_{gN}) de electrodo de control de los dispositivos de carga en cada uno de los pares de dispositivos seguidores de electrodo de entrada.

Pueden realizarse coeficientes negativos de ponderación haciendo uso de la línea ($+\Sigma$) general de suma positiva y la línea ($-\Sigma$) general de suma negativa, cada una de las cuales utiliza un amplificador de baja impedancia de entrada, alta impedancia de salida y ganancia de corriente constante, como se ha descrito anteriormente con referencia a la figura 6. Las tensiones de salida de estos dos amplificadores pueden ser restadas (realizando así el coeficiente negativo) aplicándolas a las dos entradas de un amplificador diferencial, de modo que su salida es

$$V_0 = K \sqrt{V_+ \Sigma} - V_- \Sigma \quad \int$$

donde K es un factor de ganancia. Pueden realizarse coeficientes negativos de ponderación (1) llevando las líneas generales $+\Sigma$ y $-\Sigma$ fuera de la plaquita y utilizando componentes externos (a la plaquita) para el resto de los circuitos de suma, o (2) mediante un esquema de amplificador con todos los transistores IGFET que puede ser fabricado como un único circuito integrado, tal como el que se ilustra esquemáticamente con referencia a la figura 7.

Con respecto a la figura 7, los pares $T_{31}-T_{33}$ y $T_{32}-T_{34}$ de transistores sirven como amplificadores de transistores de electrodo de control común para las líneas $+\Sigma$ y $-\Sigma$ generales, respectivamente. Los electrodos de control de T_{31} y T_{32} están fijados a una tensión continua establecida por el divisor $T_{39}-T_{40}$ de tensión y están puenteados a masa con un condensador C_{31} de técnica MOS. Este divisor de tensión puede también ser realizado con resistencias difundidas, o puede utilizarse una fuente de alimentación externa adicional. Los transistores T_{35} , T_{36} , T_{37} y T_{38} forman un amplificador diferencial lineal IGFET. Las ganancias relativas están determinadas por las elecciones de las relaciones W/L .

Con respecto a la figura 8a, está ilustrada una porción de un filtro adaptado del tipo CCD en donde la ponderación se realiza dividiendo un electrodo, tal como el electrodo β_3 en el sistema ilustrado de tres fases,

en dos porciones, definiendo la relación de áreas relativas el coeficiente de ponderación. La señal puede ser detectada de la manera ilustrada por la figura 8b midiendo o sumando la corriente relacionada con la señal requerida para cargar todas las porciones ϕ_{3B} de electrodo superiores (por ejemplo, la línea general de suma positiva) y también midiendo la corriente de señal en las porciones ϕ_{3B} inferiores de electrodo (por ejemplo, la línea general de suma negativa), tal como con un amplificador diferencial como se representa en la figura 8b.

Con referencia a la figura 9, se representa un circuito detector de acuerdo con el invento para detectar la carga almacenada en los electrodos ϕ_{3B} y ϕ_{3B} de la figura 8b y producir salidas de señal relacionadas. Esta configuración de circuito es particularmente ventajosa por cuanto es tratada una señal esencialmente de "estado estacionario" en contraste con la configuración convencional de suma de corriente en donde son tratadas generalmente señales transitorias.

En funcionamiento, la capacidad C_{ϕ} se carga a la más pequeña de las dos magnitudes $V_{\phi 1A} - V_T$ o V_{GG} , preferiblemente a V_{GG} , cuando $V_{\phi 1A}$ está activada ($V_{\phi 3A}$ está desactivada) a través del transistor T_{41} IGFET. Entre tanto el transistor T_{44} IGFET es puesto en conducción creando un camino de carga de baja impedancia por medio del cual la carga almacenada bajo los electrodos ϕ_3 es transferida a una nueva situación bajo el electrodo ϕ_1 de los bi

5 tios subsiguientes. La señal $V_{\phi 1A}$ de sincronismo es desactivada mientras $V_{\phi 3A}$ es mantenida a nivel inactivo fijando la tensión entre los extremos de C_{ϕ} en V_{GG} (o $V_{\phi 1S} - V_T$). La señal $V_{\phi 3A}$ de sincronismo es entonces activada mientras es desactivada la tensión $V_{\phi 1A}$. Esto hace entrar en conducción el transistor T_{42} IGFET haciendo que fluya una corriente transitoria en $V_{\phi 3B}$. Esta corriente transitoria fluye desde C_{ϕ} provocando una ligera disminución en esta tensión almacenada en el condensador, de acuerdo con

$$10 \quad V = V_{GG} - \frac{1}{C_{\phi}} \int i dt.$$

Con el fin de que la tensión V_{GG} sea válida como amplitud de la tensión de alimentación de señal de sincronismo para el sistema CCD, es necesario que

15

$$V_{\phi 3A} > V_{GG} + V_T \quad y \quad V_{\phi 1A} > V_{GG} + V_T$$

$$y \quad C_{\phi} > \sum N C_N$$

20

donde C_N es la capacidad de los electrodos CCD.

25

La señal de salida es tomada del seguidor de electrodo de entrada compuesto por el transistor T_{43} IGFET y la resistencia R de carga. La tensión de señal de salida es de este modo la diferencia en tensión entre los extremos del condensador C_{ϕ} totalmente cargado y la tensión

que existe entre los extremos de C_{ϕ} después de la disminución de la antes descrita corriente transitoria.

5 Puesto que la tensión entre los extremos de C_{ϕ} antes del transitorio de transferencia de carga es siempre del mismo valor (V_{GG}) si se cumplen los criterios anteriores, puede considerarse que la señal V_S de información es solamente la tensión entre los extremos de C_{ϕ} después de la corriente transitoria de transferencia de carga. En la figura 10 están representadas tensiones típicas de sincronismo y formas de onda de tensión de salida.

10 La principal ventaja de este circuito de salida es que permite la observación de una diferencia en tensión entre los extremos de un condensador después que ha disminuido una corriente transitoria de transferencia de carga, en contraste con la técnica de distinguir diferencias en las propias corrientes transitorias de transferencia de carga, simplificando así los circuitos de tratamiento de señal. Este esquema de tratamiento de señal es aplicable a Dispositivos Acoplados por Carga, así como a
15 los Dispositivos de "Noria".
20

Con referencia a la figura 11, se tiene una ilustración de diagrama de bloques de un filtro analógico adaptado que utiliza el circuito de detección de salida a la figura 9. Está representado en general en 60, por ejemplo como se muestra en la figura 8b, un filtro adap-
25

tado analógico CCD de suma de corrientes. Para la realización ilustrada, solamente se establece ponderación para los tres electrodos de fase. Los circuitos 62 de salida son similares a los representados en la figura 9.

5 Las líneas generales de suma negativa y positiva, es decir, las salidas 66 y 68 (figura 9) están conectadas a un amplificador 70 diferencial convencional. Un amplificador 70 adecuado es el SN72741 fabricado por Texas Instruments Incorporated (Dallas, Texas).

10 Aún cuando el presente invento, se ha descrito con respecto a realizaciones detalladas, resultarán evidentes para los expertos en la técnica que pueden realizarse diversos cambios sin apartarse de la esencia o campo de aplicación del invento.

15 Esta solicitud, que corresponde a la presentada en Estados Unidos de América, el 2 de Enero de 1973, bajo el número 320.382, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

20

25

- REIVINDICACIONES -

5

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

10

1ª.- Perfeccionamientos introducidos en filtros adaptados analógicos de dispositivos acoplados por carga en los que se efectúa una ponderación de coeficiente dividiendo uno de los electrodos de señal de sincronismo de múltiples fases en porciones de área primera y segunda, y la salida del filtro adaptado se detecta sumando la corriente de sincronismo relacionada con la señal requerida para cargar la totalidad de las primeras porciones de área y la totalidad de las segundas porciones de área y combinando estos valores sumados en un amplificador diferencial, dichas porciones de área primera y segunda están conectadas a líneas respectivas de señal de sincronismo de fase idéntica, y para cada una de dichas líneas de señal de sincronismo de fase idéntica están previstos: (a) un condensador de almacenamiento cuyo valor es sustancialmente mayor que la capacidad total

15

20

25

de las porciones de electrodo conectadas a esa línea de
señal de sincronismo citada: (b) primeros medios conmuta-
dores de semiconductor operables por un impulso aplica-
do durante un primer período de impulso de sincronismo
5 para conectar el condensador de almacenamiento a una ten-
sión de referencia y cargar el condensador a la tensión
de referencia; (c) segundos medios de semiconductor que
responden a variaciones en el nivel de carga de dicho
condensador para generar una señal de salida correspon-
diente; (d) terceros medios conmutadores de semiconduc-
tor operables por un impulso suministrado durante un se-
gundo período de impulso de sincronismo para conectar el
condensador de almacenamiento a esa línea de señal de
sincronismo de fase idéntica; (e) cuartos medios conmuta-
dores de semiconductor operables durante un impulso apli-
15 cado durante el primer período de impulso de sincronismo
para conectar esa línea citada de señal de sincronismo
de fase idéntica a masa y descargar las porciones de elec-
trodo conectadas a esa línea de señal de sincronismo has-
ta un valor de referencia tal que durante el segundo pe-
río do de señal de sincronismo se descargue el condensador
de almacenamiento en una cantidad proporcional a la car-
20 ga de señal almacenada por dichas porciones de electrodo
conectadas a esa línea de señal de sincronismo citada,
25 variando de este modo la magnitud de la polarización del

electrodo de control en los segundos medios conmutadores de semiconductor y dando como resultado un cambio correspondiente en dicha salida de señal; y (f) teniendo el amplificador diferencial entradas conectadas para recibir las salidas de señal citadas de cada uno de los segundos medios semiconductores y regenerando en respuesta a ellas una señal de salida de filtro adaptado.

5
10
15
20
25

2ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, según los cuales dichos primeros medios conmutadores de semiconductor comprenden un primer transistor de efecto de campo de electrodo de control aislado, cuyo electrodo de control está conectado para recibir impulsos de conmutación durante dicho primer período de impulso de sincronismo; dichos segundos medios semiconductores comprenden un transistor de efecto de campo de electrodo de control aislado en seguidor de electrodo de entrada, estando conectado el electrodo de control de dicho transistor de efecto de campo al condensador de almacenamiento, estando conectado el electrodo de salida del segundo transistor de efecto de campo a una alimentación de polarización e incluyendo el circuito de electrodo de entrada del segundo transistor de efecto de campo una impedancia de carga a través de la cual se genera dicha salida de señal, dichos terceros medios conmutadores de semiconductor comprenden un ter-

cer transistor de efecto de campo de electrodo de control
aislado conectado entre el condensador de almacenamien-
to y la segunda línea de señal de sincronismo, estando
conectado el electrodo de control del tercer transistor
5 de efecto de campo para recibir un impulso de conmutación
durante el segundo período de impulso de sincronismo; y
dichos cuartos medios conmutadores de semiconductor com-
prenden un cuarto transistor de efecto de campo de elec-
trodo de control aislado conectado entre dicha línea de
10 señal de sincronismo y la masa del circuito, estando co-
nectado el electrodo de control de dicho cuarto transis-
tor de efecto de campo para recibir impulsos de conmuta-
ción durante dicho primer período de impulso de sincro-
nismo.

15 3ª.- Perfeccionamientos de acuerdo con la rei-
vindicación 2ª, según los cuales dicho dispositivo aco-
plado por carga y dichos transistores de efecto de cam-
po de electrodo de control aislado constituyen conjunta-
mente un circuito integrado.


20 4ª.- PERFECCIONAMIENTOS INTRODUCIDOS EN FIL-
TROS ADAPTADOS ANALÓGICOS DE DISPOSITIVOS ACOPLADOS POR
CARGA.

Tal y como se ha descrito en la Memoria que
antecede, representado en los dibujos que se acompañan
25 y para los fines que se han especificado.

Esta Memoria consta de treinta y cuatro hojas
escritas a máquina por una sola cara.

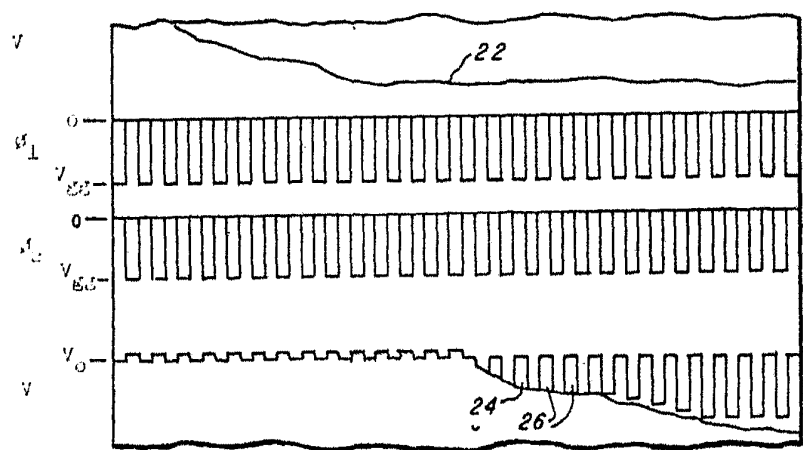
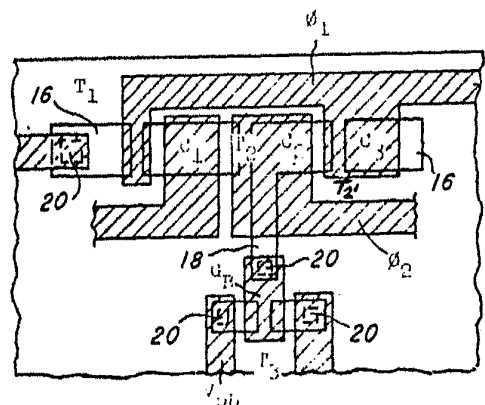
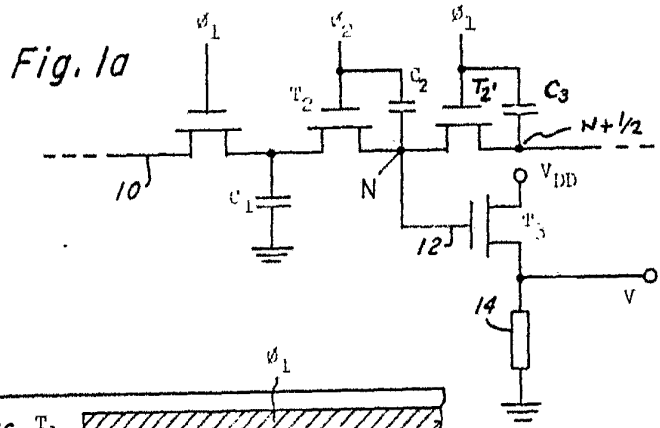
Madrid, 16 ENE. 1976
P.A.

5

Alberto de Lizasoain
Per. F. 1011.


11-1-76

e.c.v.



Alberto de la...
Inventor

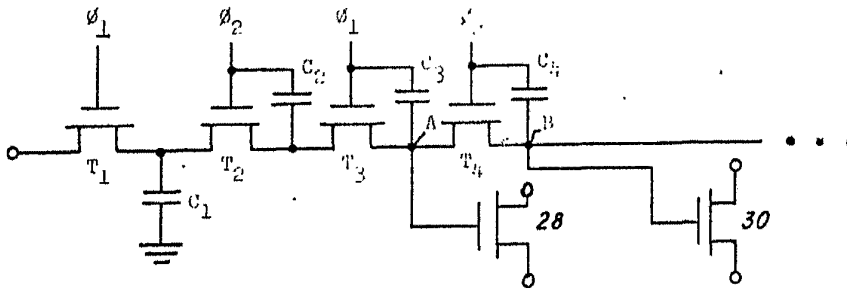


Fig. 2a

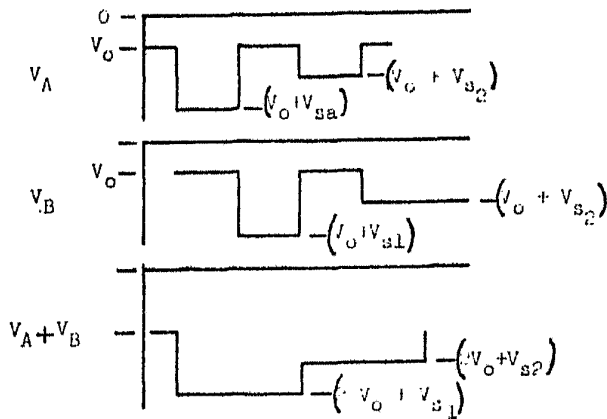
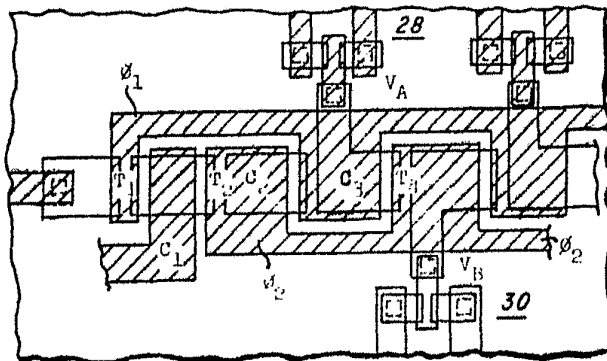


Fig. 2b

Fig. 2c



Handwritten signature or initials at the bottom right of the page.

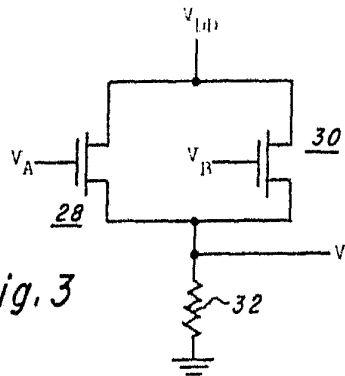


Fig. 3

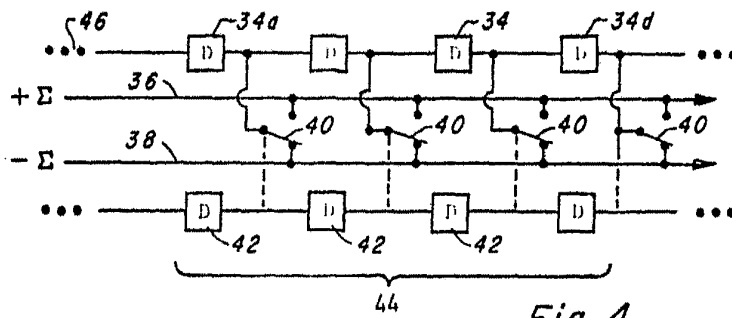


Fig. 4

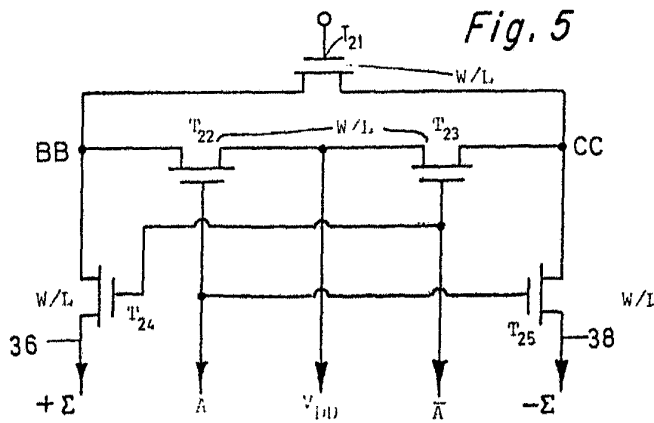
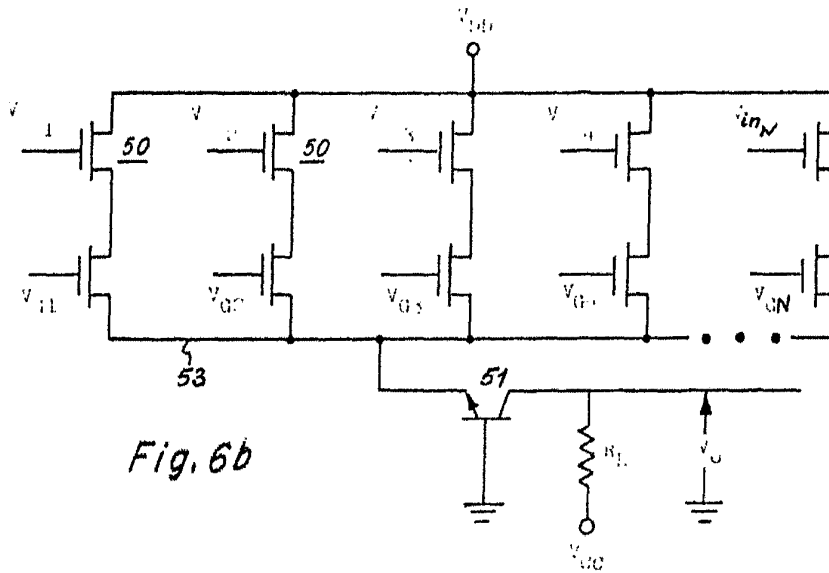
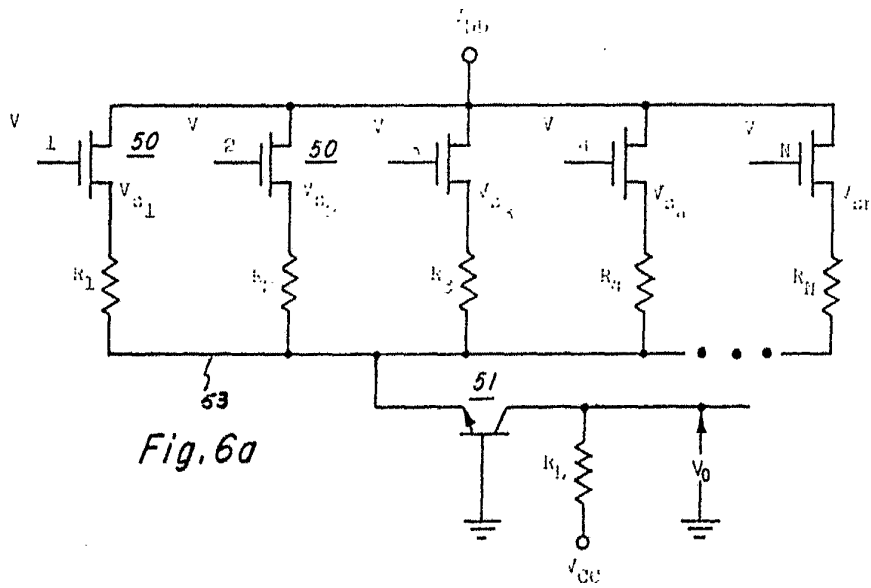


Fig. 5

Patented 11-11-68
 111-10000

15 APR 1976



For 1000000

15 SEP 1967

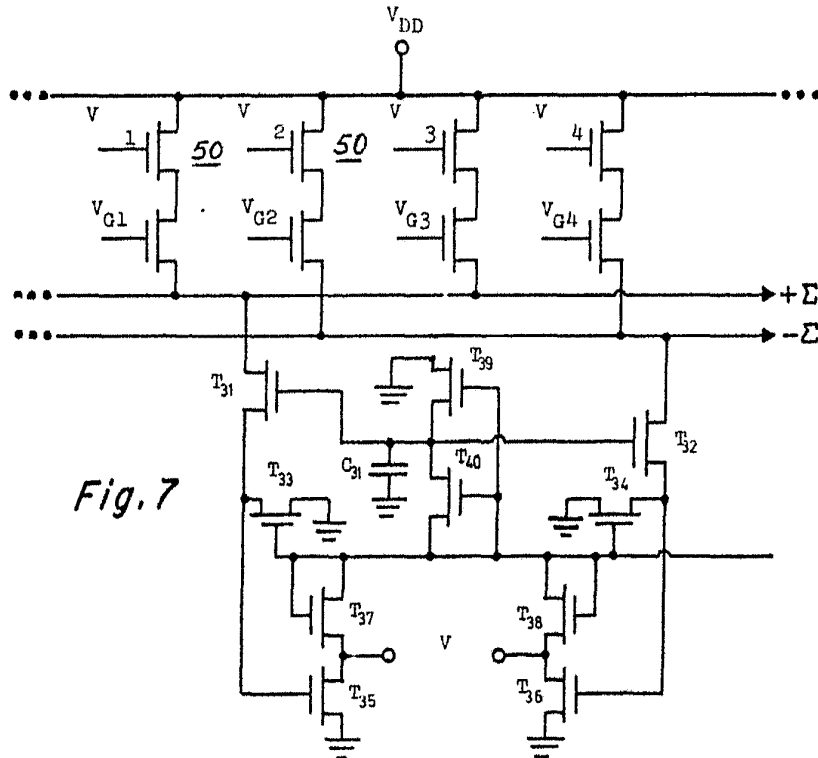


Fig. 7

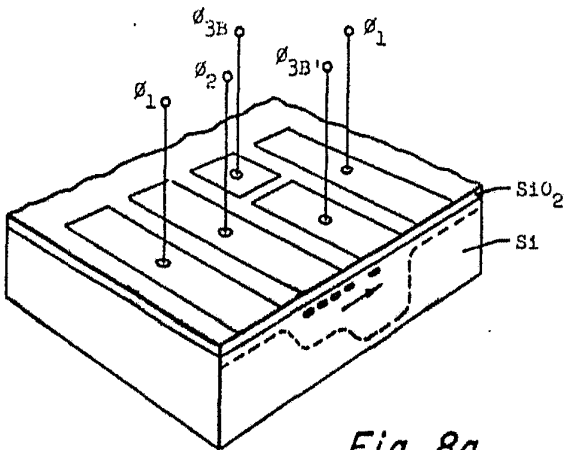


Fig. 8a

APPROVED FOR RELEASE
FOR EXPORT
[Handwritten signature]



Fig. 8b

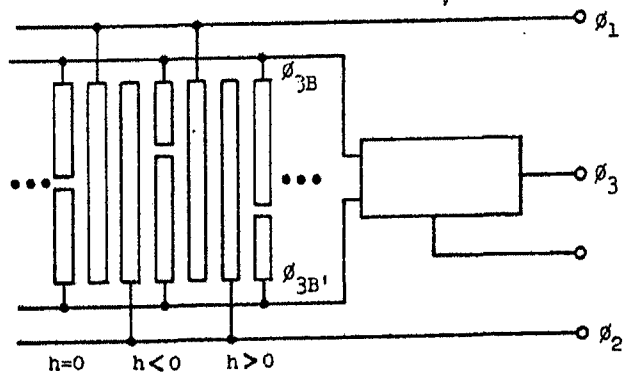
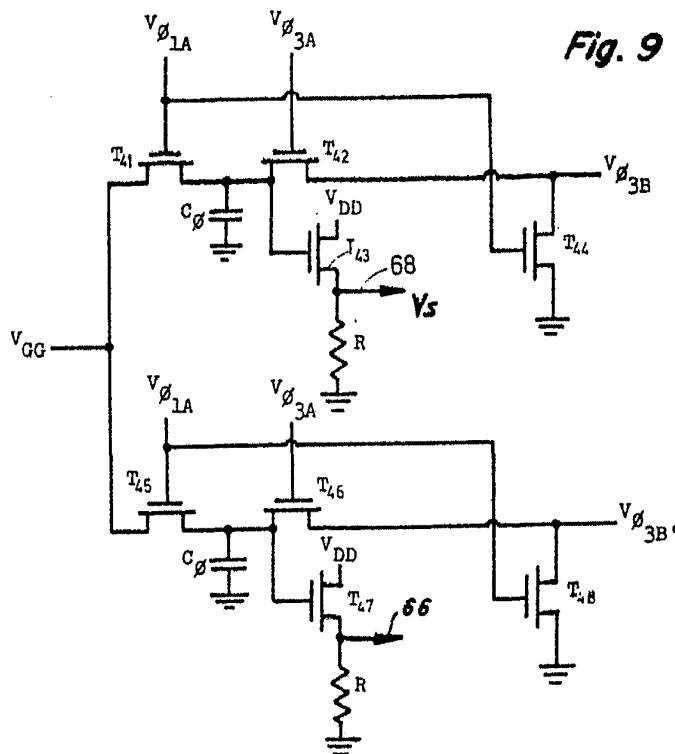


Fig. 9



Antonio de...



Fig. 10

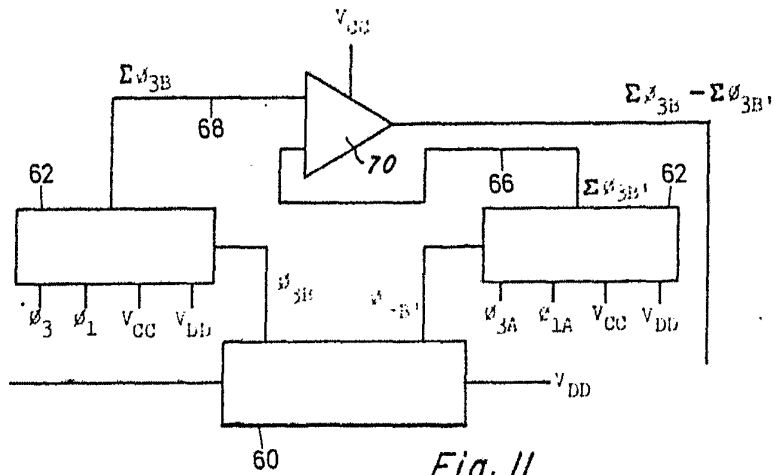
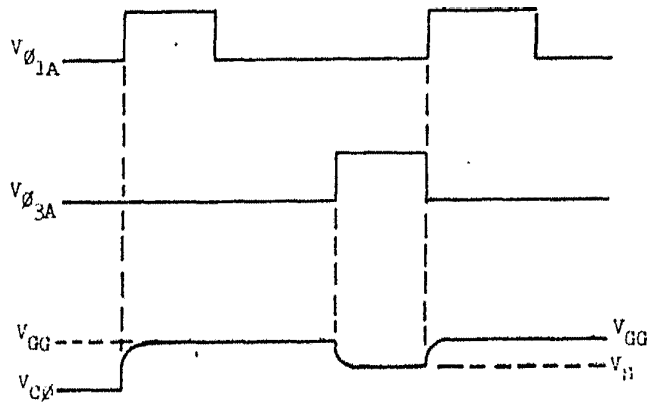


Fig. 11

Handwritten signature or initials in the bottom right corner of the page.