



ESPAÑA



ES 4439251 A1
FECHA DE PRESENTACION
12 MAR. 1976

PATENTE DE INVENCION

60 PRIORIDADES:		
61 NUMERO	62 FECHA	63 PAIS
537.211 590.547	30-12-74 26-6-75	EE.UU. EE.UU.
64 FECHA DE PUBLICIDAD	65 CLARIFICACION INTERNACIONAL	66 PATENTE DE LA QUE ES DIVISIONARIA
	H04L; H04J	
67 TITULO DE LA INVENCION		
"UN APARATO CONMUTADOR DIGITAL PERFECCIONADO"		
68 SOLICITANTE (ES)		
INTERNATIONAL BUSINESS MACHINES CORPORATION		
DOMICILIO DEL SOLICITANTE		
Armonk, Nueva York, Estados Unidos de América.		
69 INVENTOR (ES)		
Herman Blasbalg, H.G. MARKEY y L.P. WEST.		
70 TITULAR (ES)		
71 REPRESENTANTE		
DÓN FERNANDO DE ELZABURU MARQUEZ		



P.- 61.952

IBM Docket
RA 9-74-018

MEMORIA DESCRIPTIVA

para solicitar

PATENTE DE INVENCION

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION,

entidad norteamericana

establecida en Armonk, Nueva York, Estados Unidos de América,

por: "UN APARATO CONMUTADOR DIGITAL PERFECCIONADO"

12 MAR 1976

DEFINICION DE TERMINOS

Los términos "TASI" (Time Assignment Speech Interpolation) -(interpolación de señal vocal por asignación de tiempo) y "VAC" (Voice Activity Compresssion -compresión de actividad vocal) son utilizados indistintamente aquí para caracterizar una técnica conocida para la conservación de canales de transmisión simultánea de comunicación (múltiplex) con respecto al tráfico de señales telefónicas. Más específicamente, se trata de una técnica conocida en la cual un grupo de, por ejemplo, m canales recurrentes sobre un enlace de transmisión simultánea son asignados dinámicamente a un grupo de, por ejemplo, n (mayor que m) circuitos de línea telefónica muestreados repetitivamente, permitiendo que sólo sean transmitidas muestras que representan señales vocales activas a través de los canales e impidiendo el paso de muestras que representan inactividad ("pausas de conversación"). En tales sistemas la asignación en cada cuadro o encuadre de muestreo es identificada para las estaciones remotas por transmisión (dentro de banda o fuera de banda) de señales de control que representan estados de conexión instantáneos de las n líneas de origen.

ANTECEDENTES Y RESUMEN DEL INVENTO

Un factor importante en la utilización de redes integradas de enlaces múltiples de comunicación digital de alta velocidad (por ejemplo, enlaces vía satélite, enlaces lumino-



5 sos, microondas, cables de banda ancha, etc.) es la planifi-
cación de las instalaciones comunes de estación de control
para permitir "globalmente" la utilización coordinada y equi-
librada de los recursos de los enlaces de redes. Cuando el
tráfico de señal incluye señales telefónicas en forma digi-
tal, es también deseable poder conservar canales de enlace;
por ejemplo, mediante la técnica TASI y la anulación de ecos.
Esto es complicado si el camino de conexión en la red de al-
ta velocidad incluye enlaces múltiples en cascada y es adi-
cionalmente complicado si las señales telefónicas representan
10 señales de modulación delta con compresión-expansión adaptati-
va, puesto que es entonces necesario mantener niveles iguales
de compresión-expansión (magnitud de incremento) en las esta-
ciones remotas de compresión-expansión que sirven a la conexión.
15 Ante todo es deseable tener instalaciones de estación de cone-
xión de enlace modular que puedan ser ampliadas en un período de
años para tratar el tráfico creciente sin que se requiera un
replanteo extensivo de componentes existentes y programas de
control.

20 Debido a consideraciones de coste/rendimiento, se
han propuesto diseños de estación que realizan usualmente algu-
nos pero no todos estos atributos deseables. El objeto del
presente invento es crear aparatos de conexión de enlace me-
jorados que tienen todas estas capacidades y efectividad de
25 coste/rendimiento.



El aparato de acuerdo con el presente invento comprende unidades SIM/ICM de memoria de intercambio de intervalos selectores de tipo modular y acceso aleatorio que proporcionan asociaciones de emparejamiento de intercambio de tiempo almacenadas transitoriamente (o retardadas) de un modo variable entre circuitos de línea telefónica/línea de datos y canales de tiempo de enlaces de transmisión simultánea de tiempo comprimido (enlaces TCM). Una característica del invento es que se reservan en cada módulo espacios de almacenamiento transitorio de acceso aleatorio para intercambio de intervalo de bitios de actividad útiles para el control del procedimiento TASI, supresión de ecos, para compresión-expansión de niveles de señales telefónicas con modulación delta comprimidas adaptativamente y para la asignación del camino de transmisión de red. Otra característica del invento es que las unidades de intervalo selector tienen conexiones de sincronismo y conectadas en común (conectadas para función lógica 0) para direccionamiento y conexión a línea general de salida que permiten que k agrupaciones de conmutación independientes funcionen como un equipo de conmutación unificado; con lo cual una central construida a partir de dicha agrupación es ampliable en cuanto a capacidad de terminación de "polos" o accesos y campo de conmutación, desde la relación campo/capacidad de una unidad hasta la de k unidades con relación coste/rendimiento conservativa.

12 1976



El aparato de estación de acuerdo con el presente invento incluye también módulos (LGM) de grupo de líneas de acceso aleatorio controlados en común y módulos (TGM) de agrupación de líneas principales para almacenamiento transitorio de señales digitales de paso entre terminaciones de líneas no divididas de la estación y canales de tiempo o frecuencia de terminales de enlace de transmisión simultánea para las conexiones de intercambio de intervalos selectores de estación.

El aparato de acuerdo con el presente invento puede destinarse a estar conectado con unidades de conversión de señal telefónica de analógica a digital de transmisión múltiple simultánea, con control común.

El aparato de acuerdo con este invento está dispuesto para agrupación "vertical" simplificada de hasta k agrupaciones de módulos de almacenamiento y conversión en una central unificada atendida mediante la técnica de intercambio de intervalos selectores con conexión de función lógica 0. Una característica auxiliar es que pueden establecerse una variedad de conexiones de enlace en la gama completa de intercambio de intervalos selectores; incluyendo intercambio de línea a línea ("local" o "en cascada"), de línea a canal de enlace ("línea interurbana") y de canal de enlace a canal de enlace ("línea interurbana-cascada").

Un aparato como se acaba de caracterizar utiliza intervalos selectores de intercambio reservados para las unida-

12



des SIM/ICM para transmitir bidireccionalmente información de estado de actividad relativa a intervalos selectores de información de tráfico asociados atendidos por estas unidades. Además, tal información de actividad es o puede ser utilizada en la estación para: a) supresión de eco telefónico; b) control de amplitud en circuitos portadores de señales telefónicas comprimidas-expandidas adaptativamente; c) técnica TASI; d) exclusión o "congelación" de sobrecargas TASI con prioridad; e) asignación de camino de transmisión de red; y f) equilibrado de carga de red.

Cuando se compara con un sistema TASI de enlace por satélite mas primitivo expuesto en la Patente Norteamericana 3.644.680, concedida el 22 de febrero de 1.972 a Amano y otros, la presente organización TASI se distingue porque: a) las presentes asociaciones de líneas y canales virtuales (canales de almacenamiento explorados por los circuitos de control para asignación TASI) son variables debido a la conmutación de intercambio de tiempo; b) el conmutador de intercambio es ampliable para atender una pluralidad de enlaces de transmisión simultánea con máscaras TASI independientes en una central de conexión unificada (la patente de Amano y otros no parece haber considerado esta necesidad); c) se considera ahora la posibilidad de sobrecarga TASI y esta posibilidad es tratada mediante exclusión con prioridad de canales virtuales activos a pesar de las serias restricciones de tiempo que afectan inherentemente a tal acción (la patente de Amano y otros

12



parece haber ignorado las posibilidades de sobrecarga, lo cual implica fijar unas condiciones de rendimiento menor que el máximo en la utilización de canales TASI); d) el presente aparato contempla la posibilidad de conmutación de intercambio de intervalos selectores tanto para bitios de información de tráfico como para bitios de actividad utilizados para la técnica TASI y supresión de ecos; e) el presente aparato proporciona opciones de conexión de línea a línea, línea a enlace TCM y enlace a enlace con control TASI selectivo de conexiones de enlace y con los beneficios resultantes en cuanto al rendimiento de equilibrado de enlace y carga y el bloqueo reducido de conexiones de llamada.

Otra característica es que el intervalo de encuadre TCM ahora utilizado (por ejemplo de 6 milisegundos) es largo en comparación al intervalo entre muestreos sucesivos de cualquier acceso de línea telefónica (por ejemplo de 1/32 de milisegundo). En consecuencia, las muestras de acceso de línea pueden ser almacenadas transitoriamente y transmitidas en bloques de muestras múltiples para un encabezamiento de transmisión reducido (alta relación de bitios de tráfico a bitios de máscara TASI y de sincronismo).

Otra característica es que los presentes módulos de almacenamiento de intercambio de intervalos selectores funcionan para transmitir información en pequeños segmentos de baterías de bitios con un ritmo de funcionamiento cíclico ade-



cuado para completar conexiones de línea local con retardos
de intercambio cortos y conexiones de larga distancia con
retardos de intercambios más largos (pero cortos con rela-
ción a los retardos de propagación de enlace); de modo que
5 no se requiere supresión de eco en conexiones de corta y
media distancia. .

Otra característica del invento es que el apa-
rato de estación de central digital que constituye su ob-
jeto comprende uno o más módulos de conmutador digital que
10 pueden ser acoplados independientemente a cuadros múltiples
de distribución de líneas y arterias o líneas principales de
transmisión simultánea en agrupaciones verticales y pueden
aún funcionar como central unificada para conectar cualquier
línea en cualquier agrupación con cualquier canal de línea
15 principal en cualquier agrupación.

Otra característica es que las operaciones
de conexión (intercambio) de la central pueden ser controla-
das por tablas borrables almacenadas que proporcionan posibi-
lidades de selección de ruta preferida y de ruta alternati-
va y posibilidades de asociación de conexión virtual no res-
20 tringidas por cualquier tipo de ordenación física de las lí-
neas y canales.

Otra característica es que los canales de lí-
nea principal pueden ser utilizados para plena capacidad
25 sin degradación indebida del servicio, debido a la exclusión

12 MAR 1970



con prioridad y las prácticas de control de configuración de red expuestas ahora.

Los precedentes y otros aspectos, características, ventajas y objetivos del presente invento se apreciarán con
5 más detalle por la siguiente descripción y reivindicaciones.

DESCRIPCION DE LOS DIBUJOS

La figura 1 ilustra esquemáticamente un aparato de conmutación de líneas digitales con control común dispuesto de acuerdo con este invento.

10 La figura 2 ilustra un módulo de almacenamiento transitorio (memoria intermedia) de batería de bitios de línea para utilización en el invento;

La figura 3 ilustra un módulo de almacenamiento transitorio de bloque de línea principal para utilización en
15 el invento.

La figura 4 ilustra esquemáticamente el conmutador modular objeto del invento.

La figura 5 ilustra esquemáticamente el conmutador modular con mas detalle;

20 La figura 6 ilustra esquemáticamente una disposición de acoplamiento de línea telefónica, útil para el invento;

La figura 7 es un esquema de circuitos de asignación de canales VAC (TASI) de acoplamiento compatible con una
25 sección de módulo del conmutador que se considera;

12 MAR 1976



La figura 8 es un esquema de los circuitos para pasar el tráfico desde canales asignados por técnica TASI a una sección de módulo del conmutador que se considera.

5 La figura 9 ilustra gráficamente la temporización de encuadre y la asignación VAC (TASI) y señalización, con relación a una única línea principal de transmisión simultánea de acuerdo con este invento;

10 Las figuras 10, 11 y diagramas asociados, incluidos en el texto siguiente ilustran gráficamente el funcionamiento y temporización de sincronismo del conmutador de intercambio de intervalos selectores objeto del invento;

Las figuras 12-14 ilustran esquemáticamente ciertas opciones de conexión proporcionadas por el invento; y

15 La figura 15 representa los circuitos lógicos de exclusión y equipos asociados de información de gestión (interrupción).

DÉSCRIPCION

1. Introducción

20 El presente invento relativo a un conmutador está descrito en la solicitud de patente española nº. 443.923 y es útil en el sistema de red de enlace por satélite descrito en ella; incorporándose aquí la exposición de dicha solicitud como referencia.

25 Las operaciones de detección de actividad vocal y anulación selectiva de eco aquí consideradas están también



expuestas en dicha solicitud de patente nº 443.923. El aspecto original de interés en este momento es el rendimiento de las operaciones de seguimiento de actividad requeridas bajo limitaciones impuestas por la interposición de circuitos de conmutación de intercambio de tiempo entre líneas asociadas conectivamente y canales TDM/TCM.

Las técnicas de ajuste de magnitud de incremento de desmodulación e inserción de ruidos de inactividad que se comentan aquí, están descritas en dicha solicitud de patente. El aspecto original de interés actual es el rendimiento de las operaciones de seguimiento de actividad requeridas bajo limitaciones impuestas por la interposición de circuitos de conmutación de intercambio de tiempo entre circuitos de desmodulación y canales.

El invento (figura 1) consiste en un sistema de estación de intercambio de intervalos selectores y el aparato asociado para construir estaciones versátiles, eficientes y de utilidad económica, en una red de accesos múltiples para comunicación telefónica o de datos atendida por enlaces digitales múltiples de alta velocidad; estando diseñado cada enlace para conducir señales en forma digital de transmisión simultánea comprimida en tiempo (transmisión TCM). El diseño de estación que se considera contempla la posibilidad de servicio dúplex de enlaces múltiples de alta velocidad para estaciones con capacidad de realizar compresión selectiva de acti-



vidad (o descompresión) en la asignación de canales de enlace (separación del grupo de transmisión simultánea).

El diseño contempla adicionalmente la exclusión selectiva de actividad de línea no dividida relativa a grupos de canales asignables mediante una técnica que permite el bloqueo de niveles de prioridad múltiples en la selección del tráfico, a pesar de las serias restricciones de tiempo impuestas inherentemente a tal selección por la capacidad de almacenamiento del sistema y sincronismo de encuadre.

El aparato de estación de acuerdo con el invento comprende de 1 a k ($k = 4$ en el ejemplo que se describe) subsistemas de conexión modulares construidos individualmente por conjuntos de memoria de acceso aleatorio conectados en cascada del tipo de línea (LGM), línea principal (TGM) e intercambio de intervalos selectores (SIM). Estos subsistemas están integrados en un sistema de conexión de circuito unificado mediante: a) asociación con una unidad de control común (CCU), b) operación cíclica coordinada en tiempo de los conjuntos del subsistema, y c) direccionamiento común (conexión en función lógica 0) y conexión en línea colectora de salida común de los conjuntos de intercambio.

Los conjuntos SIM están dispuestos en asociación emparejada con conjuntos de Memoria de Control de Intercambio (conjuntos ICM). Las posiciones de memoria ICM contienen información almacenada en forma borrable suministrada por la

12



unidad CCU para direccionar posiciones de memoria SIM para
operación de salida de lectura (RD). Los conjuntos de memoria
SIM son direccionados para operaciones de entrada de escritu-
ra (WR) por un contador incrementado secuencialmente. Los
5 conjuntos ICM, LGM y TGM son también direccionados por con-
tadores incrementados secuencialmente. De este modo, el con-
tenido de una línea SIM o de una posición de intervalo selec-
tor en memoria de línea principal recibido en asociación de
posición ordenada desde una línea o canal de línea principal
10 puede ser transmitido virtualmente a cualquier posición de
acceso de línea o acceso de salida de línea principal del sis-
tema según una asociación de orden arbitrario.

La unidad CCU mantiene tablas de rutas de co-
nexión preferidas y alternativas y comunica, por intermedio
15 de unidades LIU de acoplamiento de línea (figura 1), y a tra-
vés de conexiones de circuito de red establecidas a través de
la respectiva estación y sus enlaces de línea principal de trans-
misión simultánea, para tratar información de marcación de lla-
mada originadas en accesos de línea de cualquier estación de
20 la red, a entradas de memoria ICM que representan segmentos de
conexión de circuitos reservados en la respectiva estación
(se hace referencia a dicha solicitud de Markey y otros). Los
bitios de actividad transmitidos a través de intervalos de
actividad de memoria SIM reservados de tales conexiones de cir-
25 cuito son utilizados para controlar la asignación comprimida



de actividad y la anulación de asignación de canales de transmisión simultánea de red de alta velocidad.

Las unidades LIU establecen acoplamiento compatible con líneas telefónicas PBX analógicas individuales y líneas de datos digitales a través de accesos de línea de estación. Las señales de sonido telefónicas analógicas son convertidas por la unidad LIU a forma digital (por ejemplo, por modulación delta comprimida-expandida adaptativamente). Las señales de entrada de línea telefónica y línea de datos son transmitidas en forma digital con transmisión de bitios en serie a secciones LGIM de almacenamiento de entrada de conjuntos respectivos LGM de memoria de grupo de línea (figuras 1,2) para su tratamiento en unidades de bitios en paralelo-baterías de bitios en serie relativas a posiciones de intervalo selector de grupo de líneas respectivas de conjuntos SIM respectivos. Las operaciones de lectura concurrentes relativas a los conjuntos SIM transfieren baterías de bitios de entrada de línea principal, anteriormente almacenadas, a secciones (LGOM, TGOM) de salida de conjuntos de línea (LGM) o de línea principal (TGM) indistintamente.

Las entradas recibidas en la dirección opuesta desde líneas IT principales de entrada son situadas en secciones (TGIM) de entrada de módulos respectivos TGM de Grupo de Líneas Principales en unidades de 24 baterías de



bitios (192 bitios) por canal de entrada de línea principal y son transmitidas en unidades de una sola batería de bitios por canal a posiciones respectivas asignadas de intervalo selector de línea principal de conjuntos SIM respectivos, mientras que las baterías de bitios de entrada de línea anteriormente almacenadas son transmitidas concurrentemente a los conjuntos LGOM, TGOM de salida para tratamiento de salida con relación a accesos de línea de salida y líneas OT principales de salida.

Las baterías de bitios de salida en los conjuntos LGOM son transmitidas en serie a través de unidades SIM a accesos de salida de línea con conversión adecuada de digital a analógico de las señales telefónicas. Las salidas de los conjuntos TGOM son situadas en unidades de 24 baterías (192 bitios) por asociación de líneas conectadas virtualmente para transmisión sobre nacales de líneas principales OT respectivas de salida.

La información de bitios de actividad intercambiada con el tráfico de accesos es utilizada para controlar la asignación dependiente de actividad de los canales OT al tráfico de conjuntos TGOM; habiendo canales insuficientes en la capacidad total de las líneas principales OT para tratar el tráfico total de todos los accesos in de línea. Si el tráfico activo en un conjunto TGOM excede la capacidad del canal de la línea principal OT respectiva, los circuitos lógicos del sistema respectivo (agrupación) realizan la exclusión selectiva para bloquear efectivamente la transmisión del tráfico activo



en exceso (que es así escrita redundantemente y perdida o escartada). La selección, que debe realizarse en un tiempo muy corto, ordena selectivamente las salidas en grupos de niveles múltiples de prioridad, de modo que los datos tienen la prioridad más alta para transmisión y la actividad ininterrumpida tiene prioridad sobre la actividad que acaba de comenzar (aparición brusca de conversación).

Descripción del Conmutador Digital (intercambio de intervalos selectores).

10 1. Disposición Constructiva del Conmutador

El Conmutador Digital (figuras 1-5) está programado para conexión por la unidad CCU. El tráfico de entrada en los accesos de línea del conmutador consiste en datos o señales vocales analógicas que han sido tratadas previamente en la unidad LIU por adaptadores respectivos de datos o circuitos de tratamiento de señales vocales (para conversión predictiva de analógico a digital/digital a analógico de modulación delta con compresión/expansión, detección de actividad vocal, anulación de eco y desviación de ganancia de recepción/salida; operaciones todas descritas en dicha solicitud de patente española Nº. 443923 y sólo pertinente de un modo secundario para el invento que se está describiendo ahora). La figura 1 representa la estructura general de un conmutador con una dotación completa de cuatro agrupaciones de módulos verticales. Las figuras 5-8 proporcionan una vista más detallada.

20 1.1.: Componentes del Conmutador

25 1.1.1 Accesos



En el lado izquierdo de la figura 1 están representados 96 accesos de "línea" por cada módulo LIU, LGM. Cada acceso es del tipo de transmisión doble simultánea (dúplex) completa y mantiene una velocidad de transmisión de datos de 32 KBS o velocidad de transmisión de señales telefónicas. El lado de entrada (transmitir) de un acceso se denomina "acceso de entrada" y el lado de salida (recibir) se denomina "acceso de salida". Bajo control de programa, pueden seleccionarse individualmente accesos para acoplamiento con circuitos o equipo de tratamiento de señales vocales o adaptadores de datos.

1.1.2 LGIM/LGOM

El Módulo de Entrada de Grupo de Líneas (LGIM) contiene 96 posiciones de registro de desplazamiento de un ancho correspondiente a una batería de bitios, una para cada acceso, y sirve para suprimir el formato en serie de la corriente de bitios en cada acceso (envío) para obtener unidades de batería (8 bitios) para transferencia de bitios en paralelo y baterías en serie a posiciones de intervalo selector de líneas respectivas de la respectiva memoria SIM. El Módulo de Salida de Grupos de Línea (LGOM) realiza la función inversa de disposiciones en serie para tratamiento de accesos. El módulo LGOM contiene 96 posiciones de registro de desplazamiento de un ancho de una batería de bitios que transmiten en serie el tráfico conmutado a accesos de salida respectivos.

25



1.1.3. Acceso de Línea Principal/Canales Reales

En el lado derecho de la figura 1 están representados accesos que establecen acoplamiento con elaces IT, OT (Líneas Principales de Entrada, Líneas Principales de Salida) digitales de alta velocidad. Cada pareja de accesos es un circuito de acoplamiento de transmisión doble simultánea completa de acoplamiento por bitios en serie que funciona a 1,544 MBS. Uno de cada 193 bitios (8 KBS) del flujo de bitios es utilizado para sincronismo, quedando una velocidad efectiva de 1,536 MBS para transmisión de datos. El tráfico de señales digitales está representado sobre los equipos de línea principal en unidades denominadas encuadres. Un encuadre (figura 10) tiene una longitud de 6 ms y contiene 48 Canales Reales (RC) denominados también Canales de Línea Principal (TC). Cada canal real está compuesto por 24 baterías de bitios (192 bitios) y funciona a una velocidad de transmisión efectiva de 32 KBS. Está insertado entre canales un bitio de sincronismo, (el bitio de orden 193).

1.1.4. Canales Virtuales

Un Canal Virtual (VC) está definido como un canal de 32 KBS que puede ser transmitido o recibido sobre un canal RC real de una línea principal digital de alta velocidad. Cada módulo de conmutador soporta un grupo de 96 canales VC de salida para transmisión por línea principal y un grupo de 96 canales VC de entrada para recepción. La asociación en-



tre canales VC y los accesos de línea en la totalidad de las agrupaciones es arbitraria y está sometida al control de las unidades CCU/ICM.

1.1.5 Compresión de Actividad Vocal (VAC)

5 Como se ha mencionado anteriormente, VAC es una técnica de compresión (TASI) para señales vocales. El equipo de Tratamiento de Señales Vocales (LIU) percibe la actividad de los accesos de línea telefónica vocal y línea de datos y transmite indicaciones de actividad (bitios VAC) al conmutador.
10

 El conmutador contiene un mecanismo que configura los 96 canales VC de salida en canales reales (RC) de salida en el lado de transmisión de cada circuito de acoplamiento de línea principal de salida. En el lado receptor de cada circuito de acoplamiento de línea principal de entrada
15 la técnica VAC configura inversamente los canales reales recibidos de entrada en los 96 canales virtuales de entrada.

 En el presente ejemplo, el encuadre de línea principal de alta velocidad contiene solamente 48 canales reales. Por tanto, la relación de compresión TASI es igual a 2
20 con el fin de enlazar correctamente los 96 canales virtuales en cada circuito de acoplamiento de línea principal con los canales reales. La técnica VAC funciona escogiendo un subconjunto de los 96 canales virtuales de salida en cada circuito de acoplamiento de línea principal de salida, en cada inter-
25



valo de encuadre, y comprimiéndolos en los 48 canales reales de salida. Se escogen para transmisión por la técnica VAC aquellos canales virtuales que están "activos", es decir canales que tienen indistintamente información de datos o iniciación brusca de conversación. La actividad está indicada por un único bitio de control para cada canal virtual de salida. Si están activos más de la mitad de los canales durante un encuadre dado, la técnica VAC utiliza un algoritmo de asignación de prioridad, que se comenta posteriormente, para eliminar o excluir los canales virtuales que exceden de la capacidad del encuadre. Con el fin de indicar qué canales virtuales son transmitidos en cada intervalo de encuadre, se hace necesario definir y transmitir una máscara VAC (figura 9) en cada circuito de acoplamiento. La máscara VAC transmitida es un conjunto de 96 bitios enviados junto con 96 bitios redundantes de corrección de error de transmisión (FEC) sobre un canal RCI (o TCI) real dedicado del encuadre. Las posiciones de los bitios en la máscara en progresión de tiempo están asociadas con posiciones numéricas respectivas de los 96 canales virtuales, de 0 a 95, respectivamente. El estado del bitio de máscara (1 o 0) representa el estado de actividad del canal virtual asociado, es decir activo o inactivo. Puesto que la transmisión de la máscara VAC requiere un canal real, los 96 canales virtuales de salida deben comprimirse en los 47 canales reales de salida restantes.



1.1.6 TGOM/TGIM

El Módulo de Salida de Grupo de Línea Principal (TGOM), como se ve en la figura 7 sirve para almacenar transitoriamente 96 canales virtuales de salida que salen del conmutador a través del circuito de acoplamiento de salida de línea principal. El módulo TGOM es una memoria intermedia A/B, conteniendo cada parte 96 x 24 posiciones de batería de bitios para almacenar 24 baterías por cada uno de los 96 canales virtuales de salida. En cada encuadre una de las partes de la memoria intermedia es cargada desde la memoria SIM mientras que el contenido total de la otra es transmitido sobre la respectiva línea principal de salida (OT). Las partes de la memoria intermedia son alternadas en encuadres sucesivos de modo que a medida que una de las partes es cargada, la otra parte es comprimida en cuanto a actividad y transmitida sobre canales TCO y TC2-49 de línea principal, precedida por la máscara VAC asociada enviada sobre el canal TC1; ocupando la información de señalización de control entre estaciones el canal TCO.

El Módulo de Entrada de Grupo de Líneas Principales (TGIM) almacena transitoriamente los 48 canales reales que entran en el conmutador por intermedio del circuito IT (línea principal de entrada) de acoplamiento respectivo para tratamiento en la memoria SIM. Al igual que el módulo TGOM, el módulo TGIM es una memoria intermedia A/B. Pero cada lado contiene solamente 48 x 24 posiciones de batería para almacenar



un encuadre de 48 canales reales de información recibidos para distribución a través de las unidades SIM/ICM y LGOM a 96 canales virtuales y 96 accesos respectivos de línea de salida. La carga y acoplamiento al conmutador se alterna entre los dos lados en cada encuadre de 6 ms. Mientras los canales reales son cargados en el primer lado desde la línea principal de entrada, los canales reales almacenados en el otro lado son desmultiplexados en forma de canales virtuales de memoria SIM bajo control de la máscara VAC. En este caso el control VAC realiza la función inversa de compresión. La máscara VAC recibida desprovista de redundancia es utilizada para expandir los canales reales recibidos almacenados en el módulo TGIM en 96 canales virtuales de entrada de memoria SIM. Para los canales virtuales que están activos, es utilizada como datos información procedente del correspondiente canal real. Para un canal virtual que está inactivo, es decir no existe asignación a un canal real, es insertado ruido de inactividad como "relleno".

1.1.7 SIM

La Memoria de Intercambio de Intervalos Selectores (SIM), que constituye el "corazón" del Conmutador Digital, es el punto en el que se produce la conmutación. Cada módulo SIM es una memoria de acceso aleatorio que contiene 192 posiciones de un ancho de 12 bits dividida lógicamente en dos partes. Una mitad (posiciones LG (0)-LG (95)) es carga-



da desde el módulo LGIM y contiene una posición singular para cada acceso de línea de entrada (es decir, para cada posición LGIM) para almacenar una batería de bitios de tráfico y un bitio de actividad asociado desarrollado en la unidad LIU.

5 Son transferidos datos a esta primera mitad en intervalos de canal impar del encuadre de intercambio de intervalo selector de 6 ms (figura 11) durante el cual es acumulada una nueva batería de bitios en el respectivo módulo LGIM procedente de cada uno de los 96 accesos de entrada.

10 La otra mitad de la memoria SIM (posiciones TG (0)-TG (95)) es cargada desde el módulo TGIM en intervalos de canal pares del encuadre de intercambio y contiene una posición para cada canal virtual de línea principal de entrada para retener una batería de bitios de tráfico y el bitio
15 de máscara de actividad asociado. En sucesivos intervalos de canal par son escritos datos en esta mitad de la memoria SIM procedentes de una posición de batería diferente de cada uno de los 48 canales reales anteriormente almacenados en el módulo TGIM y de una fuente de ruido de inactividad en el caso
20 de canales virtuales inactivos.

1.1.8. ICM

Las salidas de la mitad LG de cada memoria SIM pueden ser dirigidas a posiciones arbitrarias en cualquier módulo TGDM o LGDM bajo control de los conjuntos de Memoria
25 de Interconexión (ICM). Los conjuntos ICM son cargados por la



unidad CCU. Cada memoria ICM tiene un ancho de dos baterías de bitios (más dos bitios de paridad) y puede ser considerada lógicamente dividida en dos partes, una de las cuales contiene 96 posiciones TG de dos baterías utilizada para controlar la carga de módulos TGOM y la otra que contiene 96 posiciones para controlar la carga de módulos LGOM. Cada posición TG está implícitamente asociada con uno de los 96 canales virtuales de salida. El contenido de una posición de memoria ICM corresponde a un indicador de dirección que es utilizado para direccionar una posición SIM. Puesto que el contenido de la posición de memoria ICM es establecido en forma variable por la unidad CCU, puede ser conmutado cualquier acceso de línea de entrada o canal virtual de entrada a cualquiera de los canales virtuales de salida de cualquier conjunto TGOM simplemente situando la dirección del acceso de entrada o canal virtual de entrada (de la posición LG o TG SIM a ser conmutada) en la posición de memoria ICM correspondiente al canal virtual de salida. De este modo, puede variarse la asociación entre accesos o canales virtuales de entrada y canales virtuales de salida para adecuarse a los requerimientos del sistema para establecer el camino de transmisión.

La mitad de control LG del módulo ICM controla la carga de módulos LGOM desde cualquier conjunto de memoria SIM. Cada posición está implícitamente asociada con uno de los 96 accesos de línea de salida. Como anteriormente, cada posi-



5 ción contiene espacio para almacenar un indicador de dirección utilizado para direccionar cualquier posición en cualquier conjunto SIM. Cualquier canal virtual de entrada o acceso de entrada puede ser conmutado a cualquier acceso LGOM de salida situando la dirección del canal virtual de entrada de la posición TG o LG SIM asociada en la posición de memoria ICM correspondiente al acceso LGOM de salida.

10 Aunque las mitades de los módulos SIM están lógicamente separadas, están realizadas en una memoria común con conexiones de sincronismo intermódulos coordinadas y dispuestas en común (conectadas para función lógica 0) a los módulos para direccionamiento y transmisión por línea general de salida de unidades LGOM/TGOM. De este modo, es posible realizar conmutación de acceso a acceso, de acceso a línea principal, de línea principal a acceso y de línea principal a línea principal en la memoria SIM sobre el campo total de direccionamiento de todos los módulos SIM.

15 1.2. Ampliación de la Capacidad del Conmutador

20 La capacidad de conmutación puede ser ampliada a partir de una base de agrupación única añadiendo "verticalmente" agrupaciones de redes de módulos LIU, LGM, SIM, ICM, TGM a la configuración de agrupación base. Para el presente ejemplo, la configuración máxima para las velocidades de transmisión de datos en línea principal y módulo es una superposición de cuatro agrupaciones que atienden 384 accesos de línea de transmisión



13.76

5 doble simultánea completa y cuatro accesos de línea principal de transmisión dúplex multiplex. La integración de las agrupaciones individuales en una central unificada se realiza interconectando (conectando para función lógica "0") las líneas de dirección y líneas generales de salida de los módulos SIM individuales para formar un nudo de conmutación común y conectando para función lógica "0" las salidas de módulo ICM para permitir que cualquier módulo ICM direcciona cualquier posición SIM. El contenido del módulo ICM está dispuesto de modo que dos

10 posiciones ICM no indican la misma posición de memoria SIM. Proporcionando capacidad de direccionamiento desde cada módulo ICM a todas las posiciones de memoria SIM, el circuito ampliado atiende tanto la conmutación entre módulos como la conmutación interna en módulos SIM.

15 1.3. Funciones de Conmutación

Con el sistema de conmutación descrito en general anteriormente son posibles cuatro funciones básicas de conmutación que se resumen a continuación.

1.3.1. Acceso de Entrada a Canal Virtual de Salida

20 Cualquiera de hasta 4 x 96 accesos de entrada puede ser conmutado a cualquiera de hasta 4 x 96 canales virtuales de salida. Esta conexión puede ser utilizada para conmutar datos o señales de tráfico vocal desde conjuntos de datos o unidades PBX, respectivamente, a un canal virtual de salida en el

25 circuito de acoplamiento de Línea Principal Digital.



1.3.2 Acceso de Entrada a Acceso de Salida

Cualquiera de hasta 4 x 96 accesos de entrada pueden ser conmutados a cualquiera de hasta 4 x 96 accesos de salida. Las conexiones de este tipo son utilizadas principalmente para llamadas "locales" dentro de una red definida "localmente"

1.3.3 Canal Virtual de Entrada a Acceso de Salida

Cualquier canal virtual de entrada puede ser conmutado a cualquier acceso de salida. Esta conexión es utilizada para conmutar datos entrantes o señales vocales desde un circuito de acoplamiento de línea principal digital a un acceso de salida.

1.3.4 Canal Virtual de Entrada a Canal Virtual de Salida

Cualquier canal virtual de entrada puede ser conmutado a cualquier canal virtual de salida. Las conexiones de este tipo podrían ser útiles principalmente en un enganche interurbano en cascada donde la estación objeto sirve como nudo intermedio que interconecta canales virtuales de las mismas o diferentes líneas principales.

Equipo Físico de Circuitos del Conmutador

2.1. Circuito de Acoplamiento de Línea Principal Digital de

1,544 MBS

El acceso de circuito de acoplamiento de línea principal ahora ilustrado es un enlace digital sobre el cual es comunicado el tráfico de red privada en forma digital de transmisión simultánea por compresión de tiempo (TCM), con compresión



adicional por asignación TASI de canales de línea principal.
El circuito de acoplamiento de línea principal funciona a una
velocidad de transmisión normalizada de 1,544 MBS adecuada pa-
ra comunicación sobre líneas telefónicas del tipo T1. Esto es
5 solamente a modo de ejemplo y no constituye limitación sobre
las aplicaciones del circuito de acoplamiento del invento.

2.2 Estructura de Encuadre y Alineación

2.2.1 Descripción del Encuadre

10 Un encuadre (figuras 9-11) es la unidad de divi-
sión de tiempo en la cual son transmitidos datos sobre los
equipos de línea principal de 1,544 MBS. Un encuadre tiene
una longitud de 6 ms y consiste en un total de 9264 intervalos
selectores de bitio.

2.2.1.1. Canales Reales

15 El encuadre está compuesto por 48 canales reales
(canales RC). Cada canal real contiene 24 intervalos selecto-
res de batería (192 bitios) para información y tiene un ancho
de banda efectivo de 32 KBS.

2.2.1.2 Bitio de Sincronismo de Orden 193

20 Están insertados bitios de sincronismo de encu-
adre entre canales reales sucesivos. Los bitios de sincronismo
son utilizados para definir los límites de canal y encuadre.
Por cada 192 intervalos selectores de bitio utilizados para
transmisión (un canal) de datos (tráfico), está dispuesto un
25 intervalo selector de bitio de sincronismo. El último repre-



senta la fracción $1/193$ de 1,544 MBS, o sea 8 KBS. El ancho de banda restante de 1,563 MBS, o fracción $192/193$ de 1,544 MBS es, utilizado para los 48 canales de 32 KBS.

5 Los primeros 40 bitios de sincronismo son una pauta 1010... alternante, como se representa en la figura 9, Los últimos 8 bitios de sincronismo de un encuadre consisten en una pauta de sincronismo de encuadre o superencuadre utilizada para fines de acceso múltiple descritos en dicha solicitud de patente española. La pauta de sincronismo de encuadre es utilizada por circuitos de sincronismo para determinar los límites de encuadre.

10

2.2.1.3 Señalización

El canal 0 (TC0) está reservado para señalización o comunicación entre sistemas de estación enlazados por la respectiva línea principal.

15

2.2.1.4 Máscara de Compresión de Actividad Vocal (máscara VAC)

La máscara VAC es una máscara de 96 bitios formada en cada grupo de canales virtuales, que describe (y es utilizada para controlar) la asignación de los respectivos 96 canales virtuales a los 47 canales reales de la respectiva línea principal (vease la figura 9). La máscara VAC está protegida en la transmisión por un código de Corrección de Error de Transmisión (Código FEC). La máscara VAC y su código FEC asociado es transmitida en el canal real 1 (TC1) sobre la respectiva línea principal. Por tanto, este canal real está re-

20

25



servado y no puede ser asignado a ningún canal virtual. La máscara se aplica a los otros 47 canales reales restantes transmitidos sobre la respectiva línea principal en el mismo encuadre (es decir, los canales reales 0 y 2-47).

5 La posición de un bitio en la máscara define implícitamente la asignación de canales reales a canales virtuales asociados; es decir, el primer bitio VAC en la máscara se asocia al canal virtual VCO y define la asignación o no asignación de un canal real al canal virtual VCO. Del mismo modo, el bitio VAC de orden 96 define la asignación normal o no asignación de un canal real al canal virtual 95. Si el bitio de máscara VAC es un "1", es asignado un canal real al respectivo canal virtual, y si el bitio es "0", no es asignado un canal real. Las asignaciones de canal real están ordenadas en la secuencia posicional de bitios 1 en la máscara VAC; excepto en que el canal real 0 está siempre reservado para el canal virtual 0 (es decir, si el primer bitio de la máscara VAC es 0, no se utiliza el canal real RCO). Los 95 bitios restantes de la máscara describen las asignaciones de hasta 46 de los canales virtuales activos, en el grupo VC1-VC95, a los canales reales 2-47 en orden ascendente. Si están activos más de 46 canales virtuales, son "excluidos" algunos de los canales virtuales de acuerdo con un algoritmo de "exclusión" que se describe posteriormente. Si están activos menos de los 46 canales virtuales, les son asignados a todos canales reales suce-

10

15

20

25



sivos comenzando con el canal RC2. Los canales reales no utilizados son "rellenados" con ruido de inactividad. Un ejemplo de la asignación de canal virtual a canal real para un encuadre de 7 canales virtuales activos está representado en la figura 9.

5

La máscara VAC está protegida con el código FEC con un código de bloque (16,8). Para cada batería de bitios de la máscara VAC, es transmitida una batería correspondiente de código FEC. Las 12 baterías de bitios de la máscara VAC son transmitidas en las 12 posiciones pares de batería del canal real 1, como se representa en la figura 9. Las 12 baterías de bitios FEC son intercaladas con las baterías de máscara y transmitidas en los intervalos de batería impares. Cada batería VAC está seguida directamente por su batería FEC asociada.

10

15

2.2.2 Corrección de Fase de Línea Principal

La corrección de fase de línea principal es un proceso mediante el cual son alineados encuadres de línea principal entrantes con la estructura de encuadre generada por el Sistema de Sincronismo de la respectiva agrupación de estación (subsistema). La corrección es un procedimiento de tres pasos que consiste en los tres mecanismos siguientes.

20

2.2.2.1 Sincronización de Bitios

El proceso de Sincronización de Bitios sincroniza los bitios recibidos desde la línea principal con el

25



sistema generador de impulsos de sincronismo de bitios del subsistema. Si la frecuencia de los bitios entrantes es idéntica a la frecuencia selectora de bitios del subsistema, la Sincronización de Bitios se convierte en un ajuste de fase constante. La corriente de bitios entrante es retardada en una cantidad constante de modo que un intervalo de muestreo de bitio válido es coincidente con el intervalo de sincronismo selector de bitio. Lo expuesto anteriormente corresponde al caso de agrupación de un subsistema.

10 Cuando están interconectadas entre sí dos o más agrupaciones, el sincronismo de agrupación se deriva de una de las líneas principales que se denomina línea principal maestra. Cualquiera de las líneas principales puede escogerse como maestra bajo control de programa. La frecuencia de sincronismo de 18,520 MHz generada por un oscilador VCXO de la línea principal maestra es utilizada para derivar la estructura completa de sincronismo del sistema que hace que cada agrupación tenga su fase sincronizada con la de la línea principal maestra. Puesto que las otras líneas principales conectadas deben tener bitios sincronizados con la frecuencia de sincronismo del sistema, es necesario tener en cuenta variaciones de frecuencia diferenciales a corto y largo plazo entre la línea principal maestra y las otras líneas principales.

25 Con el fin de conseguir el sincronismo de bi-



dos los límites de encuadre por búsqueda del bitio de sincronismo de orden 193. Después que se ha conseguido el sincronismo, se realizan los ajustes de fase de batería y el ajuste de fase de encuadre, es decir, los circuitos de sincronismo de encuadre proporcionan señales de control para corrección de fase de batería y fase de encuadre.

2.3. Sistema de Señales de Sincronismo y Distribución de Impulsos de reloj o de Sincronismo.

En la figura 10 se representa una jerarquía de impulsos de sincronismo utilizados en el sistema de estación. La estructura de encuadre de 6 ms es básica para el sistema del ejemplo y consiste en intervalos de canal de 48 125 microsegundos, cada uno dividido en cuatro segmentos iguales de 31,25 microsegundos. Cada segmento está dividido en tres períodos de 10,416 microsegundos. Dentro del período de 10,416 microsegundos, se desarrollan dos períodos de 5,184 μ s más una zona muerta de 54 ns. El intervalo muerto de 54 ns es utilizado para realizar la conversión de 1,544 MHz a 1,536 MHz. Hay doce zonas muertas en un intervalo de canal (125 μ s) que es equivalente a un intervalo de bitio de 648 ns sobre la línea principal.

Todos los sucesos dentro del sistema estación/conmutador se producen en instantes precisos dentro del encuadre y están controlados por las señales de sincronismo o de reloj generadas dentro de la estructura de encuadre. El pe-



ríodo de $5,184 \mu s$ contiene diversas señales de sincronismo que se describen en las secciones siguientes.

2.3. Descripciones de Señales de reloj

2.3.1.1 Señal de reloj de 18,528 MHz

5 Todo el sistema de sincronismo se origina a partir de un único generador de señales de reloj de fase bloqueada a los datos entrantes sobre la línea principal que funciona exactamente a doce veces la velocidad de transmisión de datos de 1,544 MBS, es decir, a 18,528 MHz. La señal de reloj
10 o de sincronismo es generada por un oscilador VCXD, como se describe en dicha solicitud de Markey y otros.

2.3.1.2 Señal de reloj 192/193 y Señal de reloj del Bitio de Orden 193.

15 Son transferidos datos sobre el circuito de acoplamiento de línea principal a una velocidad global de transmisión de 1,536 MHz. La frecuencia de sincronismo de 18,528 MHz es exactamente doce veces la frecuencia de 1,544 MHz que es la frecuencia de transmisión de bitios sobre la línea principal (incluyendo el bitio de sincronismo de orden 193). La frecuencia de sincronismo de 18,528 MHz es reducida en un factor de 1/193 para generar la señal de sincronismo 192/192 requerida aliminando uno de cada 193 impulsos.
20

25 La señal de sincronismo 192/193 se deriva de un contador de módulo 193 en combinación con un descodifi-

12 MAR 1976



5 cador para el estado de orden 193. El impulso de orden 193 que es suprimido es utilizado como señal de sincronismo y contiene un impulso por cada 193 impulsos o un impulso por cada 10,416 μ s. Las señales de sincronismo 192/193 y la del bitio de orden 193 son utilizadas para desarrollar todas las señales de sincronismo subsiguientes relacionadas con la frecuencia de 1,536 MHz.

2.3.1.3 Señal de reloj 54/54 NS

10 La señal de sincronismo 192/193 es dividida por dos para producir una señal de sincronismo con un período de 108 ns. Como se ve en la figura 10, la señal de sincronismo 54/54 contiene un semiciclo de "tiempo muerto" cada 10,416 ns debido al impulso que falta en la señal de sincronismo 192/193.

18 La señal de sincronismo 54/54 es distribuida directamente a los circuitos de tratamiento de señal vocal en los módulos LIU. La señal de sincronismo es utilizada también como fuente para desarrollo de señales de sincronismo adicionales dentro del conmutador digital.

2.3.1.4 Señal de reloj 108/108 NS

25 Esta señal de sincronismo es derivada, en paralelo con la señal de sincronismo 54/54, de la señal de sincronismo 192/193. La señal de sincronismo es distribuida a los circuitos de tratamiento de llamada y es utilizada también para producir señales de sincronismo U.



2.3.1.5 Señales de reloj S

5 Son generadas seis señales de sincronismo a partir de la señal de sincronismo 54/54 ns con un contador de código grey de módulo 6. Cada señal de sincronismo consiste en un impulso de 54 ns que se produce cada 324 ns. Las seis señales de sincronismo están desfasadas entre sí en 54 ns. Estas señales de sincronismo son utilizadas principalmente en combinación con otras para generar la entrada de sincronismo a registros y contadores.

10 2.3.1.6 Señales de reloj U

Son generadas seis señales de sincronismo U y cada una consiste en una "ventana" de 324 ns que se repite con un período de 1,298 μ s. Las señales U de sincronismo son derivadas de la señal de sincronismo de 108/108 ns.

15 2.3.1.7 Señales de reloj V

Son desarrolladas cuatro señales de sincronismo V a partir de las señales S y U de sincronismo y son sincronizadas por el generador de sincronismo del bitio 193. Cada señal de sincronismo es una ventana de 1,296 μ s y se repite cada 5,184 μ s.

20

2.3.1.8 Ventanas de Secuenciador de Encuadre/Señales de Sincronismo/Canal.

Los circuitos de secuenciador de encuadre descritos en dicha solicitud de Markey y otros desarrollan todos los sucesos de temporización con períodos mayores que los de las se-

25



Señales de sincronismo V. El secuenciador de encuadre cuenta superencuadres, desarrolla la estructura de encuadre de 6 ms, y proporciona señales de sincronismo y ventanas de canal que definen sucesos dentro del encuadre.

5 Son desarrolladas doce señales de sincronismo que se exponen seguidamente en forma de lista. Cada señal de sincronismo es una ventana de $5,184 \mu s$ que se repite en los intervalos descritos.

10 a) Señal de sincronismo de $31,25 \mu s$ - Esta señal de sincronismo se repite cada $31,25 \mu s$, es decir consiste en una "ventana" de $5,184 \mu s$ cada $31,25 \mu s$.

b) Señales 0, 1, 2 y 3 de sincronismo de $31,25 \mu s$ - Estas cuatro señales de sincronismo se repiten cada $125 \mu s$ y comienzan en los límites de separación, como se representa en la figura 10.

15 c) Señales de sincronismo par e impar - Estas dos señales de sincronismo definen el comienzo de canales pares e impares y se repiten cada $250 \mu s$.

20 d) Señales de sincronismo de los canales 47, 0 y 1 - Estas señales de sincronismo definen el comienzo de los canales especificados y se repiten cada 6 ms.

e) Señal de sincronismo de 336 ms - Esta señal de sincronismo define el comienzo de un superencuadre.

25 f) Ventanas de canal - Se producen sucesos especiales en los canales 47, 0 y 1 en lo que respecta a la preparación de la máscara VAC y su control de paso de salida. Por consiguiente,



se desarrollan tres ventanas de canal. Cada ventana tiene un ancho de $125 \mu\text{s}$ y se repite según una base de 6 ms dentro de la estructura de encuadre.

2.3.1.9 Señales de reloj de línea principal

5 Las señales de sincronismo y todas las señales de temporización comentadas en las secciones anteriores fueron derivadas de la señal de sincronismo 192/193. Por consiguiente, la zona muerta de 54 ns cada 10, $416 \mu\text{s}$ aparece en todas las señales de sincronismo que se ajustan a la frecuencia de

10 1,544 MHz hasta una frecuencia efectiva de 1,536 MHz para datos. Las señales de sincronismo de línea principal son utilizadas para admitir datos de la línea principal y controlar el paso de salida de datos sobre la línea principal con el bitio de sincronismo incluido. De este modo, las señales de sincronismo no pueden ser desarrolladas a partir de la señal de sincronismo 192/193 puesto que se necesita la frecuencia de 1,544

15 MHz con el fin de alojar el bitio de sincronismo.

 La señal de sincronismo 192/193 y la señal de sincronismo del bitio de orden 193 son combinadas en función

20 lógica "0" para reconstruir la frecuencia de sincronismo básica de 18,536 MHz. Esta frecuencia de sincronismo es dividida hasta generar seis señales de sincronismo C que se repiten cada 648 ns y tienen un ancho de 108 ns. Las señales C de sincronismo son utilizadas para excitar la memoria inter-

25 media "elástica", los circuitos de sincronismo de encuadre y



el control de pasos de salida de línea principal. Las señales C de sincronismo están sincronizadas con la señal 192/193 de sincronismo con el impulso de sincronismo del bitio de orden 193.

5 2.3.2 Utilización de las señales de reloj

Con la jerarquía de señales de sincronismo descritas, es posible desarrollar impulsos de diversos anchos y períodos asociando en función lógica "Y" diferentes combinaciones de ellas. Esto permite un sistema de impulsos de sincronismo flexible y proporciona medios para controlar centralmente los diversos sucesos que ocurren en las agrupaciones de estación.

10

2.3.3 Sincronización de Señales de reloj

Todas las señales de sincronismo descritas están sincronizadas rigurosamente entre sí para asegurar el funcionamiento correcto. Son enviados continuamente impulsos de sincronismo a diversas partes de la máquina lo cual garantiza que todas las señales de sincronismo dentro de una agrupación de conmutador, así como entre agrupaciones, están siempre alineadas correctamente. Si una señal de sincronismo, por alguna razón, "se salta un impulso" será sincronizada nuevamente con su impulso de sincronismo siguiente.

15

20

2.3.4 Agrupaciones de Conmutador Interconectadas

Cuando las agrupaciones están interconectadas, son proporcionadas señales básicas de sincronismo a todas las agrupaciones por el sistema de sincronismo de la agrupación designada.

25



nada como agrupación maestra. La agrupación maestra genera la señal de sincronismo 192/193 y el impulso de sincronismo del bitio de orden 193 a partir de su señal de sincronismo de 19,582 MHz. La señal de sincronismo 192/193 y el impulso de sincronismo del bitio de orden 193 son distribuidas desde la agrupación maestra a cada agrupación y también a ella misma. Adicionalmente, es distribuido un impulso de sincronismo de 336 ms (54 ns) desde la agrupación maestra para sincronizar cada uno de los secuenciadores de encuadre de agrupación. Estas tres señales de sincronismo constituyen la única información de temporización comunicada entre agrupaciones. Cada agrupación deriva todas las otras señales de sincronismo de estas tres fuentes de sincronismo básicas.

2.3.5 Identidad de Agrupación

Pueden interconectarse hasta cuatro agrupaciones de conmutador. Estas son idénticas entre sí excepto para los intervalos en que se producen ciertos sucesos dentro de la estructura de encuadre. La temporización de cada agrupación puede hacerse singular mediante puentes de conexión sobre las tarjetas de agrupación, que hacen que la agrupación tome la identidad de cero, uno dos o tres. Las agrupaciones interconectadas deben tener identidades mutuamente exclusivas. La identidad de una agrupación define donde comienza la estructura de encuadre con respecto a un encuadre absoluto de referencia, es decir la temporización dentro de la estructura



de encuadre. Los encuadres están desfasados entre sí por razones que se describirán posteriormente.

2.3.6 Transferencias de Conmutador (figura 11)

5 En cada intervalo de canal las agrupaciones
SIM son controladas cíclicamente a través de 96 transferen-
cias de escritura y 96 transferencias de lectura en cuadrantes
respectivos de $31,25\mu s$. Las transferencias de lectura están
desfasadas de las transferencias respectivas de escritura en
un intervalo de 162 ns. En intervalos de canal impar son ins-
critas baterías de bitios en intervalos de 324 ns en posiciones
10 LG sucesivas de la memoria SIM a partir de posiciones suce-
sivas respectivas del módulo LGIM, mientras que son leídas
concurrentemente baterías de bitios en intervalos de 324 ns
de posiciones TG o LG direccionadas por ICM de la memoria
15 SIM (escritas en intervalo de canal anteriores) en posicio-
nes sucesivas LGOM. En intervalos de canal par, son escritas
96 baterías de bitios en posiciones TG sucesivas de la me-
moria SIM a partir de posiciones sucesivas de TGIM mientras
que son leídas concurrentemente baterías de bitios de las
20 posiciones diversamente especificadas de la memoria SIM
(TG o LG) (por ICM) en posiciones TGOM sucesivas. De este
modo, son intercambiadas baterías de bitios entre accesos
de línea e intervalos selectores de canal virtual de acuer-
do con cualquier programa de conexiones establecido en los
25 módulos ICM.



Los módulos ICM son direccionados por el contador ICM (figura 5) que funciona secuencialmente con módulo 384 sobre cada intervalo de canal en combinación con el contador SIM. Los contenidos de direcciones ICM sucesivas determinan el direccionamiento de la memoria SIM para transferencias de lectura. La secuencia completa de operaciones de transferencia con relación a módulos SIM está ilustrada en los siguientes diagramas. En estos diagramas X(n) y U(n) representan indicadores de dirección SIM; Y(m), V(m) representan el tipo de información (telefónica, de datos, etc.).

DIAGRAMA I

CICLO IMPAR SIM R/W (125 μ SEC, R/W DESFASE 162 nSEC)

	<u>(LEE)</u>	<u>TIEMPO</u>	<u>(ESCRIBE)</u>
15	U383, V383 [LOC T695, ICM3] → ICM/OUT ICM/OUT → SIM ADDR RD LOC X383, SIM → SIM/OUT SIM/OUT → TGOM(3) /IN INC ICM COUNT (=0)		INCRMT SIM COUNT (=0) READ LOC (0), LGIM (0) LGIM(0) /OUT → SIM(0) / IN SIM COUNT → SIM ADDR
20	WR TGOM/IN → LOC 95, TGOM(3) ICM COUNT → ICM ADDR X0, Y0 [LOC T60, ICM(0)] → ICM/OUT ICM/OUT → SIM ADDR		WR SIM(0) /IN → LOC L60, SIM (0) INC SIM COUNT (=1)
25	RD LOC X0, SIM(0-3) → SIM/OUT		RD LOC(1), LGIM(0)



DIAGRAMA I (continuación)

	<u>(LEE)</u>	<u>TIEMPO</u>	<u>(FSCRIBE)</u>
	SIM/OUT→LGOM(0-3)/IN		LGIM(0)/OUT→SIM(0)/IN
5	INC ICM COUNT (=1)		SIM COUNT→SIM ADDR(0-3)
	WR LGOM/IN→LOC 0, LGOM(0)		WR SIM(0)/IN→LOC LG1, SIM(0)
	ICM COUNT→ICM ADDR		REPETIR PARA
	X1, Y1 [LOC LG1, ICM(0)]→		LOC's LG2-LG94
	→ ICM/OUT		SIM(0)
10	REPETIR PARA		
	X, Y1-X, Y93		INC SIM COUNT (=95)
	X94, Y94 [LOC LG94, ICM(0)]		
	→ ICM/OUT		RD LOC 95 LGIM(0)
	ICM/OUT→SIM ADDR		LGIM(0)/OUT→SIM(0)/IN
	RD LOC X94, SIM→SIM/OUT		SIM COUNT→SIM ADDR(0-3)
15	SIM/OUT→LGOM(0-3)/IN		
	INC ICM COUNT (=95)		
	WR LGOM/IN→LOC 94, LGOM(0)		WR SIM(0)/IN LOC LG95, SIM(0)
	ICM COUNT→ICM ADDR		
	X95, Y95→ICM/OUT		INC SIM COUNT (=96)
20	ICM/OUT→SIM ADDR		
	RD LOC X95, SIM→SIM/OUT		RD LOC(0), LGIM(1)
	SIM/OUT→LGOM/IN		LGIM(1)/OUT→SIM(1)/IN
	INC ICM COUNT (=96)		SIM COUNT→SIM ADDR
	WR LGOM/IN→LOC 95, LGOM		WR SIM(1)/IN→LOC LG0 SIM(1)
25	ICM COUNT→ICM ADDR		



DIAGRAMA I (continuación)

	<u>LEE</u>	<u>TIEMPO</u>	<u>ESCRIBE</u>
	REPETIR PARA		REPETIR PARA
	X, Y96-X, Y190		LOC's LG1-LG95
5			SIM(1)
	X191, Y191 [LOC LG95, ICM(1)]		
	→ ICM/OUT		INC SIM COUNT (=192)
	ICM/OUT → SIM ADDR		
10	RD LOC X191, SIM → SIM/OUT		RD LOC(0), LGIM(2)
	SIM/OUT → LGOM/IN		LGIM(2)/OUT → SIM(2)/IN
	INC ICM COUNT (=192)		SIM COUNT → SIM ADDR
	WR LGOM/IN → LOC 191, LGOM		WR SIM(2)/IN → LOC LGO SIM(2)
	ICM COUNT → ICM ADDR		
15	REPETIR PARA		REPETIR PARA RECUENTOS
	X, Y192-X, Y383		193-383 DE SIMS
	(INSCRIBE HASTA SUCE- SIVAS POSICIONES EN LGOM)		Y POSICIONES
			LG1-LG95, SIM(2)
			LGO-LG95, SIM(3)
20			



DIAGRAMA II

SIM R/W CICLO PAR (125 μ SEC, R/W DESFASE 162 n SEC)

	<u>LEE</u>	<u>TIEMPO</u>	<u>ESCRIBE</u>
5			INC SIM CT (=0) RD LOC(0), TGIM(0) LGIM(0) → SIM(0)/IN SIM CT → SIM ADDR
	INC ICM CT (LAST OP, ODD CYCLE)		WR SIM(0)/IN → LOC TGO SIM(0)
10	ICM COUNT → ICM ADDR U0, V0 [LOC TGO, ICM(0)] → ICM/OUT ICM/OUT → SIM ADDR		INC SIM CT (=1)
	RD LOC U0 "ANY" SIM → SIM/OUT SIM/OUT → TGDM(0)/IN		RD LOC(1), TGIM(0)
15	INC ICM CT (=1) WR TGDM/IN LOC 0, TGDM(0)		REPETIR PARA LOC'S TG1-TG95 SIM(0) TG0-TG95 SIM(1)
	REPETIR PARA (U,V)1-(U,V)383 ESCRIBE HASTA TGDM(0,1,2,3)		TG1-TG95 SIM(2) TG0-TG95 SIM(3)
20	SUCESIVAMENTE		



2.4 Módulo TGIM

El módulo TGIM (figura 8) es utilizado para retener los encuadres entrantes corregidos en fase mientras son desmultiplexados y conmutados a través de la memoria SIM. Puesto que son recibidos continuamente encuadres cada 6 ms, es necesario organizar el módulo TGIM como memoria intermedia doble o memoria intermedia A/B. Cada lado del módulo TGIM retiene un encuadre de 6 ms, o 1152 baterías. Como uno de los lados TGIM es cargado desde la línea principal, el otro lado (cargado en el encuadre anterior) es descargado hacia la memoria SIM.

El módulo TGIM contiene 48 x 24 posiciones de batería; es decir, 24 baterías por canal real. Las baterías correspondientes de todos los canales reales son agrupadas (o direccionables) para transferencia conjunta a la memoria SIM en un intervalo de canal.

2.4.1 De línea principal a módulo TGIM

El módulo TGIM (A o B) es cargado con baterías dispuestas en serie desde la línea principal (por intermedio de una Memoria Intermedia de Ajuste de Fase de bitio a batería) bajo control de un par de contadores que definen las posiciones de destino TGIM de baterías sucesivas. A medida que son recibidas baterías de la Memoria Intermedia de Fase, son almacenadas en grupos de batería consecutivos. La posición que ocupa cada batería en el grupo de baterías está de-



terminada por el canal real en el cual es transmitida la
batería de bitios y corresponde a dicho canal.

2.4.2 De módulo TGIM a memoria SIM

5 El proceso de desmultiplexado o separación del grupo de transmisión simultánea implica la distribución de configuración de los canales reales entrantes a los 96 canales virtuales de entrada soportados por la línea principal. La máscara VAC recibida desprovista de redundancia es retenida en una memoria intermedia VAC
10 (no representada) y utilizada junto con tres contadores de dirección TGIM a memoria SIM para controlar la distribución de configuración. Dos de los tres contadores definen las posiciones de baterías sucesivas en el módulo TGIM (en correspondencia posicional con canal real) y
15 el otro contador direcciona bitios sucesivos de la máscara VAC almacenada transitoriamente recibida desde la línea principal.

Las transferencias de módulo TGIM a memoria SIM se producen durante intervalos de canal par de la estructura de encuadre. Al comienzo de un encuadre (canal
20 0), son repuestos los contadores. Con un período de 1,296 μ s, es incrementado el contador de bitios VAC para leer secuencialmente la máscara VAC de 96 bitios de la memoria intermedia VAC. El cómputo de dirección de origen es incrementado solamente si el bitio VAC leído de la memoria inter-
25



media es "1". Si el bitio leído de la memoria intermedia
VAC es "1", la batería correspondiente indicada por el
cómputo de dirección de origen es localizada y extraída del
módulo TGIM a la posición de canal virtual en la sección TG
5 de la memoria TGIM que corresponde al cómputo del bitio VAC.
Si el bitio VAC es "0", es utilizada una batería de "ruido
de inactividad" para "rellenar" la posición correspondiente
de canal virtual de entrada inactivo en la memoria SIM. Al
final del canal (0) la totalidad de las 96 posiciones TG de
10 la memoria TGIM (canales virtuales de entrada) han sido
alimentadas con una batería de datos procedente de cada
canal real y desde la fuente de ruido de inactividad. Como
máximo 47 canales virtuales de entrada pueden recibir datos
desde el módulo TGIM puesto que no pueden estar activos du-
15 rante un encuadre más de 47 canales virtuales. Durante el
siguiente canal par, se repite el proceso completo sobre la
segunda batería de cada grupo de canales reales. Puesto que
hay 24 intervalos de canal par en un encuadre, son separadas
del grupo de transmisión simultánea 24 baterías (o un canal
20 completo de datos) para cada posición TG (canal virtual de en-
trada) de la memoria SIM, para cada uno de los 96 canales
virtuales de entrada, sobre un encuadre.

El módulo TGIM contiene 48 canales reales de
encuadre, es decir incluyendo el canal 1 que contiene la
25 máscara VAC. La máscara VAC no necesita ser separada del gru-



po de transmisión simultánea para la memoria SIM (si no se utilizan transferencias de línea principal a línea principal). Pueden entonces diseñarse los circuitos de control para que el contador de origen "salte" la máscara VAC desde la posición del canal real 0 a la posición del canal real 2 del módulo TGIM.

2.4.3 Carga de la máscara VAC

La máscara VAC recibida sobre la línea IT principal de entrada reside en la Memoria Intermedia VAC hasta el intervalo del canal 47, es decir 45 intervalos de canal o 5,625 ms. Durante el canal 47, la máscara y su código FEC asociado son enviados a los circuitos de tratamiento de FEC. Los circuitos de FEC descodifican la máscara, corrigen cualquier tipo de error detectado y envían el resultado a la memoria intermedia VAC de TGIM-SIM. Los circuitos de control TGIM-SIM están normalmente inactivos durante intervalos de canal impar, pero el canal 47 es una excepción. El proceso se completa antes del final del canal 47 a tiempo para el canal 0. En el canal 0 es la primera vez en que es utilizada la máscara corregida para las transferencias TGIM-SIM.

2.5 Módulo TGOM

El módulo TGOM (figura 7) almacena transitoriamente los 96 canales virtuales de salida en preparación para su transmisión sobre los circuitos de acoplamiento de salida de línea principal. Igual que el módulo SIM, el módulo TGOM es una memoria intermedia A/B puesto que los canales virtuales



de salida son cargados y descargados continuamente. Sin embargo, el módulo TGOM es de una capacidad doble de la del módulo TGIM puesto que debe almacenar transitoriamente 96 canales virtuales en contraste con 48 canales reales. El módulo TGOM contiene 24 posiciones de grupo, cada una de las cuales contiene 96 posiciones de batería; con una posición de batería reservada para cada uno de los canales virtuales de salida. Las baterías correspondientes en grupos sucesivos están asociadas con las 24 baterías que comprenden un canal.

Uno de los lados del módulo TGOM es cargado desde la memoria SIM en direcciones sucesivas de un grupo mientras que son descargadas posiciones seleccionadas del otro lado sobre la Salida de Línea principal canal por canal. Se requieren 6 ms para llenar completamente uno de los lados del módulo TGOM a partir de los 96 canales virtuales de salida de SIM con 24 baterías recogidas de cada canal virtual. Cada 6 ms el proceso de carga de datos se alterna con el otro lado. A medida que es cargado un lado, el otro lado es sometido a compresión de actividad y es descargado sobre la línea principal. Es decir, es escogido un subconjunto de los 26 canales virtuales para ser transmitidos en el encuadre de 48 canales.

2.5.1 Transferencia desde la memoria SIM al módulo TGOM

El módulo TGOM es cargado desde la memoria SIM bajo control de un par de contadores de dirección que definen posiciones de destino en el módulo TGOM de las baterías trans-

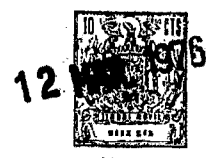


feridas.

Las transferencias de SIM a TGOM tienen lugar en intervalos de canal impar de la estructura de encuadre generada en la respectiva agrupación de estación. Durante cada intervalo de canal impar, es cargado en el módulo TGOM un grupo de baterías de bitios correspondiente con 96 baterías de 96 canales virtuales de la memoria SIM. Al comienzo del canal 1, son repuestos los contadores para indicar el grupo 0 de baterías. Cada batería recibida por el registro de entrada del módulo TGOM es escrita en la posición TGOM direccionada. El proceso descrito anteriormente se repite y se produce 24 veces dentro de un encuadre. Al completarse este proceso, una ventana A/B de 6 ms hace que la carga cambie al lado alterno del módulo TGOM y se repita como se ha descrito.

15 2.5.2 Transferencia desde TGOM a Línea Principal

La transferencia desde el módulo TGOM a los circuitos lógicos de línea principal es utilizada para seleccionar y controlar el paso de salida sobre la línea principal de un subconjunto de los 96 canales virtuales contenidos en el módulo TGOM. Estos canales son comprimidos en 47 canales reales disponibles de acuerdo con el algoritmo de selección VAC. Los datos son leídos del módulo TGOM en un orden diferente de aquel en el cual están almacenados. Si es escogido un canal virtual para transmisión, las 24 baterías asociadas con el mismo son transmitidas contiguamente en un canal real.



5 Se utilizan dos contadores en combinación para la generación de direcciones. Uno de estos bitios de dirección en una memoria intermedia de "máscara antigua VAC" contiene la máscara VAC generada por los circuitos lógicos de exclusión y controla el otro contador y el paso de salida de los canales virtuales. El procedimiento para incrementar los contadores es el siguiente.

10 Durante un intervalo de canal (125 μ s) el contador de bitios VAC es incrementado y es leído el correspondiente bitio VAC de la "memoria intermedia de máscara antigua". Si el bitio es 0, que indica que el respectivo canal virtual está inactivo, el contador es incrementado a la siguiente posición hasta que se encuentra un bitio "1". Si el bitio es 1, el contador se detiene. Al comienzo del siguiente intervalo de canal, el cómputo de direcciones es condicionado por el cómputo VAC para indicar que el canal virtual sea transmitido a la línea principal de salida desde el módulo TGOM. Durante el intervalo de canal de 125 μ s el cómputo de direcciones es incrementado para direccionar las 24 baterías que componen el canal mientras que el contador VAC es avanzado para buscar el siguiente canal virtual que ha de enviarse como salida en el siguiente canal real.

2.5.3 Muestreo VAC

25 Como se ha comentado anteriormente, se producen 24 x 96 transferencias de batería desde la memoria SIM al



módulo TGOM durante intervalos de canal impar de la estructura de encuadre. Durante la última exploración de todos los 96 canales virtuales al módulo TGOM, es decir en el intervalo del canal 47, para cada canal virtual el bitio VAC contenido en la memoria SIM y el bitio correspondiente de datos señal vocal contenido en el módulo ICM son almacenados bitio por bitio en una memoria intermedia de "máscara VAC nueva". Al mismo tiempo estos bitios son examinados por los circuitos lógicos de exclusión VAC junto con bitios de máscara anterior procedentes de la memoria intermedia de "máscara VAC antigua" para cálculo de una nueva máscara VAC. Las memorias intermedias, así como el contador VAC, no se requieren para control de salida durante el intervalo del canal 47 puesto que el canal 47 es el último canal del encuadre.

2.5.4 Generación de Máscara VAC Nueva (Figura 15)

Al final del intervalo del canal 47, los contadores de exclusión son incrementados y puede formularse la nueva máscara VAC. Durante el intervalo del canal 0, el canal virtual 0 (información de control) es siempre transmitido en el canal real 0 y por consiguiente el contador de VAC no se requiere para establecer la posición. Durante el canal 0, el contador VAC es utilizado para direccionar las memorias intermedias de máscara VAC nueva y antigua. El bitio de datos/señal vocal, que es el nuevo bitio VAC muestreado durante el intervalo del canal 47 y el bitio de máscara VAC antigua ob-



tenido de la máscara anterior, son enviados a los circuitos de exclusión en un canal virtual cada vez. Es devuelto un bitio de máscara nueva para ese canal virtual inmediatamente por los circuitos de exclusión y es escrito en la memoria intermedia de máscara VAC antigua. Aproximadamente se requiere una mitad del canal real 0 para llenar totalmente la memoria intermedia de máscara VAC antigua con la nueva máscara.

Durante el canal 0, la nueva máscara VAC y su código FEC asociado son formulados y almacenados en la Memoria Intermedia VAC de línea principal de entrada/línea principal de salida. Durante el canal 1 es transmitida la nueva máscara con su código FEC a la línea principal de salida mientras que la nueva máscara contenida en la memoria intermedia de máscara VAC antigua está siendo explorada por el contador VAC para situar el primer canal virtual en servicio a ser transmitido en el canal real 2. La última vez que se utiliza el contador VAC para la búsqueda de bitio VAC tiene lugar en el canal 46, y en el canal 47 el contador VAC está nuevamente disponible para utilización en una nueva formulación de máscara para el siguiente encuadre.

2.6 Soporte de Circuitos de Exclusión VAC

Se utiliza la técnica de Compresión de actividad Vocal para comprimir 96 canales virtuales en 47



canales reales sobre la línea principal. Las conexiones establecidas para señal vocal tienen un nivel de actividad inferior al 50% usualmente. La compresión de actividad es un proceso dinámico que se produce en forma recurrente cada 6 ms en cada conexión. Normalmente, menos de la mitad de las conexiones estarán activas cada vez que se realice una muestra y se asignarán canales reales a todas ellas. Sin embargo, algunas veces están concurrentemente activas mas de 47 conexiones durante una muestra VAC y debe tomarse una decisión para excluir canales virtuales.

Se da a continuación el esquema de prioridad utilizado para crear la nueva máscara VAC, habiéndose listado en primer lugar el caso de nivel de prioridad más alto.

- a. Acceso de datos activo en el encuadre de 6 ms anterior.
- b. Acceso de datos no activo en el encuadre de 6 ms anterior.
- c. Acceso de señal vocal activo en el encuadre de 6 ms anterior.
- d. Acceso de señal vocal no activo en el encuadre de 6 ms anterior.

Si no pueden ser interrumpidas las conexiones de acuerdo con el anterior algoritmo de prioridad, entonces son "excluidos" en primer lugar los canales virtuales de orden inferior dentro de la categoría de prioridad mas baja restante; comenzando con el canal virtual 1. El canal virtual 0 (la información de control) es una excepción y nunca es "excluido".



5 Son utilizados tres contadores para ejecutar el algoritmo de exclusión VAC que se describen a continuación. En la figura 15 está representado un diagrama de los contadores. Los cómputos son utilizados para decidir que canal virtual ha de ser excluido y son incrementados durante el intervalo del canal real 47.

2.6.1 Contador de Nuevos Datos

10 Este contador es incrementado cuando el canal virtual es un canal de datos no activo en el encuadre de 6 ms anterior.

2.6.2 Actividad Continuada

15 Este contador es incrementado cuando el canal virtual es un canal de datos no activo en el encuadre de 6 ms anterior o el canal virtual estaba activo en el encuadre de 6 ms anterior y está nuevamente activo en este encuadre.

2.6.3 Contador de Actividad Nueva

20 Este contador es incrementado cuando el canal virtual no estaba activo en el encuadre de 6 ms anterior y está activo en este encuadre.

Durante el intervalo del canal real 0, es formada la nueva máscara VAC para ese encuadre de 6 ms. Se hará activo un bitio de máscara VAC para un canal virtual en los siguientes casos.

- a. El bitio de actividad vocal está activo y el cómputo de actividad nueva es inferior a 48 0.

b. El bitio de actividad vocal está activo, el canal virtual es un canal de datos y el cómputo de datos nuevos es inferior a 48 0.

5 c. El bitio de actividad vocal está activo, el bitio de VAC está activo en el encuadre de 6 ms anterior y ha continuado el cómputo de actividad inferior a 48 0.

d. El bitio de actividad vocal está activo, el bitio de VAC está activo durante el encuadre de 6 ms anterior y el canal virtual es un canal de datos.

10 Cuando cualquier bitio de actividad es "excluido" (repuesto a 0, porque el cómputo es mayor de 47), el cómputo es decrementado en una unidad hasta que el cómputo es 47.

2.6.4 Circuitos de Aconplamiento de Exclusión de Programa

15 El controlador del sistema requiere saber el número de canales virtuales "excluidos" en el encuadre de 6 ms. La unidad GCU proporciona un cómputo de "umbral" de 8 bitios que es decrementado en el número de canales "excluidos". Cuando el último número excede de este cómputo, es generado una interrupción de nivel 3 para notificar a la unidad
20 CCU. El mismo cómputo es utilizado hasta que es cambiado por la unidad CCU. Cada vez que el cómputo es excedido se genera un nivel 3 de interrupción.

2.7 Conmutación y Programa de Control

25 La Memoria de Intercambio de Intervalo Selector (SIM) y la Memoria de Interconexión (ICM) son utilizadas



en combinación conjunta y proporcionan una capacidad de conmutador controlable por programa.

2.7.1 Memoria SIM (vease la figura 5)

5 La Memoria SIM es cargada por los módulos
LGIM y TGIM y constituye el punto a partir del cual tie-
nen lugar todas las operaciones de conmutación programa-
das, es decir, de acceso a línea principal, de línea
principal a acceso, de acceso a acceso, y de línea prin-
cipal a línea principal. La memoria tiene un ancho de 12
10 bitios y una profundidad de 192 posiciones y puede estar
dividida lógicamente en dos mitades de 96 posiciones cada
una. Una mitad contiene una posición LG singular para cada
acceso de entrada y es cargada por baterías en serie pro-
cedentes del módulo LGIM de un modo secuencial. Durante
15 intervalos de canal impar, se utiliza un contador para di-
reccionar la memoria a una velocidad de una posición cada
324 ns. A esta velocidad es escrita una batería desde cada
uno de 96 accesos en las 96 posiciones de memoria SIM en
un periodo de tiempo de 31,25 μ s.

20 La otra mitad de la memoria SIM contiene una
posición TG singular por cada Canal Virtual de entrada y es
cargada por baterías en serie procedentes del módulo TGIM.
Durante canales pares, el contador de memoria SIM direccio-
na la memoria a una velocidad de una posición cada 1,296 μ s.
25 A esta velocidad son escritos los 96 canales virtuales de



12

12/1976

entrada en las 96 posiciones de memoria SIM respectivas en un período de tiempo de $125\mu s$. Los canales virtuales activos reciben datos del módulo TGIM mientras que los canales inactivos reciben ruido de inactividad.

5

La salida de la memoria SIM puede ser dirigida a cualquiera de los módulos TGOM o LGOM. La operación de lectura de memoria SIM está controlada por la Memoria de Interconexión (ICM) que es programable y es cargada por intermedio del circuito de acoplamiento 3705/WCU.

10

Durante intervalos de canal impar, es utilizada la memoria ICM para direccionar la memoria SIM con el fin de realizar la conmutación de acceso a línea principal o de línea principal a línea principal. Los datos de memoria SIM son leídos por baterías en serie al módulo TGOM a una velocidad de una posición cada $1,296\mu s$. A esta velocidad son cargadas las 96 posiciones en el módulo TGOM en un período de tiempo de $125\mu s$.

15

20

Durante intervalos de canal par, es utilizada la memoria ICM para direccionar la memoria SIM con el fin de realizar la conmutación de línea principal a acceso o de acceso a acceso. Los datos de memoria SIM son leídos por baterías en serie al módulo LGOM a la velocidad de una posición cada 324 ns. A esta velocidad las 96 posiciones son cargadas en el módulo LGOM en $31,25\mu s$.

25

2.7.1.1 Equipos de Memoria SIM



2.7.1.1.1. Registro de Datos de Entrada a Memoria SIM

El registro de entrada a memoria SIM es utilizado para contener datos que han de ser inscritos en la memoria SIM.

El registro de entrada de memoria SIM tiene un ancho correspondiente a 10 bitios más dos bitios de paridad (2P).

5 Las entradas se originan de los módulos TGIM y LGIM y cada uno de ellos entra en el registro sobre una línea general independiente. Una línea general de entrada procedente de la unidad CCU proporciona una capacidad de carga manual.

2.7.1.1.2 Contador de Memoria SIM

10 El contador de memoria SIM es utilizado para generar direcciones de memoria SIM para transferencias de inscripción de LGIM a SIM y de TGIM a SIM.

El contador cubre todas las posiciones de memoria SIM direccionables.

2.7.1.1.3 Registro de Direcciones SIM-CCU

15 El registro de direcciones CCU (no representado) es utilizado para direccionar la memoria SIM desde la consola CCU o a partir de un programa de diagnóstico.

20 El registro de direcciones CCU tiene un ancho de 8 bitios y puede ser utilizado solamente cuando la máquina está en el estado de parada.

2.7.1.1.4 Registro de Direcciones SIM-CCU

El registro de direcciones de memoria SIM es utilizado para direccionar posiciones en la memoria SIM para operaciones de lectura e inscripción.

25 El registro de direcciones tiene un ancho de 10 bitios y es cargado a través del contador de memoria SIM para escrituras y a través de la memoria ICM para lecturas. Puesto que las operaciones de lectura pueden direccionar has-



ta cuatro memorias SIM interconectadas, pueden ser direccionadas hasta 768 posiciones.

2.7.1.1.5 Memoria SIM

5 La memoria SIM es utilizada para almacenar datos procedentes de los Accesos de Entrada (LGIM) y Canales Virtuales de Entrada (TGIM) hasta que pueden ser conmutados a los módulos TGOM y LGOM, respectivamente.

10 La memoria SIM tiene un ancho de 10 bits mas dos bits de paridad y está lógicamente dividida en dos partes, cada una de ellas con una profundidad de 96 posiciones.

2.7.1.1.6 Registro de Salida de Memoria SIM

15 El registro de salida de memoria SIM es utilizado para retener datos que son leídos de la memoria SIM. La salida del registro es utilizada para excitar la línea general SIM que está conectada en común para función lógica "0" entre agrupaciones SIM interconectadas.

El registro de salida SIM tiene un ancho de 10 bits mas 2 bits de paridad.

2.7.1.1.7 Alimentación de Salida de Agrupación SIM

20 La Alimentación de Salida de Agrupación SIM se realiza utilizando Excitadores de línea de transmisión. La alimentación de potencia es esencial para reducir a un mínimo el retardo en una gran agrupación de placas, caso que se presenta cuando están interconectadas unidades SIM múltiples.

2.7.1.1.1.8 Puerta de Salida de Memoria SIM



La función de la puerta de salida de memoria SIM es permitir que las agrupaciones de conmutador interconectadas funcionen independientemente entre sí.

Si la agrupación está Dentro de Sistema, es seleccionada la entrada a la puerta correspondiente a la agrupación de placas. Si la agrupación está Fuera de Sistema, solamente es seleccionada por la puerta su propia salida SIM. Es realizada una comprobación de paridad sobre la salida de la puerta SIM.

10 2.7.1.1.9 Contenido de la Memoria SIM

Cada posición de memoria SIM tiene un ancho de 12 bitios.

Bitio 0: este es un bitio VAC que indica si está activo un acceso particular o canal virtual, o no lo está.

15 Bitio 1: este bitio está reservado.

Bitio P0: este bitio es de comprobación de paridad sobre los bitios 0 y 1.

20 Bitios 8 a 15: Estos bitios contienen una batería de bitios de señal vocal o de datos procedente de los accesos de entrada y canales virtuales de entrada.

Bitio P1: Este bitio es de comprobación de paridad sobre los bitios 8-15.

2.7.2 ICM (Véase la figura 5)

25 La memoria ICM es un elemento programable del conmutador digital que proporciona información de direcciones a

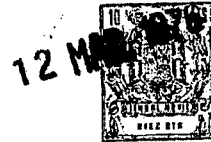


la memoria SIM para realizar transferencias de memoria SIM a línea principal y de memoria SIM a acceso.

La unidad CCU puede establecer acceso dinámicamente a la memoria ICM con el fin de dirigir la función de conmutación. Son posibles tanto operaciones de lectura como operaciones de escritura cuando el sistema está en régimen de funcionamiento o de parada. Cuando el sistema está funcionando, están disponibles suficientes intervalos de tiempo en la memoria ICM (entre lecturas de ICM) para admitir la velocidad máxima de acceso desde la unidad CCU.

El módulo de conjunto ICM tiene un ancho de dos baterías de bits y una profundidad de 192 posiciones y puede estar dividido lógicamente en 2 mitades de 96 posiciones cada una. Una de las mitades contiene una posición singular para cada acceso de salida. Las posiciones de memoria ICM corresponden directamente con las posiciones en el respectivo módulo LGOM. Durante intervalos de canal par, se utiliza un contador para direccionar estas 96 posiciones en la memoria ICM a la velocidad de una posición cada 324 ns. A esta velocidad son leídas todas las 96 posiciones de cada módulo ICM en un período de 125 μ s.

La otra mitad de la memoria ICM contiene una posición singular para cada Canal Virtual de Salida. Estas posiciones corresponden directamente con las posiciones en el módulo TGOM. Durante intervalos de canal impar el contador



direcciona la memoria ICM a una velocidad de una posición cada 1,296 μ s. A esta velocidad son leídas las 96 posiciones de cada módulo ICM en un período de 125 μ s.

2.7.2.1 Equipos de Memoria ICM

5 2.7.2.1.1 Registro de Entrada a Memoria ICM

La función del registro de entrada a la memoria ICM es retener datos CCU asíncronos hasta que puedan ser transmitidos en sincronismo a la memoria ICM.

10 El registro de entrada a la memoria ICM tiene un ancho de 16 bitios más dos bitios de paridad. Los bitios 5, 6 y 7 son de reserva.

2.7.2.1.2 Contador de Memoria ICM

El contador de la memoria ICM proporciona direcciones a la memoria ICM durante operaciones de lectura.

15 2.7.2.1.3 Registro de Direcciones ICM-CCU

La función del registro de direcciones ICM-CCU es mantener la dirección asíncrona procedente de la unidad CCU hasta que pueda ser transmitida en sincronismo al registro de direcciones de memoria ICM.

20 El registro de direcciones ICM-CCU tiene un ancho de 8 bitios.

2.7.2.1.4 Registro de direcciones de memoria ICM

25 El registro de direcciones de memoria ICM proporciona direcciones a la memoria ICM para operaciones de lectura e inscripción. Durante operaciones de lectura, el



registro de direcciones es cargado a través del contador ICM y para operaciones de inscripción es cargado por intermedio del registro de direcciones CCU.

5 El registro de direcciones de memoria ICM tiene un ancho de 10 bits, siendo utilizados los dos primeros bits para control.

2.7.2.1.5 Memoria ICM

10 La memoria ICM tiene un ancho de dos baterías de bits más dos bits de paridad y está dividida desde el punto de vista lógico en dos partes, cada una de las cuales tiene una profundidad de 96 posiciones. Los primeros dos bits de la primera batería y todos los bits de la segunda batería son leídos de la memoria ICM y son utilizados para direccionar la memoria SIM. Los bits 2, 3 y 4 de la primera batería son bits de control que son enviados al módulo LGM. Estos bits de control de ICM indican los modos de funcionamiento de accesos respectivos de entrada y canales virtuales de entrada. Los tres bits restantes son de repuesto y están reservados.

2.7.2.1.6 Registro de salida de la Memoria ICM

20 El registro de salida de la memoria ICM es utilizado para retener datos que son leídos de la memoria ICM. El registro de salida es utilizado para excitar la línea general ICM que está conectada en común (función lógica "0") entre módulos ICM interconectados.

25 El registro de salida de la memoria ICM tiene un



ancho de 16 bitios más dos bitios de paridad. Tres de los bitios son de reserva, como en la memoria ICM.

2.7.2.1.7 Alimentación de Salida de Conexión Común de Memoria ICM

5 La alimentación de potencia de salida de conexión común de memoria ICM se realiza utilizando Excitadores de Línea de Transmisión. Como en el caso de la memoria SIM, la salida de la memoria ICM puede conectarse en común con otros módulos ICM.

10 2.7.2.1.8 Puerta de Salida de Memoria ICM

 La función de la Puerta de Salida de la Memoria ICM es permitir que las agrupaciones de conmutador funcionen independientemente unas de otras cuando están interconectadas. Si la agrupación está "En Sistema", es seleccionada la entrada de conexión común de placa a la puerta. Si la agrupación está "Fuera de Sistema", solamente es seleccionada por la puerta su propia salida de memoria ICM. Se realiza una comprobación de paridad sobre la salida de la puerta de memoria ICM.

20 2.7.2.1.9 ICM

 Una posición de memoria ICM tiene un ancho de 18 bitios y contiene información de dirección para la memoria SIM y bitios de control para el módulo LGOM.

25 Bitios 0 y 1: estos bitios son un bitio de identificación de agrupación y un bitio de selección de memoria SIM.



Bitios 2 a 4: estos bitios son utilizados para control y son enviados al módulo LGOM. Indican al acceso como ha de ser utilizado, es decir para señales vocales o datos.

Bitios 5 a 7: Estos bitios están reservados.

5 Bitios P₀: este es el bitio de paridad contenido en la primera batería de bitios.

Bitios 8 a 15: estos bitios son bitios de dirección para la memoria SIM.

10 Bitio P₁: este es el bitio de paridad contenido en la segunda batería.

2.8 Interconexión SIM-ICM

Pueden ser interconectadas de dos a cuatro agrupaciones entre sí para aumentar la capacidad del conmutador. Esto se realiza por conexión común en función lógica "0" de las líneas generales de salida de las memorias ICM y SIM de cada agrupación para formar una memoria ICM y SIM común.

15

Cuando están interconectadas cuatro agrupaciones, pueden ejecutarse cada 125 μ s. 384 lecturas de memoria SIM y 384 inscripciones. Está disponible un ancho de banda suficiente en la memoria SIM para mantener esta velocidad que iguala un ciclo de lectura y un ciclo de inscripción cada 324 ns.

20

2.9. Sincronismo SIM-ICM

La figura 11 ilustra el proceso de sincronismo de las memorias SIM e ICM. Las lecturas e inscripciones de memoria SIM están siempre intercaladas entre sí. En la confi-

25



de $31,25 \mu s$, han sido leídas 96 posiciones de memoria SIM y transferidas al módulo LGOM para una memoria SIM. Las cuatro memorias SIM tienen sus propios cuadrantes dedicados en los cuales tiene lugar la operación. Durante el mismo intervalo de canal de $125 \mu s$, se producen operaciones de inscripción desde el módulo TGOM a la memoria SIM. Para esta transferencia, se utiliza el contador de memoria SIM para generación de direcciones e incrementos a un ritmo de $1,296 \mu s$ en cada memoria SIM. A esta velocidad, se requieren $125 \mu s$ para actualizar 96 posiciones de memoria SIM procedentes del módulo TGIM para cada memoria SIM. Puesto que las inscripciones están intercaladas diversamente entre las cuatro agrupaciones, la velocidad global para la memoria SIM es de una inscripción cada 324 ns.

15 2.10 Configuración

Las configuraciones de conexión que pueden establecerse en el conmutador, SIM/ICM están representadas esquemáticamente en las figuras 12-14. Se requieren siempre transferencias de bitio de actividad para conexiones de circuito TGIM a LGOM y para conexiones de LGOM a TGOM. No necesitan ser transferidos bitios de actividad en el caso de tráfico de TGIM a LGOM o de LGIM a LGOM.

20 2.11 Detección de Actividad/Control de Eco

La figura 6 representa la organización para la detección de actividad en accesos de línea de entrada y con-

12



trol de eco. Son examinadas por parejas muestras de tráfico de Enviar y Recibir en cada conexión de circuito telefónico de transmisión doble simultánea por el circuito lógico VAC/Eco para distinguir la actividad real de ruido y eco.

5 A la actividad real se le asigna el bitio de actividad de valor 1. A otros estados de actividad y ruido se les asignan bitios 0. Los valores de modulación delta de una batería de bitios que constituye ocho muestras de acceso de entrada son transmitidos al módulo LGIM junto con un bitio
10 Único de actividad cuyo valor es 1 si cualquier muestra de bitio de tráfico de la batería representa actividad real. Siempre que exista actividad de acceso de línea de entrada es reducida la ganancia de desmodulación para ese ciclo de muestreo (darementando la magnitud de escalón de integración de compresión-expansión).
15

Los bitios de actividad de acceso de línea de entrada por cada batería son transmitidos a través de los módulos LGIM y SIM al módulo TGOM (para conexiones de circuito de LGIM a TGOM) y son utilizados para establecer
20 "nuevos" bitios de actividad, uno por cada canal virtual de 24 baterías. Si es recibido un bitio de actividad "1" con cualquier batería de canal virtual, el bitio de actividad para el grupo completo de canales virtuales de 24 baterías es puesto a 1. Como se ha explicado anteriormente,
25 estos bitios de actividad de canal son tratados por los cir-

12 MAR 1976



cuitos lógicos de exclusión para formular la máscara VAC para asignación de canal de línea principal de salida y transmisión por línea TCl.

5 Puesto que al eco se le asigna un bitio de actividad 0, no se asigna un canal real sobre la línea principal a un canal virtual de salida de 24 baterías de eco, anulándose efectivamente el eco.

10 Aunque el invento ha sido expuesto y descrito en particular con referencia a realizaciones preferidas del mismo, se entenderá por los expertos en la técnica que pueden realizarse los precedentes y otros cambios en su forma y detalles sin apartarse de la esencia y campo de aplicación del invento.

15 Esta Solicitud, que corresponde a las presentadas en los Estados Unidos de América el 30 de Diciembre de 1.974, bajo el número 537.211 y el 26 de Junio de 1.975, bajo el número 590.547, se acoge a los beneficios del artículo 51 del vigente Estatuto sobre Propiedad Industrial.

20

REIVINDICACIONES

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

25

14.1.76

- 72 -

12 MAR 1970



1º.- Un aparato conmutador digital perfeccionado para tratar variablemente señales en forma digital entre cuadros múltiples de distribución de líneas localmente accesibles y canales de intervalo selector de enlaces localmente accesibles de arteria o línea principal digital con transmisión simultánea por división de tiempo, que comprende: medios de conmutación de almacenamiento de intercambio de intervalos selectores que tienen espacios intercambiables en el tiempo accesibles aleatoriamente de intervalo selector de línea y de almacenamiento transitorio de intervalo selector de línea principal de capacidades diferentes, estando dichos espacios sometidos a asociación de intercambio de emparejamiento variable; primeros medios para transmitir señales representativas de información entre dichos espacios selectores de línea y líneas asociadas selectivamente en dichos cuadros múltiples de distribución de líneas respectivas; segundos medios para transmitir señales representativas de información entre dichos espacios de intervalo selector de línea principal y canales reales de intervalo selector asociados selectivamente sobre dichos enlaces de línea principal; y medios comunes de control conectados a dichos primeros y segundos medios y a dichos medios de almacenamiento de intercambio para establecer variablemente asociaciones de intercambio por emparejamiento de espacios de intervalo selector de línea a intervalo selector de línea principal en orden aleatorio, y en donde dichos pri-

14.1.76



5 meros medios incluyen medios para vigilar la actividad de transmisión de líneas asociadas selectivamente y dichos primeros y segundos medios y dichos medios de conmutación incluyen medios para transmitir información in-

5 cativa de actividad de línea, útil para asignación según la técnica TASI de grupos de dichos canales de línea principal para transmitir señales relativas a grupos dimensionados con mayor número de dichas líneas en asociaciones de pares ordenados aleatoriamente.

10 2ª.- Un aparato de acuerdo con la reivindicación 1ª, en donde: dichos primeros medios incluyen medios para indicar en forma retentiva estados de actividad de información que ocupa dichos espacios de intervalo selector de línea; dichos segundos medios incluyen medios para indicar

15 en forma retentiva estados de actividad de la información que ocupa dichos espacios de intervalo selector de línea principal; dichos medios de conmutación incluyen medios para conmutar en forma intercambiable dichas indicaciones de actividad; y dicho aparato incluye medios para efectuar

20 asignación por técnica TASI de grupos de intervalos selectores reales sobre dichos enlaces de línea principal con relación a grupos respectivamente asociados dimensionados con mayor número de dichas líneas.

25 3ª.- Un aparato de acuerdo con la reivindicación 1ª, que incluye medios destinados a detectar sobrecarga po-



12 MAR 1976



tencial de uno de dichos grupos de canales de línea principal y a equilibrar la carga sobre dicho grupo mediante "congelación" o exclusión de señales transmitidas desde líneas seleccionadas, en un orden selectivo de prioridad basado en clases de servicio asociados previamente con dichas líneas y con los estados de continuidad y actividad de dichas líneas.

4^a.- Un aparato de acuerdo con las reivindicaciones 1^a o 3^a, en donde posiciones de memoria intermedia representan canales virtuales que compiten para la asignación de un número más pequeño de canales reales sobre líneas de enlace principal, comprendiendo dicho aparato circuitos lógicos de exclusión de niveles múltiples de prioridad para eliminar canales virtuales sobrantes en competencia, que comprenden: medios operativos sobre un intervalo mucho más corto que un encuadre TDM para distinguir concurrentemente el número de canales virtuales, que contienen: a) nueva actividad de datos; b) indistintamente nueva actividad de datos o actividad continuada (datos o señales telefónicas vocales); y c) nueva actividad (datos o señales vocales telefónicas); y medios que actúan conjuntamente con dichos medios de distinción para formular una máscara de asignación de canal que contiene valores binarios ordenados que representan factores de control de asignación y no asignación para la asignación de dichos canales reales a dichos canales virtuales que contienen actividad; conteniendo invariablemente dicha máscara un número de factores menor que el número de dichos



factores de control de asignación o igual a un número pre-
determinado de los mismos, estando relacionado dicho número
con el número de canales reales en un encuadre; y medios que
utilizan dichos medios de distinción para decidir el estado
de sobrecarga de competencia debido a que hay más canales
virtuales activos que canales reales asignables; permitien-
do dicha resolución de competencia efectivamente la prece-
dencia de transmisión a datos sobre señales vocales tele-
fónicas y dando prioridad a la actividad continuada sobre
la nueva actividad.

5º.- Un aparato de acuerdo con la reivindicación 4ª, en el cual dichos medios para distinción comprenden contadores plurales que tienen conexiones de "excedencia" para influir negativamente sobre dichos medios de formulación para formular factores de no asignación para canales virtuales que contienen actividad.

6º.- Un aparato de acuerdo con la reivindicación 1ª, en el cual cada posición de dichos medios de conmutación de almacenamiento de intercambio de intervalo selector tiene espacios para almacenar bitios de tráfico capaces de representar información de datos o telefónica audible que se está transmitiendo a través del conmutador, y al menos un bitio de actividad que es útil para distinguir entre contenido de información y no información (ruido o contenido de eco) en los respectivos espacios de bitio de trá-

14.1.76

fico.

7ª.- Un aparato de acuerdo con la reivin-
dicación 1ª, en el cual están previstos lugares de alma-
5 almacenamiento de control, cada uno de los cuales comprende
un primer segmento de almacenamiento reservado para em-
pleo en el acceso a uno de los espacios de memoria de
compensación de intervalos, y un segundo segmento de al-
macenamiento reservado para identificar el tipo de servi-
10 ción (señal telefónica, datos, conectado, desconectado)
asignado en el momento al espacio de memoria de compensa-
ción de intervalos indicados en dicho primer segmento de
almacenamiento respectivo.

8ª.- Un aparato de acuerdo con la reivindi-
cación 1ª, caracterizado porque comprende: un número arbi-
15 trario de 1 a k (mayor de 1) módulos de conmutación bási-
cos que tienen una construcción sustancialmente idéntica,
teniendo dichos módulos conexiones individuales con desde
1 a k grupos respectivos diferentes de líneas múltiples y
varios de dichos enlaces; estando dichos módulos destina-
20 dos a funcionar al unísono bajo control común, para efec-
tuar un intercambio compensado de señales de representa-
ción de información entre dichas líneas y canales varia-
blemente apareados, con lo cual cualquier línea en cual-
quiera de dichos grupos de líneas puede emparejarse efi-
25 cazmente para asociación de intercambio con cualquier ca



nal en cualquiera de dichos enlaces.

5 9a.- Un aparato según la reivindicación 8a,
en el que dichos módulos están organizados de forma que
puedan añadirse módulos a un aparato previamente operacio
nal sin tener que volver a trabajar en los circuitos de
intercambio o programar dicho aparato.

10a.- Un aparato conmutador digital per-
feccionado.

10 Tal y como se ha descrito en la Memoria
que antecede, representado en los dibujos que se acompa
ñan, y con los fines que se han especificado.

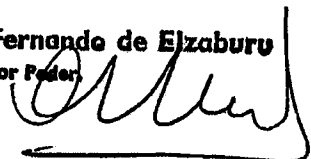
Esta Memoria consta de setenta y ocho ho-
jas escritas a máquina por una sola cara.

Madrid, 12 MAR 1977

15

P.A.

Fernando de Elzaburu
Por Poder



20

25

10.3.77
JMM/.





HOJAS DE LEYENDAS

Fig. 1

5	96 DT/DL	96 Enlaces duplex telefónicos y de datos.
	4 DTL	4 Enlaces duplex de arterias digitales de alta velocidad
	TSIS	Conmutador de intercambio de intervalo selector.
	CCU	Unidad de control común.
10	LIU	Unidad de enlace de línea
	LGM	Módulo de grupo de líneas
	TGM	Módulo de grupo de arterias
	SIM	Memoria de intercambio de intervalos
15	ICM	Memoria de control de intercambios.

Fig. 4

	SIM RD ADDR	Direcciones de lectura de módulo de intercambio de intervalos
20	SIM-B	Salida de módulo de intercambio de intervalos común. (Conectada en paralelo: Grupo-0)

Fig. 5

	PC	Conexión en paralelo (Conexión grupo-0)
25	CT	Cómputo
	LC	Posiciones

12 MAR 1976

Figura 5

CTR	Contador
WR	Inscripción
RD	Lectura

5

Fig. 6

STSC	Control magnitud del paso
INF	Baterías de bitios de datos directos, baterías de bitios de información telefónica modulada en delta, comprimida-expandida adaptativamente, y bitios de actividad.
AB	Bitios de actividad.

10

Fig. 7

VAC	Compresión de actividad de señales de voz.
BFR	Memoria intermedia
MSK	Máscara
CTRS	Contadores.
VC	Canal virtual
RC	Canal real
MFC	Lógica de exclusión de máscara.
OST/B	Salida de escalonamiento/almacenamiento temporal.
TAC	Control asignación TASI
CAL	Lógica de asignación de canal.

15

20

25

12 MAR 1976

Fig. 8

1 VC/VMB	1 Canal Virtual por cada bitio de máscara VAC.
DEM0D/RCV/PFR	Desmodulador/Memoria intermedia de recepción
5 VME/R	Extracción de máscara VAC/Memoria intermedia.
NBI	Inserción de trenes de impulsos en canales virtuales inactivos.

Fig. 9

10 FR	Cuadro
VAC CH	Canal de compresión de actividad vocal.
ASP	Diseño de sincron alternativo (1010)
FP	Diseño de cuadro.
15 SY BIT	Bitio de sincronismo
FEC	Corrección de error en avance
SIG CH	Canal de señalización
AZ	Todos ceros
IDN	Ruido de inactividad.

Fig.10

20 DG	Tiempo muerto.
SY-C1	Impulsos de reloj de sincronismo.
T C1	Reloj T
U C1	Reloj U
25 SL	Deslizamiento.



Fig. 11

	O-C	Ciclo antiguo
	E-C	Ciclo par
	RST CTR	Reponer contador
5	NCU	Unidad de control de red
	INC ICM CTR	Incrementar Contador ICM
	ICM ADDR REG	Registro de direcciones ICM
	ICM OUT REG	Registro de salidas ICM
	SIM ADDR REG	Registro de direcciones SIM
10	SIM OUT REG	Registro de salidas SIM
	IN REG	Registro de entradas
	OUT REG	Registro de salidas
	INC SIM CTR	Incrementar contador SIM
	SIM DAT REG	Registro de datos SIM
15	HD WR P	Impulso de inscripción
	FXT"	Exterior

Fig. 12

	AL-L	Enlace de línea analógica
20	DEL/BYTE	Retardo por transferencia de batería de bitios.

Fig. 13

	BIC-OC	Batería de bitios y ciclo impar
	O-SEC	Salida en ciclo par sucesivo
	O-E	Salida par
25	I-O	Entrada impar

12 MAR 1976

Fig. 13 (contin.)

C-LH	Completar "enganche" local
C-TH	Completar "enganche" en cascada
SEP EX/ST	A la unidad de enlace de líneas de otra central/estación controladas por separado.

Fig. 15

D/N-V	Datos/No ruido
ND	Nuevos datos
CA	Actividad continuada
NA	Nueva actividad
N-VAC MSK	Bitios de VAC nueva
VCA-PF	Bitios de actividad de canal virtual cuadro previo
VCA-TF	Bitios de actividad de canal virtual - Este cuadro
FR	Exclusión
INTRPT	Interrupción
INC	Incremento
DEC	Decremento
INH	Inhibición.
CLKS	Impulsos de reloj
RST	Reponer
CH	Canal

12 MAR 1976



FIG. 1

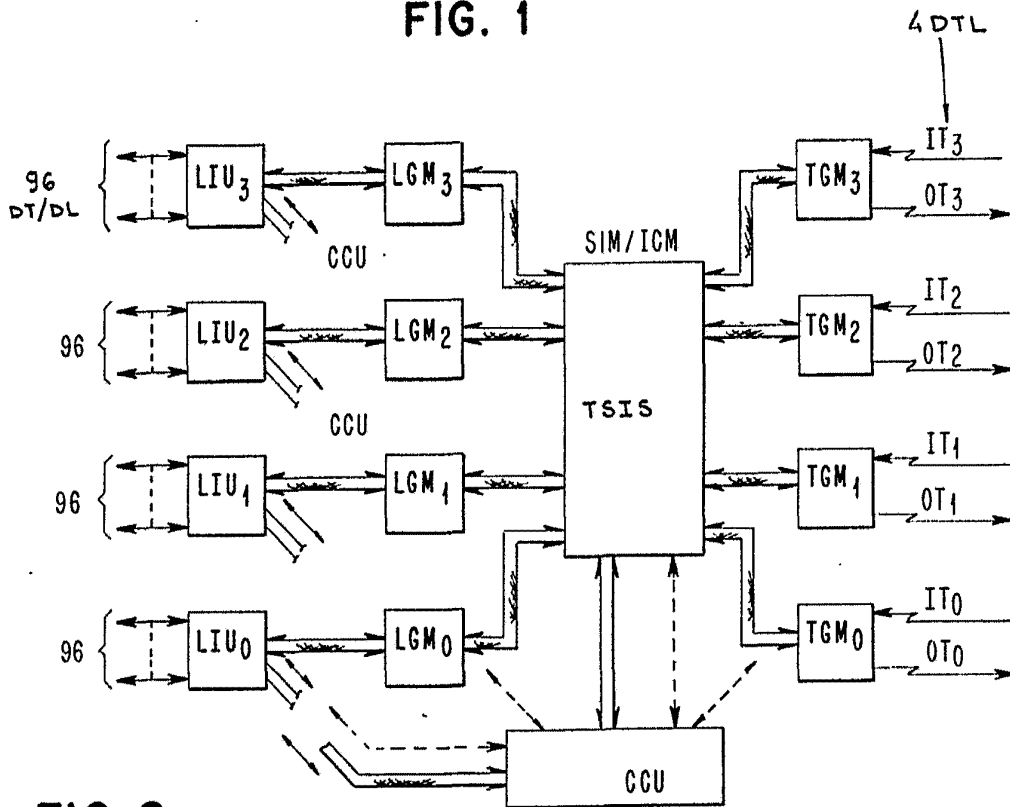


FIG. 2

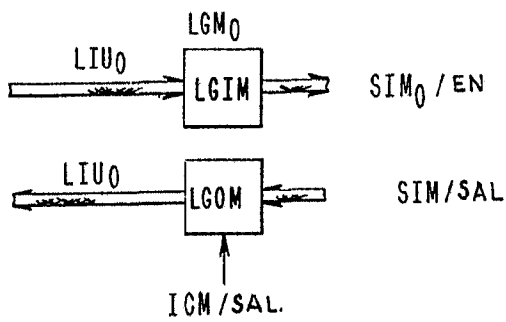


FIG. 3

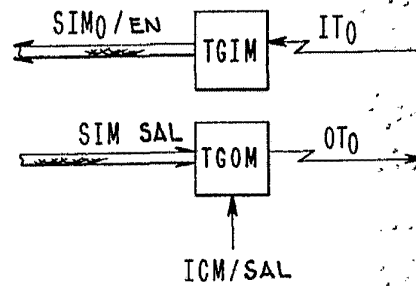
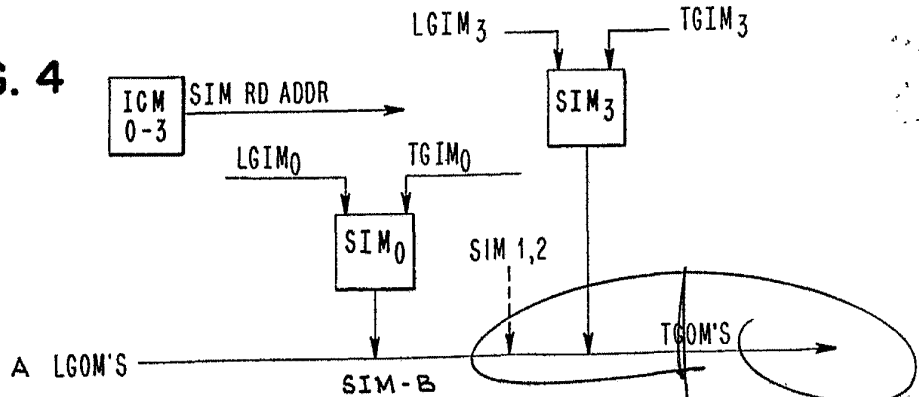


FIG. 4



Fernando de Elizaburg
Por Pedro.

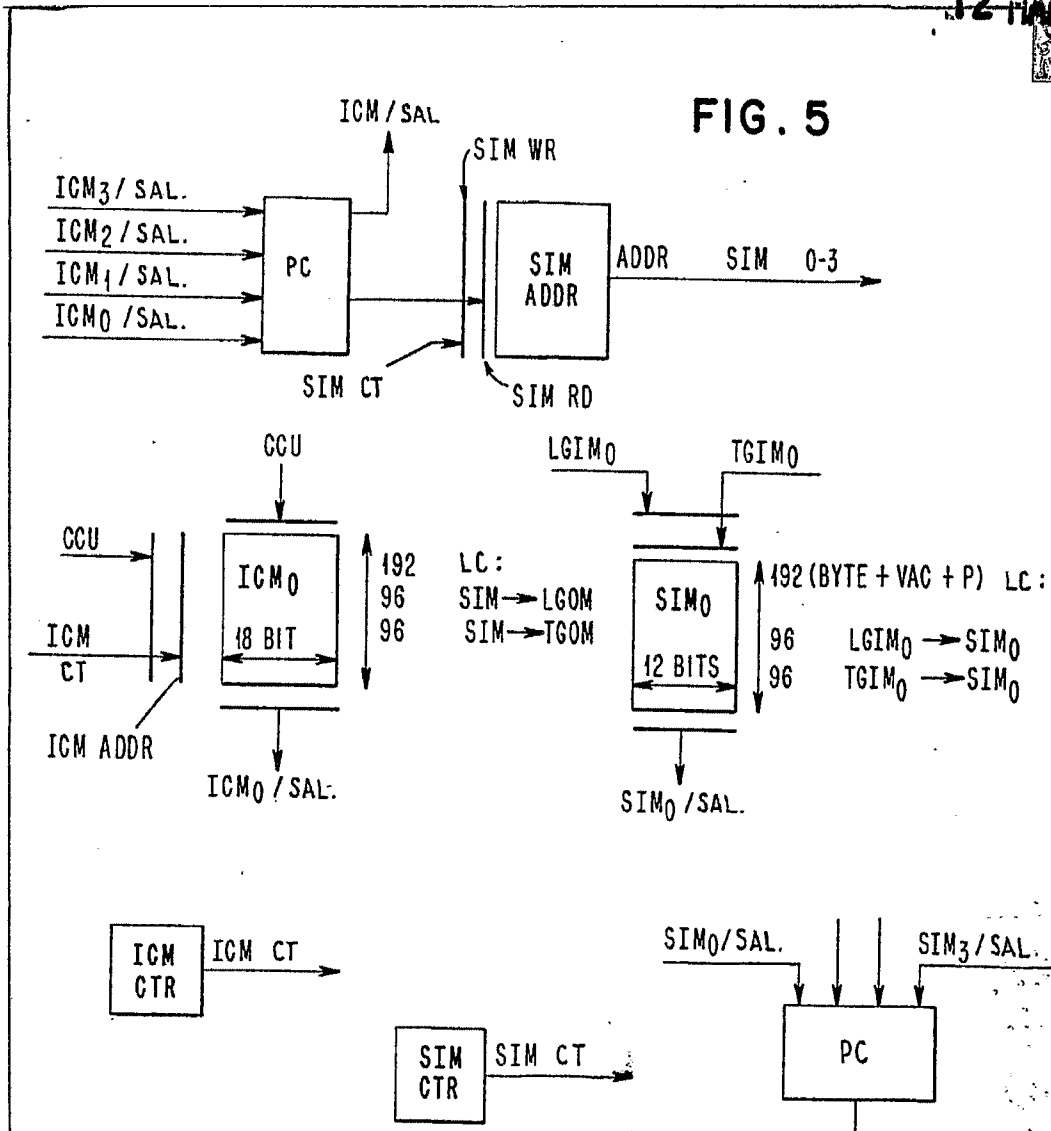
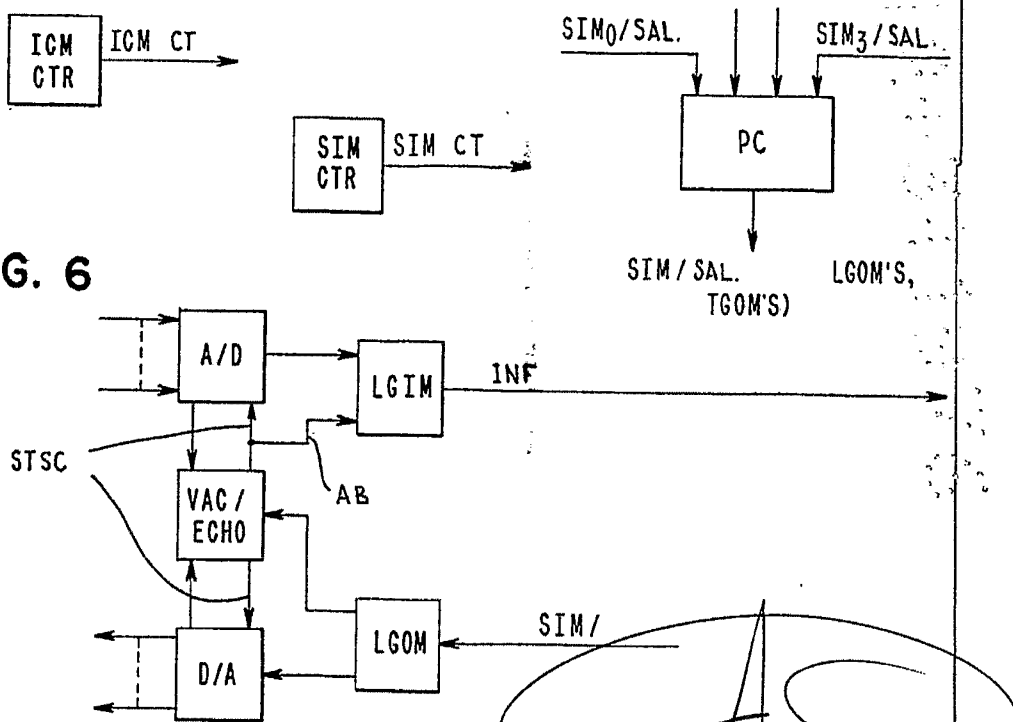


FIG. 6



Fernando de Elzaburu
Por Peder.



12

FIG. 7

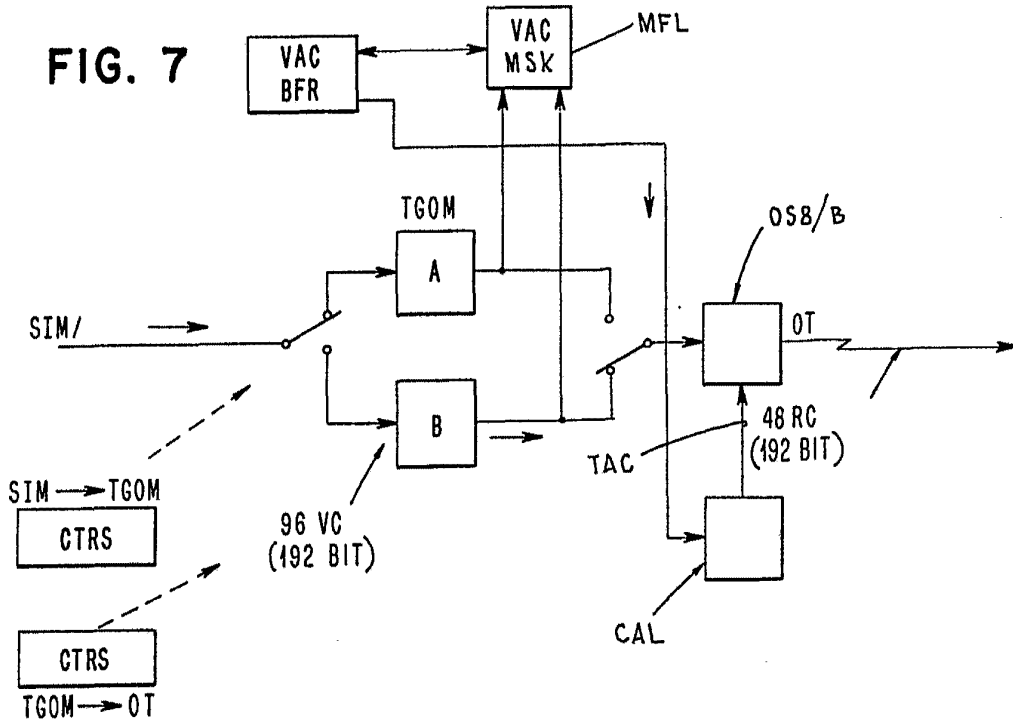
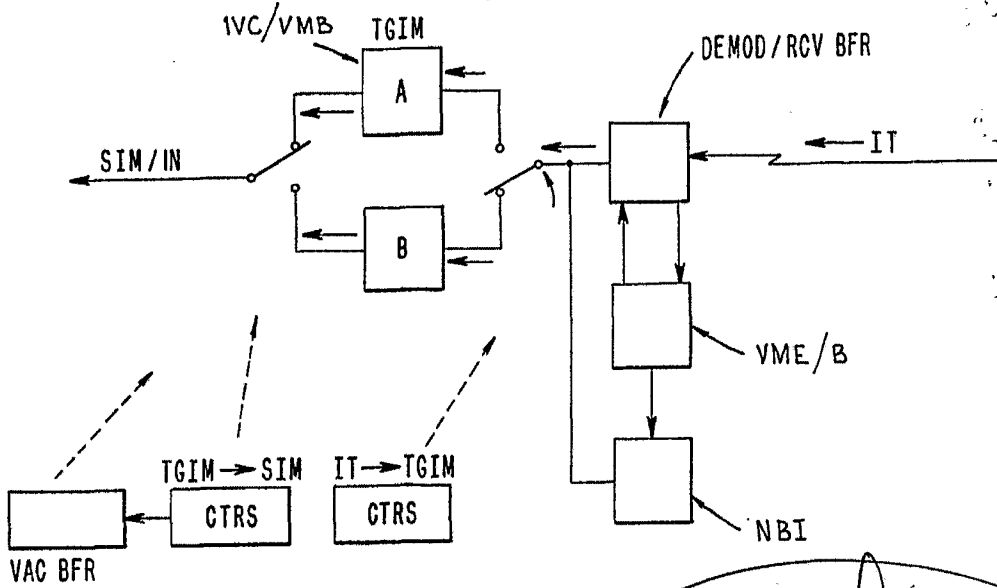


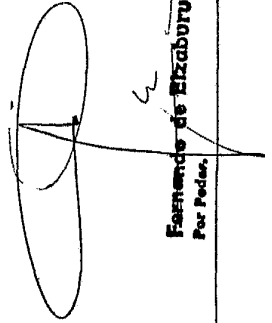
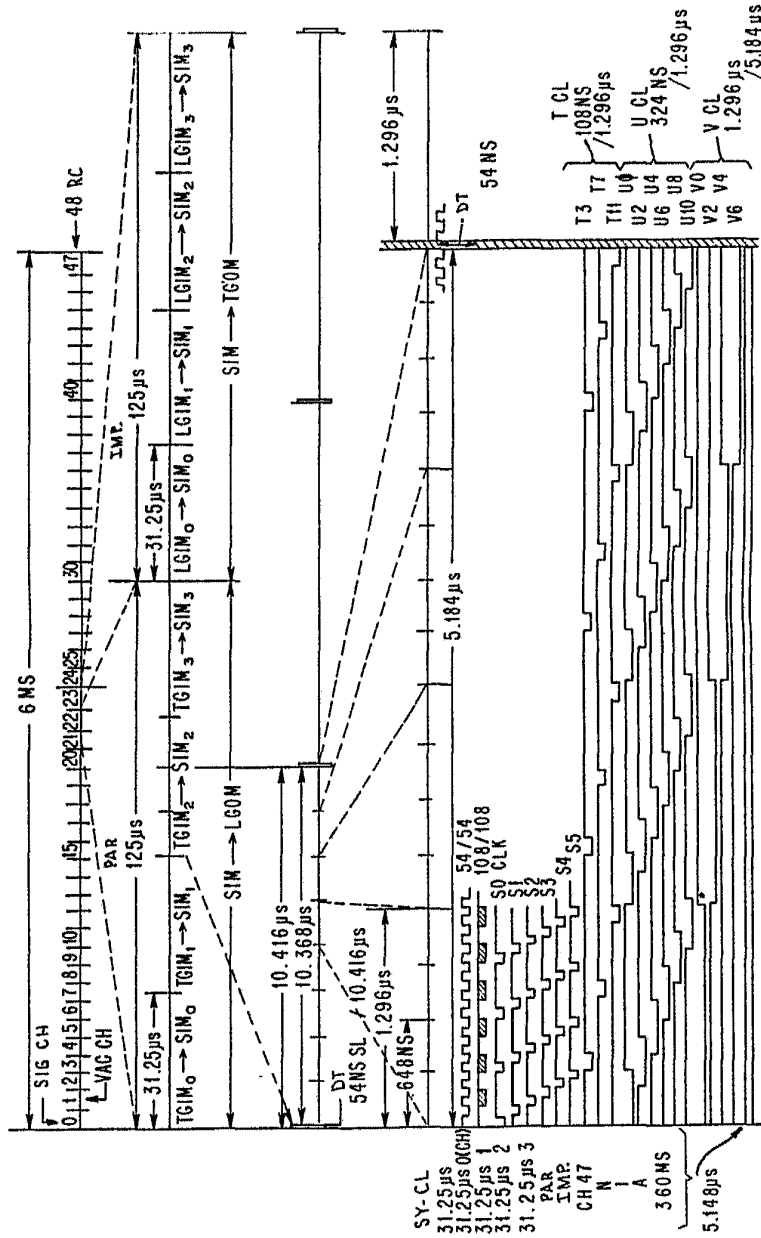
FIG. 8



Fernando de Elzaburu
For Fedex

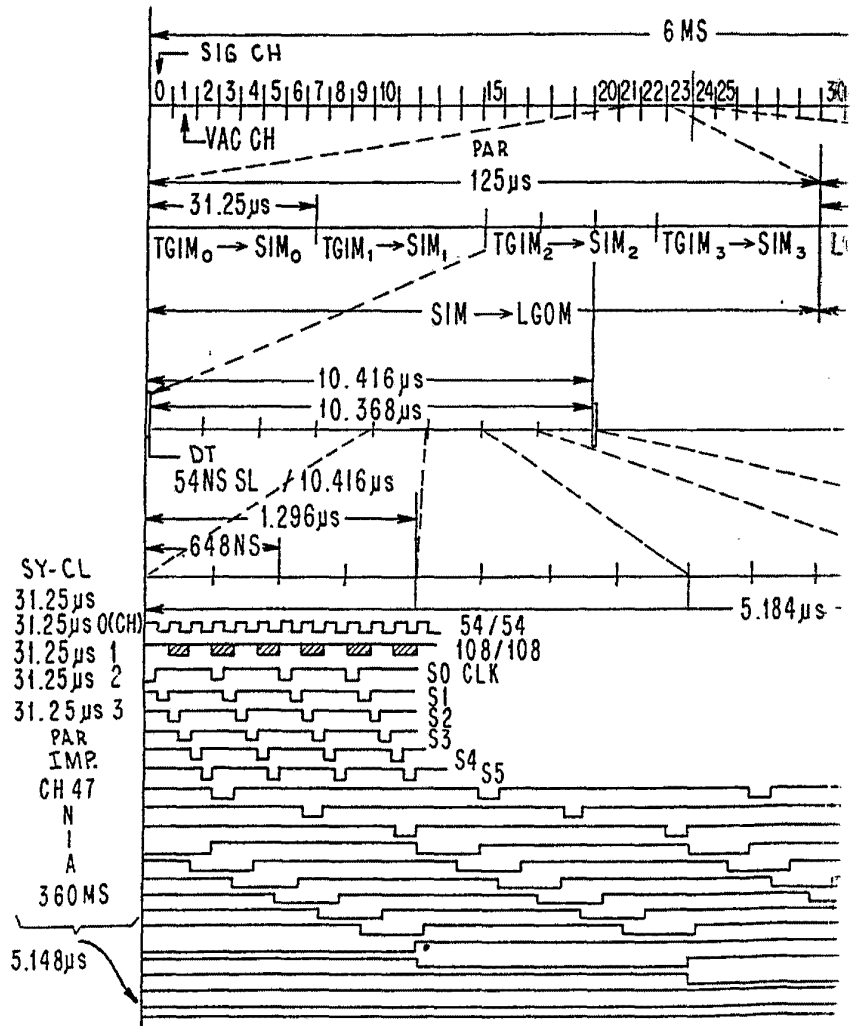
12 MAR 1973

FIG. 10

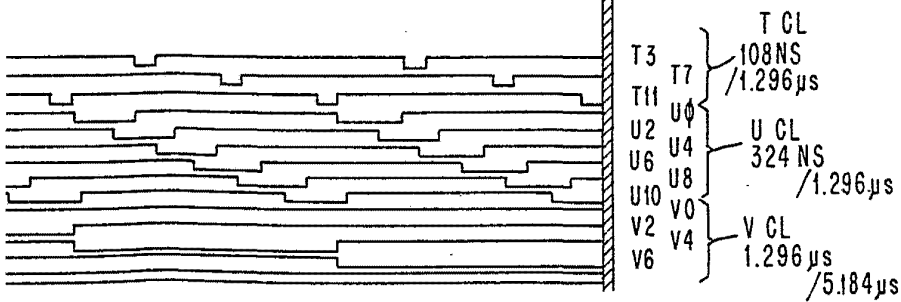
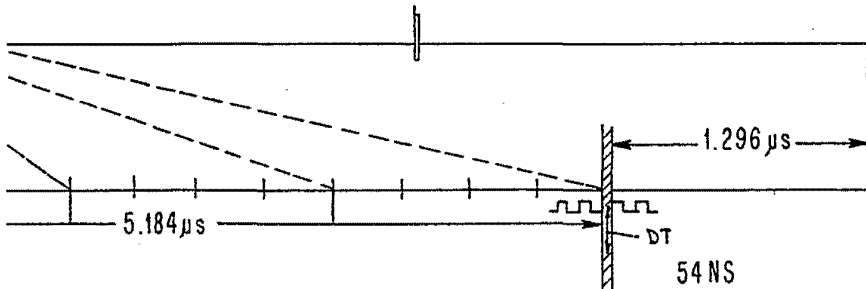
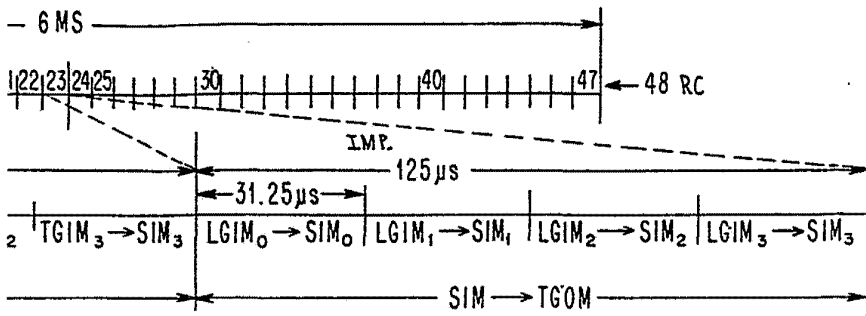


Fernando de Elizaburu
Por Pedra.

FIG. 10



12 MAR 1970

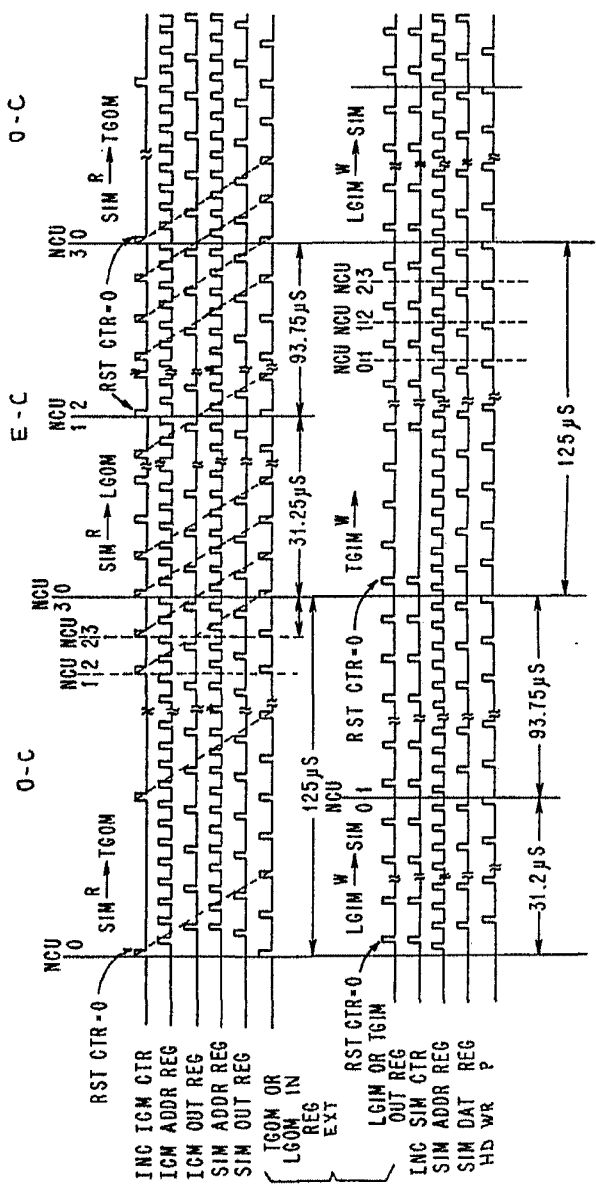


Fernando de Elizaburu
Por Poder.



12 MAR 1976

FIG. 11



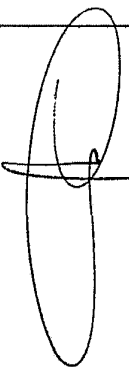
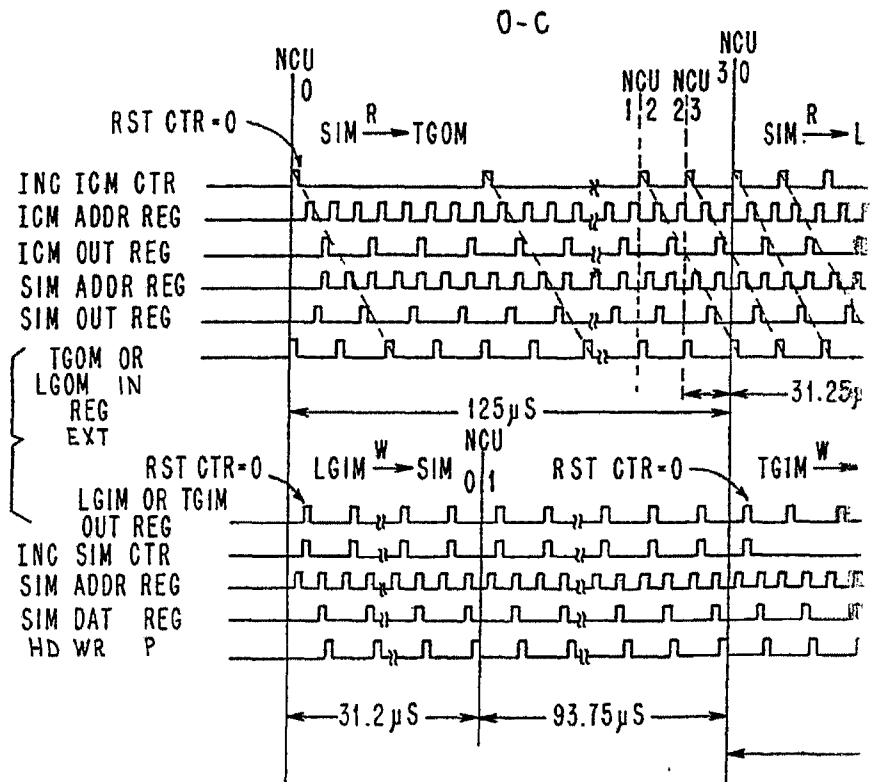

 Fernando de Elizaburu
 Per. P. 414

FIG. 11

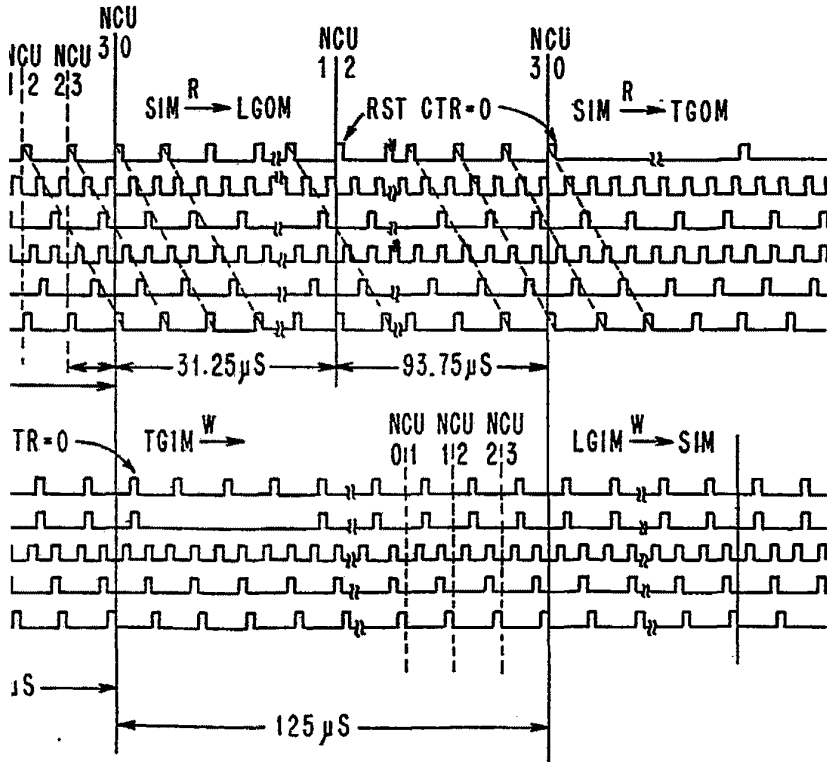


12 MAR 1976



E-C

O-C



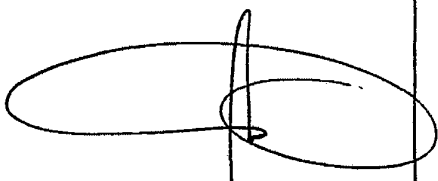

Fernando de Elizaburu
 For Poder



FIG. 12

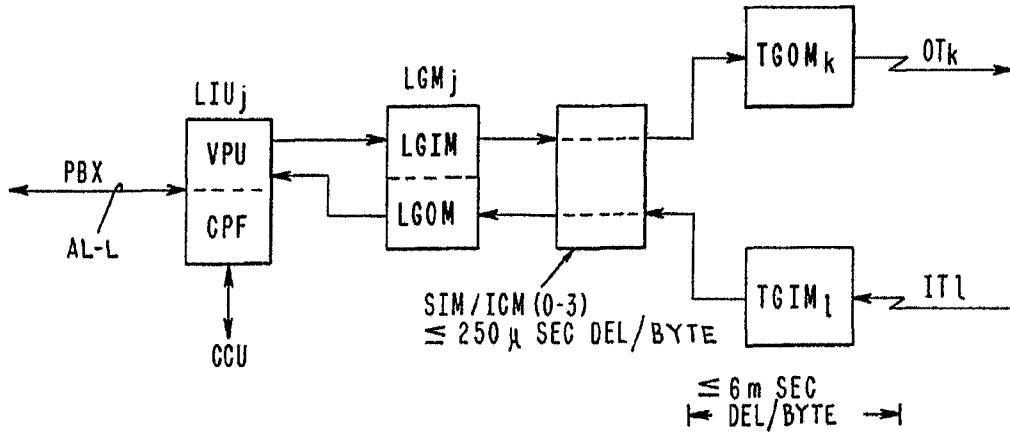
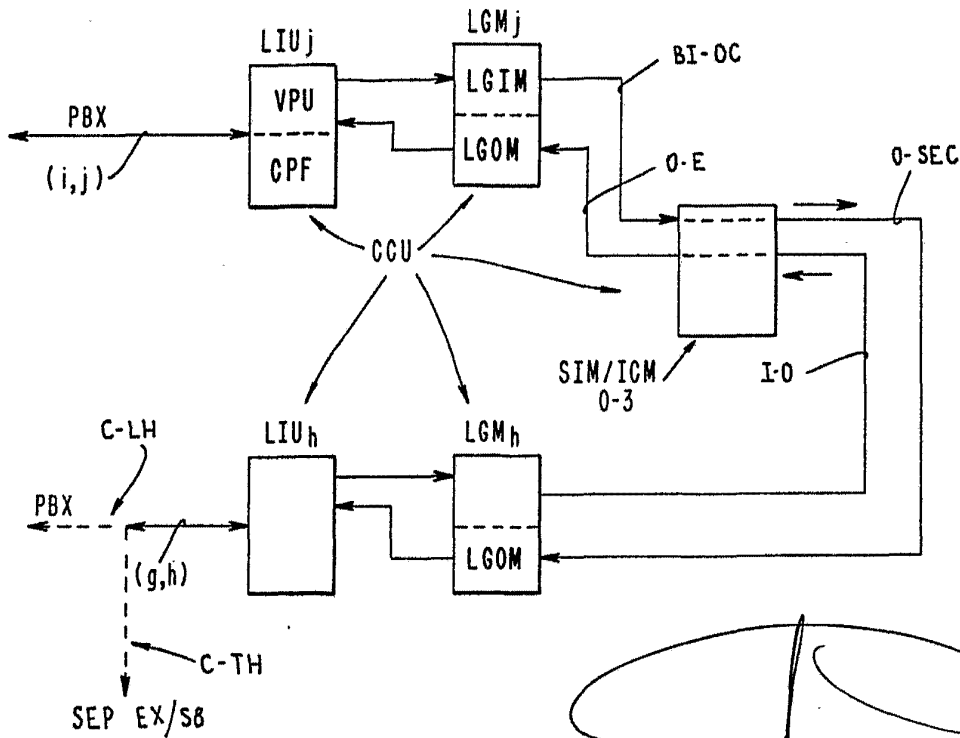


FIG. 13



Fernando de Elcaburu
Por Peder.



12 MAR 1970

FIG. 14

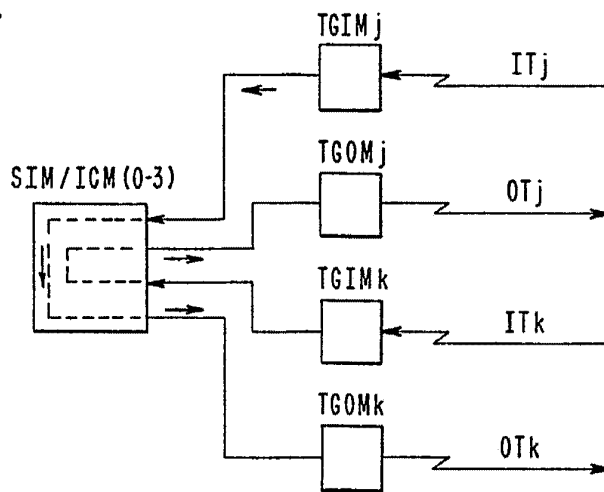
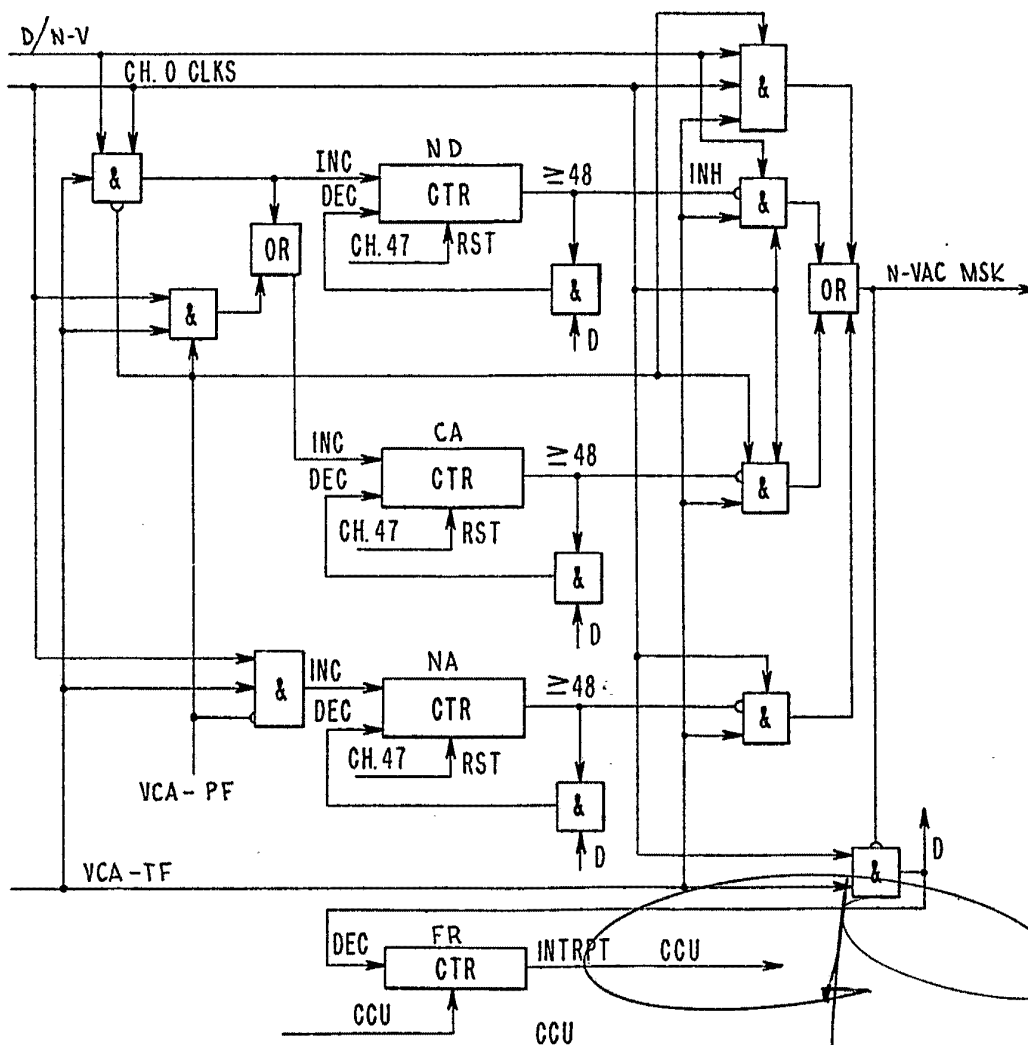


FIG. 15



Fernando de Albuquerque
© or Patent