

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



(14) ES	(11) NÚMERO	(13) A1
(15)	443813	
(22)	FECHA DE PRESENTACIÓN	

PATENTE DE INVENCION

(30) PRIORIDADES: (31) NÚMERO	(32) FECHA	(33) PAIS
2642/75	23 de diciembre de 1.974	JAPON

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL	(62) PATENTE DE LA QUE ES DIVISIONARIA
	H04B	

(54) TITULO DE LA INVENCION
PROCEDIMIENTO Y APARATO DE COMPRESION DE DATOS FACSIMILES

(71) SOLICITANTE (S)
FUJITSU LIMITED, entidad japonesa.

DOMICILIO DEL SOLICITANTE
1015, Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken, Japón.

(72) INVENTOR (ES)
Atsushi Ishii; Kiyoshi Oikawa; Tadaaki Suzuki; Tetsuro Morita; Yoshio Iizuka

(73) TITULAR (ES)

(74) REPRESENTANTE
GOMEZ-ACEBO

El presente invento se refiere a un método de compresión de datos facsímiles, y de un modo más particular, a un procedimiento para comprimir, transmitir y reproducir datos facsímiles con una gran eficacia de compresión, empleando un circuito simple.

5

La reproducción facsímil y los sistemas que transmiten la información de los datos facsímiles a un lugar distante se componen básicamente de tipos de aparatos de escansión que exploran la superficie del dato a reproducir y medios codificadores para limitar la anchura de banda necesaria para la transmisión de dicho dato. El dato codificado se transmite entonces a un receptor distante que decodifica la información transmitida y suministra dicho dato decodificado a un mecanismo impresor que reproduce un facsímil ó copia del documento original.

10

16

Con el fin de comprimir la anchura de banda necesaria para la transmisión del dato, los métodos de compresión de datos facsímiles normales utilizan la primera correlación dimensional y la segunda correlación dimensional. Por ejemplo, se emplean tradicionalmente códigos de longitud de tramo como primera correlación dimensional, y un método que estima la información de un elemento de imagen a partir de la información de un elemento de imagen adyacente se utiliza tradicionalmente como segunda correlación. En dicho sistema de compresión de datos facsímil tradicional, se debe transmitir la información del código de identificación que identifica el estado principal de los elementos de la imagen. Por lo tanto, se necesitan muchos bits para transmitir el código de identificación y no se puede obtener una gran eficacia de compresión. Además, se necesitan circuitos especiales para formar y reproducir el código de identificación, lo cual hace que la construcción del circuito sea más compleja.

20

25

30

El presente invento tiene por objeto eliminar los inconvenientes mencionados y proporcionar un método de compresión de datos facsímiles con el que se puede transmitir la información sin utilizar el código de identificación de estado principal.

5 Para conseguir el objeto mencionado, el rasgo característico del presente invento consiste en cambiar el estado de por lo menos un bitio de dato que se sitúa a la cabeza de los bitios de dato en serie obtenidos por exploración del dato facsímil, - hasta un estado de referencia predeterminado, o poner un estado de referencia predeterminado antes de los bitios de datos en serie, eliminando de este modo la necesidad de enviar la información relativa al estado del primer bitio del dato de dichos bitios de dato en serie.

10 Otras características y ventajas del presente invento resultarán evidentes por la descripción que sigue, tomando como referencia los dibujos adjuntos a los que, no obstante, el alcance del invento no queda limitado en modo alguno.

La figura 1 es un diagrama que ilustra un ejemplo del método de compresión de datos facsímiles tradicional.

20 La figura 2 es un diagrama que ilustra una modalidad del método de compresión de datos facsímiles según el presente invento.

25 La figura 3 es un diagrama que ilustra otra modalidad del método de compresión de datos facsímiles según el presente invento.

La figura 4 es un diagrama de conjunto de un lado de transmisión del sistema de comunicación de datos facsímiles que lleva a cabo el método del presente invento.

30 La figura 5 es una diagrama de conjuntos de un lado de recepción del sistema que lleva a cabo el método según el presente

te invento.

5

Las figuras 6a y 6b son un circuito detallado de una parte de un registrador, una parte de un comparador y una parte de un circuito de formación del código de transición del diagrama de conjunto representado en la figura 4.

Las figuras 7a y 7b son vistas esquemáticas de las ondas que aparecen en varios puntos del diagrama de conjuntos representado en la figura 4 y del circuito representado en la figura 6.

10

Las figuras 8a y 8b son un circuito detallado de una parte del circuito decodificador y circuitos puerta del diagrama de conjuntos ilustrado en la figura 5.

15

Las figuras 9a y 9b son vistas esquemáticas de ondas en diversos puntos del diagrama de conjuntos representados en la figura 5 y del circuito representado en la figura 8, respectivamente.

La figura 10 ilustra la relación entre las marcas de -- símbolos y la tabla de valores exactos del elemento de unidad -- empleado en el circuito ilustrado en las figuras 6 y 8.

20

Refiriéndonos ahora a la figura 1, se ilustra parcialmente un método de compresión de datos facsímiles tradicional -- que emplea un algoritmo de codificación de doble línea. Según -- se ilustra en (a) de la figura 1, en el método de compresión de datos facsímiles que utiliza una doble línea, una imagen que se desea transmitir se divide en columnas de exploración indicadas alfabéticamente a_n, b_n, c_n, \dots ; a_{n+1}, c_{n+1}, \dots y filas indicadas numéricamente a_n, a_{n+1}, \dots ; b_n, b_{n+1}, \dots

25

c_n, c_{n+1}, \dots . El dato contenido en el área elemental superior en la primera línea (v.g., la línea n) y un área de elemento inferior adyacente (v.g., la línea $n+1$) que queda por debajo se --
30 tratan como una unidad del área. O sea, la unidad de área mencio

nada está compuesta por los elementos de imagen $a_n, a_{n+1}, b_n, b_{n+1}, c_n, c_{n+1}, \dots$ según se representan en la figura 1. Según dicho método de compresión de datos facsímiles, existen cuatro estados posibles de dicha unidad de área. O sea, habrá un par de datos blanco-blanco si ambas áreas elementales son blancas, un par de datos negro-negro, si ambas áreas elementales son negra, un par de datos negro-blanco si el área elemental superior es negra y el área elemental inferior es blanca; y un par de datos blanco-negro, si el área elemental superior es blanca y el área inferior es negra. Cuando este dato facsímil se transmite a un lugar distante, se codifican uno detrás de otro los estados de dicha unidad de área y las transiciones. Por ejemplo con respecto a las transiciones sucesiva del estado de dicha unidad de área, se utilizan los códigos de modo de transición representados en la tabla 1.

	a_n	b_n	Blanco-blanco	Negro-negro	Negro-blanco	blanco-negro.
	a_{n+1}	b_{n+1}				
Blanco-blanco	x		10	11		0
Negro-negro	0		x	10		11
Negro-blanco	0		10	x		11
Blanco-negro	0		10	11		x

Según se ilustra en (b) de la figura 1, cuando se envía el dato facsímil, la señal codificada se compone de un código de sincronización CS que sincroniza dos líneas de exploración; un código de modo CM que identifica el estado de la primera unidad de área de una serie de unidades de áreas; un código de longitud de tramo CL que representa la longitud de tramo del estado de la primera unidad de área; código de modo de transición CT que

identifican en el estado de la unidad de área; y código de longitud de tramo CL que identifican la longitud de tramo de estado de la nueva unidad de área. Por ejemplo, con respecto a (b) de la figura 1, se enviaría la señal codificada siguiente: Código de sincronización + código de modo (11) + código de longitud de tramo (001) + código de transición (0) + el código de longitud de tramo (000) + código de transición (10) + código de longitud de tramo (001) + código de transición (11) + código de longitud de tramo

5

10

En un sistema de compresión de datos facsímiles tradicional, se necesitará un código de modo que identifica el estado de la primera unidad de área. Por lo tanto, se necesitan muchos bits para transmitir dicho código de modo y a causa de esto no se puede obtener una gran eficacia de compresión. Además, se necesitan muchos circuitos para formar y reproducir el código de modo, lo cual aumenta la complejidad de la construcción del circuito.

15

20

La figura 2 es un ejemplo del método de compresión de datos facsímiles según el presente invento. Con relación a (a) de la figura 2, una primera unidad de área de doble línea se transforma en un estado de referencia (blanco-blanco) según se indica en (b) de la figura 2. Refiriéndonos a (b) de la figura 2, una imagen que se desea transmitir se divide en columnas de exploración indicadas alfabéticamente y filas indicadas numéricamente, y el dato contenido en área elemental superior (línea n) y un área elemental inferior adyacente (línea n + 1) se tratan como una unidad de área, igual que la ilustrada en (a) de la figura 1. El estado de la unidad de área puede ser cualquiera de los cuatro posibles estados del dato, según se ha mencionado anteriormente, y el código del modo de transición se define según

25

30

se ilustra en la figura 1. No obstante, en el método de la figura 2 según el presente invento, el estado de la primera unidad de área que se sitúa a la cabeza de las unidades de área seriales se determina como un estado de referencia predeterminada. -
5 Por ejemplo, si el estado de la primera unidad de área es el modo negro-blanco representado en (a) de la figura 1, el estado de dicha primera unidad de área se cambia a un estado de referencia, como es el modo de blanco-blanco representado en (b) de la figura 2. Por lo tanto, el estado de la área elemental a_n cambia de negro a blanco. Como el estado de la primera unidad de -
10 área es fijo, no es necesario enviar el código de modo que identifica el estado de la primera unidad de área. El código de la señal de transmisión se compone en el orden indicado en (c) de la figura 2. Se comprenderá que el modo negro-negro, el modo negro-blanco, o el modo blanco-negro se pueden emplear también como modo de referencia.

Además, se comprenderá que los códigos de modo de estado que indican el estado de la unidad de área se pueden emplear en lugar de los códigos de modo de transición. Por ejemplo, en
20 los códigos de modo de estado se utiliza "00" en el modo blanco-blanco, "11" se emplea en el modo negro-negro, "10" se emplea en el modo blanco-negro y "01" se emplea en el modo negro-blanco.

Si la información de la primera unidad de área se cambia a un estado de referencia, no se perturbará la información
25 del dato original. Debido a esto, la información en la cabeza de la línea de exploración es blanca en muchos casos y la longitud del original correspondiente a un bitio de la señal de imagen es aproximadamente 0,1 milímetros.

30 La figura 3 ilustra otra modalidad del método de compresión

si3n de datos facs3mil seg3n el presente invento. La figura ori-
ginal (a) de la figura 3, que tiene una doble l3nea como la re-
presentada en (a) de la figura 1, se transforma seg3n se ilustra
en (b) de la figura 3. No obstante, seg3n se ilustra en (b) de
5 la figura 3, se a3ade un estado de referencia predeterminado an-
tes de la primera unidad de 3rea. Por ejemplo, se a3ade un esta-
do de modo blanco-blanco antes de la primera unidad de 3rea se-
g3n se ilustra en (b) de la figura 3. Se compone una se3al de -
transmisi3n en el 3rden representado (c) de la figura 3, v.g., -
10 c3digo de sincronizaci3n CS + c3digo de longitud de tramo del es-
tado de referencia CL + c3digo de transici3n CT + c3digo de lon-
gitud de tramo CL +

Esto significa que la adici3n de dicho modo de estado de
referencia no necesita bitios redundantes y por lo tanto se pue-
de aumentar la eficacia de compresi3n. En muchos casos, como la
15 im3gen original comienza con un modo blanco, ni es necesario au-
mentar la longitud del c3digo de longitud de tramo. Tambi3n se
puede a3adir una se3al de estado de referencia antes de la pri-
mera unidad de 3rea y suprimir la se3al correspondiente a la 3l-
20 tima unidad de 3rea.

En la modalidad ilustrada en la figura 3, es necesario
enviar el primer modo que ya se ha fijado.

Las figuras 4 y 5 son diagramas de conjuntos del apar-
to que lleva a cabo el m3todo de compresi3n de datos facs3miles
25 del presente invento.

La figura 4 ilustra un diagrama de conjuntos del lado
de transmisi3n del aparato, que se caracteriza porque una sali-
da de un escansionador 11 se conecta a un circuito de muestreo
12 y a un circuito detector de sincronismo 19, y la salida del
30 circuito de muestreo 12 y la salida del circuito detector de --

sincronismo 19 se conectan a un circuito formador del estado de referencia 13. La salida del circuito formador de estado 13 se conecta a una memoria 14 que almacena la información de una línea de exploración. La salida de dicha memoria 14 se conecta a un comparador 15. La salida de dicho circuito formador de estado de referencia 13 se acopla también directamente al comparador 15. La salida de dicho comparador 15 se conecta por un registrador 16 a un comparador 17 y la salida de dicho comparador 15 se conecta directamente al comparador 17. La salida de circuito comparador 17 se conecta a un circuito formador de código de transición 18 y a un circuito formador de código de longitud de tramo 21. Otra salida del comparador 15 se conecta al circuito formador de código de longitud de tramo 21 y a la salida del circuito detector de sincronismo 19, que se conectan también por un circuito formador de código de sincronización 20 a dicho circuito formador de código de longitud de tramo 21. La salida del circuito formador de código de transición 18 y el circuito formador de código de longitud de tramo 21 se conectan a un circuito puerta 22. La salida del circuito puerta 22 y la salida del circuito formador de código de sincronización 20 se conectan a un mezclador 23, cuya salida se conecta por una memoria tampón 24 a un modulador 25 que envía la señal del dato a un lado de recepción.

Refiriéndonos a la figura 5, la salida de un demodulador 26 que recibe la señal procedente del lado de transmisión se conecta por una memoria tampón 27 a un circuito separador 28. La salida separada de dicho circuito separador 28 se conecta a un circuito formador de modo inicial 29, y a circuitos decodificadores 32 y 35, respectivamente. La salida de dicho circuito formador de modo inicial 29 se conecta a circuitos puerta 30 y 33. La salida de dicho circuito decodificador 32 se conectan a dichos

circuitos puerta 30 y 33, y otra salida del circuito decodificador 32 se conecta al circuito decodificador 35. Las salidas de los circuitos puerta 30 y 33 se conectan a circuitos puerta 31 y 34, respectivamente. La salida del circuito decodificador 35 se conecta a los circuitos puerta 31 y 34. Otra salida del circuito decodificador 32 se conecta al circuito formador de modo inicial 29. Las salidas de dichos circuitos de puerta 31 y 34 se conectan por una memoria 36 a una grabadora 37.

En los circuitos ilustrados en las figuras 4 y 5, el escansionador 11 explora el dato original por líneas de escansión, el dato escandido se convierte en señales eléctricas y se añade una señal de sincronización a cada línea escandida. La señal eléctrica correspondiente al dato original se suministra al circuito de muestreo 12 donde dicha señal eléctrica es muestreada por impulsos de muestreo que tienen un periodo predeterminado y la salida del circuito de muestreo 12 se alimenta al circuito formador del estado de referencia 13. El circuito detector de sincronización 19 detecta la señal de sincronización de la salida de dicho escansionador 11 por lo que el estado de la unidad de área que sigue a la señal de sincronización (a_n en (a) de la figura 2) se cambia al estado de referencia, por ejemplo, "blanco".

La señal de imagen correspondiente a una línea de escansión se almacena en dicha memoria 14 y los elementos de imagen en una línea de escansión y los elementos de imagen en la línea de escansión siguiente son comparados por el circuito comparador 15. El circuito de memoria 14 está compuesto por registradores de corrimiento, y cada vez que se recibe un bitio del elemento de imagen en una línea de escansión desde el citado circuito de memoria 14, se almacena un bitio del elemento de imagen en la línea de escansión siguiente. El circuito comparador 15 compara el

elemento de imagen a_n en la línea n y el elemento de imagen a_{n+1} en la línea $n+1$ y una señal que representa el modo correspondiente a la combinación de los estados de los elementos de la imagen, se envía desde el comparador al registrador 16 y al comparador 17. La señal de modo que corresponde a la fila "a" se almacena en dicho registrador 16 y el estado e la señal de modo almacenada correspondiente a dicha fila "a" se compara con el estado de la señal de modo correspondiente a la fila "b". Con respecto a los elementos de imagen (fila "a") que sigue a la señal de sincronización, no se genera señal de salida comparada desde dicho comparador 17, puesto que la señal que se ha de comparar no está almacenada en el registrador 16. Cuando el cambio del estado de la unidad de área es detectado por el circuito comparador 17, el circuito formador de código de transición 18 forma el código de transición representado en la tabla I de acuerdo con la salida de cambio de estado de dicho circuito comparador 17. Cada vez que el circuito comparador 15 compara el estado de los elementos de imagen, se envía un impulso de cronometración al circuito formador de longitud de tramo 21. Dicho impulso de cronometración es contado por el circuito 21 que se repone o vuelve al estado inicial por acción de la señal de salida de cambio de estado del comparador 17.

De este modo, el circuito formador de longitud de tramo 21 puede continuar contando los impulsos de cronometración y generando un código de longitud de tramo hasta que se genera una salida de cambio de estado desde el comparador 17. El circuito detector de sincronismo 19 detecta la señal de sincronización que se envía desde el escansionador 11, y la señal de salida detectada se envía al circuito formador de estado de referencia 13 y al circuito formador de código de sincronización 20. El circui

to formador de código de sincronización 20 forma un código de -
sincronización por cada dos líneas de escansión u exploración.
La salida del circuito formador de código de sincronización 20
repite dicho circuito formador de código de longitud de tramo 21
5 Dicha salida se envía también a un terminal de entrada del mez-
clador 23. Como el código de transición que es la señal de sali-
da del circuito formador de código de transición 18 y el código
de longitud de tramo que es la salida del circuito formador de -
código de longitud de tramo 21 se envían por el circuito puerta
10 22 a otro terminal de entrada de dicho mezclador 23, el código
de sincronización, el código de transición y el código de longi-
tud de tramo se almacenan en la memoria 24, por lo que estos có-
digos se hacen coincidir en impedancia con la línea de transmi-
sión, se modulan en el modulador 25 y se envían a la línea de -
15 transmisión LT.

La señal transmitida es recibida por el lado receptor,
demodulada por el demodulador 26, almacenada en la memoria tam-
pón 27 y se alimenta al circuito separador 28, donde se separan
el código de sincronización, los códigos de modo de transición y
20 los códigos de longitud de tramo. Dicho código de sincronización
se suministra al circuito formador de modo inicial 29, donde se
genera la señal que representa el estado de la imagen del estado
de referencia, por ejemplo blanco. Dicho código de modo de tran-
sición se suministra al circuito decodificador 32, por lo que -
25 las señales que representan el estado de imagen de la nueve uni-
dad de área después de la transición, se suministran a los cir-
cuitos puerta 30 y 33, respectivamente. O sea, del estado de la
imagen en la línea n se suministra al circuito puerta (30) y el
estado en la línea n+1 se suministra al circuito puerta 33. El
30 código de longitud de tramo se decodifica mediante el circuito

5 decodificador 35, por lo que dicho circuito 35 genera impulsos cuyo número corresponde a la longitud de tramo. Dichos impulsos se alimentan entonces a los circuitos puerta 31 y 34. La salida de dichas puertas 30 y 33, ó sea, las señales que representan el estado de la imagen, se suministran también a los circuitos puerta 31 y 34, respectivamente. Dicho circuito puerta 31 genera la señal de imagen de la línea n mientras que el circuito puerta 34 genera la señal de imagen de la línea $n+1$. Estas señales se almacenan entonces en la memoria 36. La señal de imagen de dicha línea n se registra en la grabadora 37, después de lo cual la señal de imagen de dicha línea $n+1$ también se registra en la misma.

10 Después se explicará con más detalle la función de los diagramas de conjuntos 4 y 5 tomando como referencia las figuras 6 - 10. Las ondas (a), (b) y (c) de la figura 7a demuestran la relación de las señales de salida del escansionador 11 con las señales de salida del circuito de muestreo 12, con respecto a los impulsos de muestreo. Cuando las señales VID_1 y VID_2 representadas en (e) y (g) de la figura 7 se alimentan desde la salida del comparador 15 a los basculadores 43 y 44, respectivamente las señales VID'_1 y VID'_2 aparecen en la salida Q de dichos basculadores 43 y 44, respectivamente. Las señales demodo en la fila "b" de dichas señales VID_1 y VID_2 se comparan con las señales de modo en la fila "a" de dichas señales VID'_1 y VID'_2 en los circuitos exclusivos 45 y 46, respectivamente. Cuando el cambio de estado es detectado en el circuito o exclusivo 45 o 46, la salida del circuito NO 55 cambia de una señal de alto nivel a una señal de bajo nivel, por lo que la salida del circuito N 48 cambia a una señal de bajo nivel a una señal de alto nivel. Cuando la salida de dicho circuito N 48 alcanza en estado de alto nivel

los terminales de entrada A de los circuitos NY 49-54 alcanzan también un estado de alto nivel, y las señales de estado VID_1 , VID_2 , VID'_1 y VID'_2 se alimentan a los terminales de entrada B, y C de los circuitos NY 49-54, según se ilustra en la figura 6b.

5

Las señales de modo ilustradas en la tabla I están formadas por las señales de entrada a los terminales de entrada B, C, de dichos circuitos NY 49-54.

(a) Señal de modo de transición "0".

10

La señal de modo de transición "0" está formada por -- los circuitos NY 49, 51 y 52. El terminal de entrada B de dicho circuito NY 49 recibe la señal $\overline{VID'_1}$ de la salida \overline{Q} del basculador 43 y el terminal de entrada C de dicho circuito NY 49 recibe la señal $\overline{VID'_2}$ desde la salida \overline{Q} del basculador 44. La señal VID_1 se alimenta a la entrada B del circuito NY 51 y a una entrada J del circuito basculador 43, y la señal VID_2 alimenta a la entrada C del circuito NY 51 y a una entrada J del circuito basculador 44. Esto significa que el estado cambia de a_n, a_{n+1} -- (Blanco-blanco) a b_n, b_{n+1} (blanco-negro) que las entradas A, B y C de los circuitos NY 49 y 51 alcanzan un estado de alto nivel que las entradas A, B de dicho circuito NO 55 tienen un estado de bajo nivel y que la salida del circuito NO 55 tiene un estado de alto nivel. Por lo tanto, la salida del circuito NO 51 se vuelve baja, la salida del circuito N 57 se vuelve alta, y la salida de alto nivel del circuito N 57 se alimenta a una entrada B de un circuito NY 70.

15

20

25

30

Cuando una señal de iniciación del código de modo de -- transición ST_1 se alimenta a un circuito basculador 66 desde el circuito formador del código de longitud de tramo 21, el circuito basculador 66 funciona por acción del impulso de cronometración MC que se alimenta al mismo, y la salida del circuito 66 --

alcanza un estado de alto nivel. Por lo tanto, la salida del circuito NY 70 tiene un estado de bajo nivel y la salida del circuito NY 70 a tiene un estado de alto nivel. El estado de alto nivel del circuito NY 70a se alimenta a una entrada k del circuito basculador 66. La salida Q del circuito basculador 66 recibe un estado de bajo nivel por el impulso de cronometración siguiente y cesa el funcionamiento del circuito basculador 66. Cuando la salida Q del basculador 66 tiene un estado de alto nivel, la salida del circuito NO 57 es también alta, Por lo tanto, la salida del circuito NO 63 se vuelve baja, la salida del circuito Ny 64 se vuelve alta y la salida del circuito N 65, ó sea, la señal de salida del circuito 18 se vuelve baja.

Cuando la salida Q del circuito basculador 26 es alta, la entrada A del circuito NY 67 recibe impulsos de cronometración y la entrada B de dicho circuito es también alta. El circuito basculador 66 funciona por la señal de iniciación del código de modo de transición ST_1 y por el impulso de cronometración y dicho circuito 66 se desactiva por acción del impulso de cronometración siguiente. Por lo tanto, solamente un impulso de cronometración aparece en la salida del circuito NY 67, cuyo impulso se alimenta desde el circuito 18 hasta el circuito puerta 22.

Las entradas B y C del circuito NY 52 reciben señales \overline{VID}_1 , \overline{VID}_2 , respectivamente. Esto significa que el estado cambia de a_n , a_{n+1} , a b_n , b_{n+1} (blanco-blanco). Por lo tanto, la salida del circuito NY 52 se vuelve baja, la salida del circuito N 58 se vuelve alta, la salida del circuito NO 56 se vuelve baja y la salida del circuito N 57 se vuelve alta. En este caso tiene también aplicación la misma explicación expuesta anteriormente.

(b) Señal de modo de transición "10"

La señal de modo de transición "10" se forma por los cir

cuifitos NY 50 y 54. Por ejemplo, cuando el estado cambia de a_n , a_{n+1} (negro-negro) a b_n , b_{n+1} (negro-blanco), las entradas B y C de los circuitos NY 50 y 54 alcanzan un estado de nivel alto. Por lo tanto, las entradas A y B del circuito NO 60 se vuelven bajas, las salidas del circuito 60 se vuelve alta, y la salida del circuito NO 61 y la entrada del circuito NO 62 se vuelven bajas. En este estado, finaliza el código de longitud de tramo, y la señal de iniciación del código del modo de transición ST_1 se alimenta al circuito basculador 66. Por lo tanto, el circuito basculador 66 funciona por acción de impulso de cronometración MC y la salida del circuito 66 tiene un estado de nivel alto. No obstante, como la entrada B del circuito NY 30 es baja, la acción del circuito basculador 66 no acaba por el impulso de cronometración siguiente. El circuito basculador 69 entra en acción por el primer impulso de cronometración y, después, el estado de salida \bar{Q} del circuito 69 cambia de un estado de alto nivel a un estado de bajo nivel. Por lo tanto, la salida del circuito NY 71 se vuelve alta, y la entrada K del basculador 66 se vuelve alta también, por lo que el funcionamiento del circuito 66 acaba en el segundo impulso de cronometración. Por lo tanto, se envían dos impulsos de cronometración a la puerta 22 por el circuito basculador 66.

Como la entrada A del circuito NO 22 es baja y como la entrada B del circuito NO 22 cambia de alto nivel en el primer impulso de cronometración a bajo nivel en el segundo impulso de cronometración, la salida del circuito cambia de bajo nivel a alto nivel. Como la entrada A del circuito NO 63 tiene un estado de bajo nivel y como la entrada B del circuito 63 se cambia de un bajo nivel a un alto nivel, la salida del circuito que se alimenta a una entrada A del circuito NY 64 cambia de alto a bajo

nivel. Como la salida Q del basculador 66 se alimenta a la entrada del circuito NY 64, dicha entrada se mantiene en un estado de alto nivel hasta el segundo impulso de cronometraci3n. Por lo tanto, la salida del circuito NY 64, que se alimenta a la entrada del circuito N 65, cambia de un nivel bajo a un nivel alto, por lo que la salida de dicho circuito N 65, 6 sea, la salida de se1al del circuito 18, se vuelve alta en el primer impulso de cronometraci3n y baja en el segundo impulso de cronometraci3n. En otras palabras, el modo de transici3n es un "10".

5
10
15
Cuando la fila b_n, b_{n+1} es negro-negro, las entradas A, B y C del circuito NY 53 se vuelven altas, la salida del circuito 53 que se alimenta a la entrada A del circuito N 59 se vuelve baja, y la salida del circuito N 59 se vuelve alta. Dichas salidas de alto nivel se alimentan a la entrada A del circuito NO 21 y una salida "10" se genera en este circuito 18.

20
25
30
(c) Se1al de modo de transici3n "11" aparte de un modo similar a los puntos mencionados anteriormente (a) y (b) la salida del circuito N 48 alcanza un estado de alto nivel, No obstante, las salidas de los circuitos NY 49-54 no se vuelven altas. Cuando acaba el c3digo de longitud de tramo, la se1al de iniciaci3n del modo de transici3n ST_1 se alimenta al circuito basculador 66 y la salida de dicho circuito 66 se vuelve alta. No obstante, la salida del circuito N 57 es baja, el basculador 66 continua funcionando hasta el segundo impulso de cronometraci3n de los impulsos de cronometraci3n MC, y la salida del circuito NO-63 es alta y se alimenta a la entrada A del circuito NY 64. La salida Q del circuito basculador 66 se alimenta a la entrada B del circuito NY 64. Por lo tanto, la salida del circuito NY 64 tiene un estado de bajo nivel que se alimenta a la entrada del circuito N 65 y la salida de dicho circuito se vuelve alta, v.g.

"11", que se envía al circuito puerta 22.

La figura 7 ilustra un gráfico de tiempo con respecto a la función mencionada del circuito ilustrado en las figuras 6, con relación a (b) de la figura 2.

5 Refiriéndonos a la figura 8, los impulsos de reposición MR se alimentan para reponer el basculador 73, 74, 86, 87 y se alimenta un código formador de modo inicial desde el circuito formador de modo inicial para poner un modo blanco en el encabezamiento del dato de doble línea. Los impulsos de cronometración RT se suministran desde el demodulador 26 hasta el circuito decodificador 32 y los códigos de transición TC se suministran desde el circuito separador 28 donde se separan dichos códigos de transición de la señal recibida en dicho circuito 32. El cronómetro principal MC tiene una frecuencia varias veces mayor que el cronómetro RT. Un impulso de iniciación de decodificación del modo de transición ST_2 se suministra desde el circuito decodificador de longitud de tramo 35 a dicho circuito 32.

15 Como los basculadores 73 y 74 se reponen por un impulso de reposición MR, el estado de a_n, a_{n+1} se vuelve blanco-blanco. Un impulso de estado de decodificación de modo de transición ST_2 se suministra desde el circuito decodificador 35 hasta un basculador 89 y la salida Q de dicho circuito basculador 89 se vuelve alta. Después, funciona un basculador 90 por un impulso de cronometración RT procedente del demodulador 26. Cuando funciona el basculador 90, los basculadores 86 y 87 corren el código de transición TC por acción del impulso de cronometración RT. Por ejemplo, si se corre el código de transición "11", la salida del circuito O exclusivo 78 se vuelve alta porque la salida \bar{Q} de los basculadores 73 y 74 es alta en ambos, o sea, tiene un estado --

20

25

30

blanco-blanco. Dicha salida alta del circuito O exclusivo 78 se

5 suministra a un circuito N 79 y a una entrada A de un circuito NY 81. El modo de transición "11" aparece en la salida de los basculadores 86 y 87, las entradas B y C de dicho circuito NY 81 se vuelven altas y la salida del circuito 81 se vuelve baja. Como la entrada B de un circuito NY 84 es baja, la salida de dicho circuito 84 alcanza un nivel alto que se suministra a la entrada J del circuito basculador 73. Como las entradas A y B de un circuito NY 88 son altas, la salida del circuito 88 se vuelve baja y se suministra a la entrada J del basculador 74.

10 El basculador 90 funciona por acción del primer impulso de cronometración después de funcionar el basculador 89. Por lo tanto, la entrada A del circuito NY 92 se vuelve alta. Como el basculador 86 desplaza el modo de transición "11" en un impulso, la entrada B del circuito Ny 92 se vuelve baja y la salida del circuito 92 se vuelve alta y se suministra a una entrada B de un circuito NY 93. Como un basculador 91 no funciona en el primer impulso de cronometración, la salida \bar{Q} de dicho basculador 91 es alta y la salida del circuito NY 93 se vuelve baja. Dicho basculador 91 continúa funcionando hasta que acaba el segundo impulso de cronometración (RT). Cuando acaba el funcionamiento del basculador 89, dicho basculador 89 repone los basculadores 73 y 74. En este instante, la salida (la línea \bar{n}) del basculador 73 se vuelve alta (negro) y la salida (línea $n+1$) del basculador 74 se vuelve baja (blanco).

25 El gráfico de tiempos con respecto del funcionamiento del circuito representado en la figura 8 se ilustra en la figura 9A, y la parte dentro del cuadro de la línea de rayas B se representa a mayor escala en la figura 9B.

30 Las marcas de símbolos y la tabla de valores exactos de los elementos empleados en las figuras 6 y 8 se indican en la -

Figura 10.

Con referencia a las figuras 6a y 6b observamos que LRP representa el impulso LIN de reposición de línea; RLC representa la conexión al reloj de longitud de tramo; RP representa el impulso de reposición; F21 representa la conexión desde el circuito formador de código de longitud de tramo; T21 representa la conexión al circuito formador de CL y 22S y 22C representan la conexión a la puerta 22 en señal y reloj respectivamente.

En las figuras 70 y 76 se observa que en (a) se representan los impulsos de sincronización; en (b) la salida del escansionador 11 en las líneas n y $n + 1$; en (c) la salida del circuito 12; en (d) la salida del circuito 17; en (e) la entrada del registrador 16; en (g) la entrada del registrador 16; en (i) la salida de O-tx 45, en (j) la salida de O-Ex46, en (l) la salida del circuito 21 en (m) la salida del FF 66; en (n) la señal de salida M del circuito 18; en (o) la salida de relpj del circuito 18; en (p) la señal al circuito de formación de longitud de tramo.

En la figura 8a, la referencia A8 indica procedencia del circuito formador de modo inicial 29; la referencia B8 indica impulso de reposición MR; la referencia C8 indica impulso de reloj desde el demodulador 26; la referencia D8 indica el código de transición desde el circuito separador 28; la referencia E8 indica la señal MC del reloj principal y la referencia F8 indica ST2 desde el circuito decodificador 35.

Con relación a la figura 9a en (a) se indica señal de emisión; en (b) se indica impulsos de reloj desde el demodulador 26RT; en (g) se indica la primera salida del circuito 32, línea n y en (h) se indica la segunda salida del circuito 32, línea $n + 1$. Con relación a la figura 9b, en (a) se indica impulso de

reloj desde el demodulador 26; en (c) se indica el código de modo inicial; en (d) se indica el reloj principal; en (e) se indica salida del circuito decodificador 35; en (g) y en (h) se indica lo mismo que en sus respectivas referencias de la figura -
5 9a.

Por último en la figura 10, se indican mediante las referencias "in" y "out" entrada y salida respectivamente; mediante TR el terminal; mediante ST los estados diferentes, mediante SS el lado de posición y mediante RS el lado de reposición.

10 Como es lógico se comprenderá que el presente invento - puede tener aplicación a datos de escansión de una sola línea y a datos de escansión que se exploran en más de tres líneas, así como a un sistema de exploración de doble línea.

15 Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas, son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

20 1.- Procedimiento y aparato de compresión de datos facsímiles, cuyo procedimiento está caracterizado porque comprende las etapas de explorar la figura original a lo largo de una serie de unidades de área que están compuestas por una pluralidad de elementos de imagen adyacentes, situándose cada uno de dichos
25 elementos en líneas de escansión adyacentes diferentes; proporcionar una unidad de área de estado de referencia en el encabezamiento de dicha serie de unidades de áreas; transmitir la información de la figura original desde el lado de transmisión al lado de recepción, empleando códigos de modo, cada uno de los -
30 cuales indica el estado de la unidad de área y utilizando codi-

gos de longitud de tramo que indican las longitudes del estado de las unidades de áreas que se encuentran continuamente en el mismo estado.

5

2.- Procedimiento según la reivindicación 1, caracterizado porque el estado de la unidad de área situada a la cabeza de dicha serie de unidades de área cambia a dicha unidad de área de estado de referencia.

10

3.- Procedimiento según la reivindicación 1, caracterizado porque dicha unidad de área de estado de referencia se añade delante de dicha serie de unidades de área.

15

4.- Procedimiento según la reivindicación 1, caracterizado porque dichas líneas de escansión adyacentes diferentes están compuestas por una línea de escansión superior y una línea de escansión inferior, y porque las unidades de área están compuestas por un elemento de imagen superior que queda en la línea de escansión superior y un elemento de imagen inferior que queda por debajo de dicha línea de escansión inferior.

20

5.- Procedimiento según la reivindicación 1, caracterizado porque los códigos de modo son códigos de transición, cada uno de los cuales indica la transición a partir del estado de dicha unidad de área de estado de referencia al estado de una primera unidad de área, y la transición del estado de las unidades de área siguientes.

25

6.- Aparato para la realización del procedimiento de las reivindicaciones anteriores, caracterizado porque se dispone un escansionador que explora la figura original con líneas de escansión; un circuito de muestreo que muestrea la señal de salida de dicho escansionador; un detector de sincronismo que detecta la señal de sincronización de la salida de dicho escansionador; un circuito formador de estado de referencia que genera el

30

estado de referencia basado en la salida del circuito de muestreo
y la señal de sincronización, un primer circuito comparador que
compara los elementos superiores de la imagen que quedan en la
línea n de escansión y los elementos inferiores de la imagen que
quedan por debajo en la línea de escansión n+1 y genera señales
de estado correspondientes a una combinación del elemento superior
de la imagen y el elemento inferior de la imagen; un segundo cir-
cuito comparador que compara sucesivamente las señales de estado
generadas desde dicho primer circuito comparador y genera seña-
les de transición cuando se detecta el cambio de estado entre -
las señales de estado; un circuito formador de código de transi-
ción que forma códigos de transición de acuerdo con las señales
de transición del segundo circuito comparador. un circuito for-
mador de código de longitud de tramo que recibe las señales de
estado del primer comparador y las señales de transición del se-
gundo comparador y genera los códigos de longitud de tramo de -
acuerdo con la longitud de dichas señales de estado que tienen
el mismo estado; un circuito mezclador que mezcla los códigos de
sincronización, los códigos de transición y los códigos de longi-
tud de tramo y envía entonces los códigos a una línea de transm-
sión; un circuito separador que separa los códigos de sincroni-
zación, los códigos de transición y los códigos de longitud de
tramo de la señal recibida por la línea de transmisión; un cir-
cuito formador de modo de encabezamiento que recibe el código de
sincronización del circuito separador y forma el estado de modo
de encabezamiento; un primer decodificador y un segundo decodi-
ficador que decodifica el código de transición y los códigos de
longitud de tramo recibidos del circuito separador; un grupo de
circuitos puerta que reciben las salidas del circuito formador
del modo de encabezamiento y el primer y segundo detectores pa-

reproducir la información de la figura original.

Procedimiento y aparato de compresión de datos facsímiles, tal y como queda sustancialmente descrito en la presente Memoria, e ilustrado en los dibujos adjuntos.

5

La presente Memoria, consta de 24 hojas escritas a máquina por una sola cara.

Madrid, - 8 MAR. 1976

FUJITSU LIMITED.

J. GOMEZ ACEBO Y GOMEZ
p. p. Firmador L. Goma Firmador

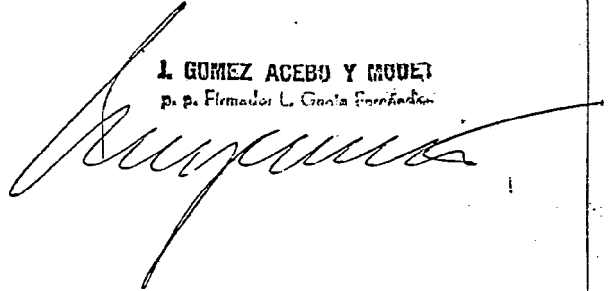
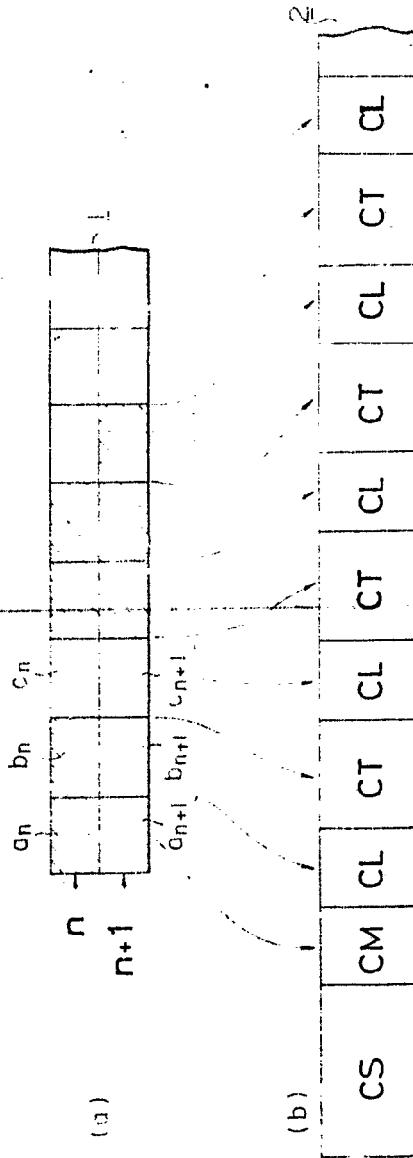


Fig. 1



ESCALA VARIABLE

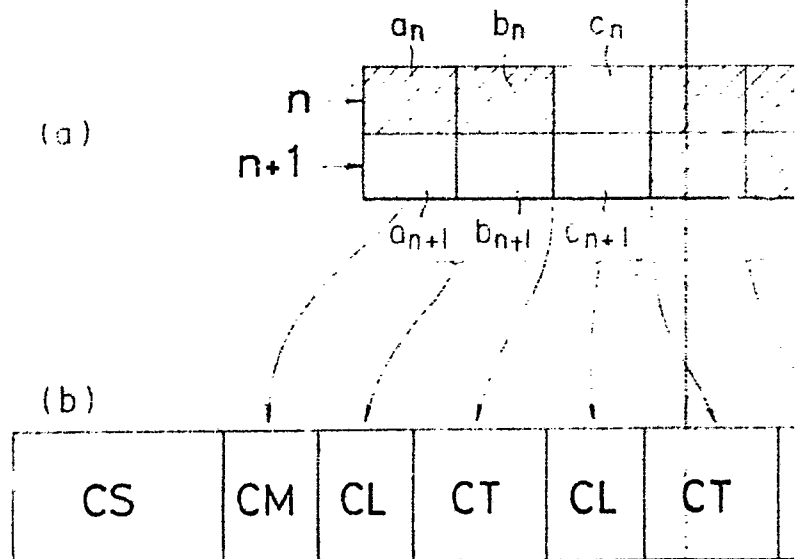
8 MAR 1976

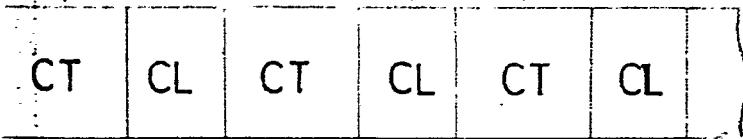
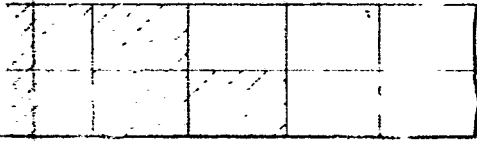
L. GOMEZ ACEBO Y INDOET
P. de Fomento L. Oeste Española

[Handwritten signature]

POOR QUALITY

Fig. 1



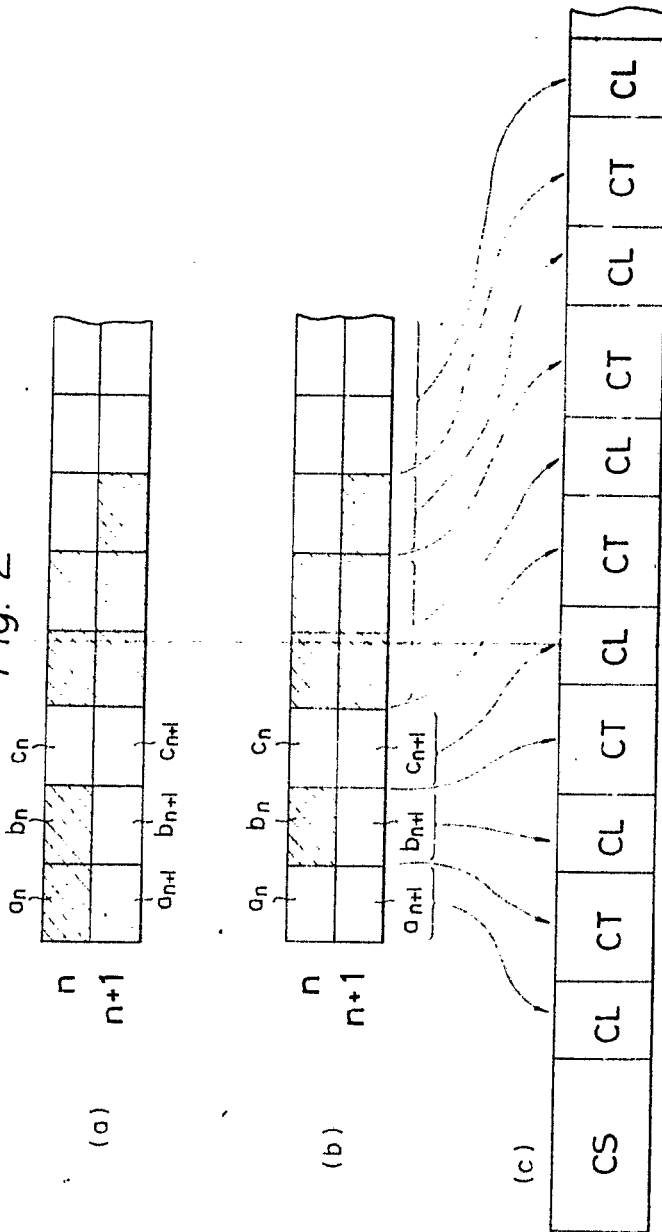


**ESCALA
VARIABLE**

~~Madrid~~ - 8 MAR. 1976

L. GOMEZ ACEBO Y MODEJ
p. p. Firmador L. Gaste Ferrández

Fig. 2



POOR QUALITY

ESCALA VARIABLE

MASUDA
 J. GOMEZ ACEBO Y MODELL
 P. P. FERNANDEZ L. GONZALEZ FERRANDEZ

Fig. 2

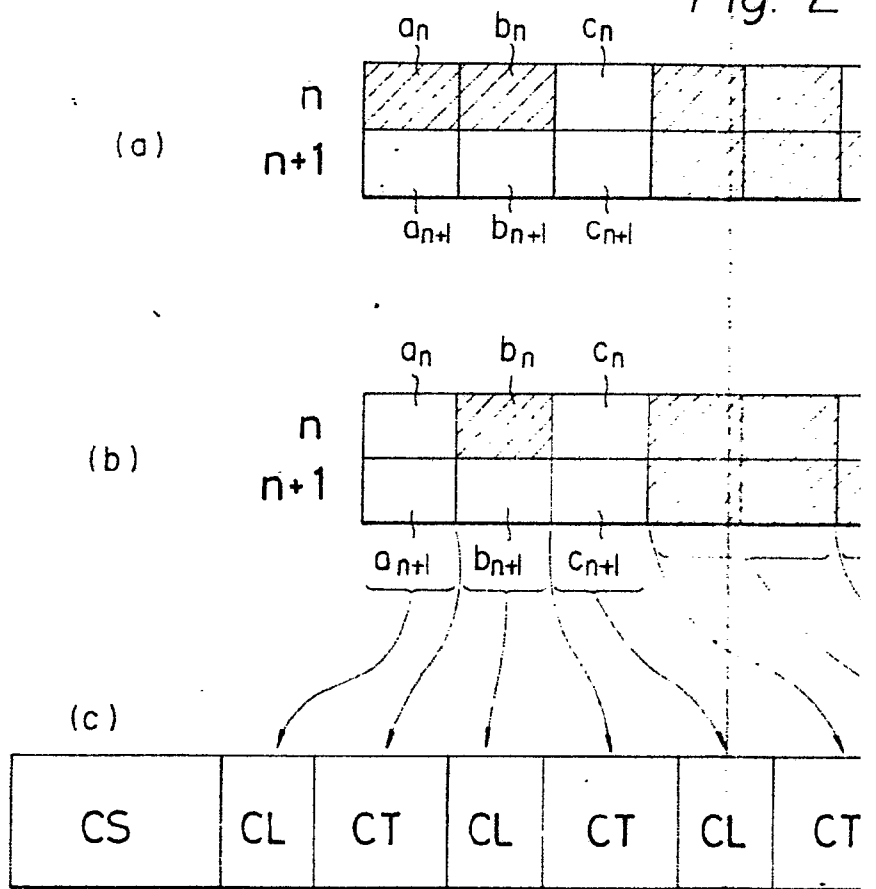
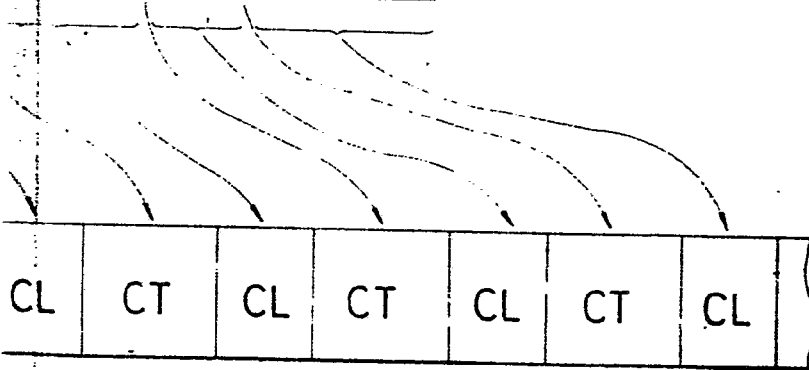
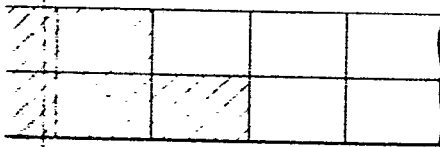
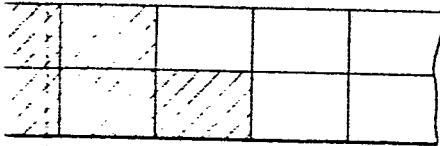


Fig. 2

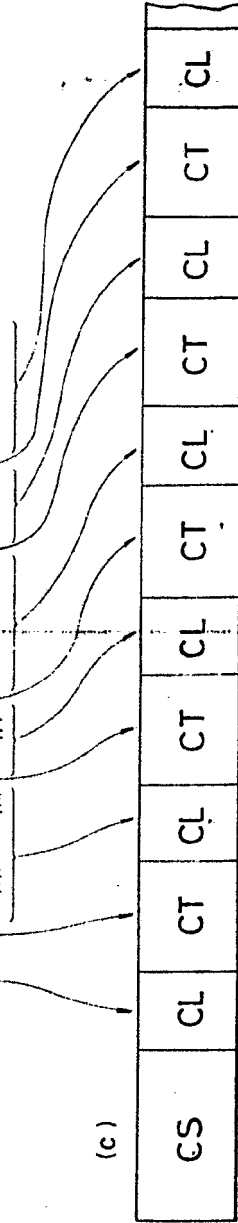
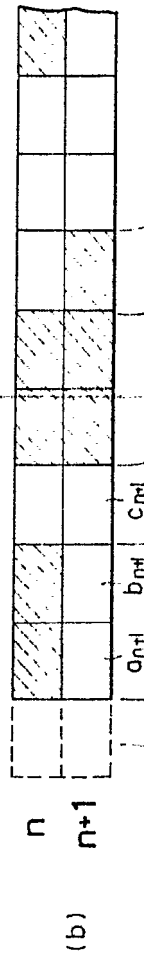
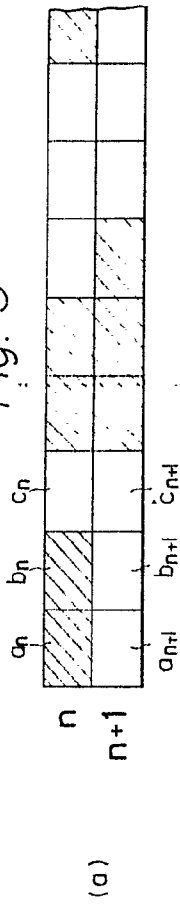


**ESCALA
VARIABLE**

Madrid

J. GOMEZ ACEBO Y MUÑOZ
P. P. Firmador: L. Goza Fernández

Fig. 3



POOR QUALITY

ESCALA VARIABLE

Madrid 3 MAR. 1976

J. GOMEZ ACEBO Y ENDEJ
P. P. Firmados L. Gadeir Fernández

Fig. 3

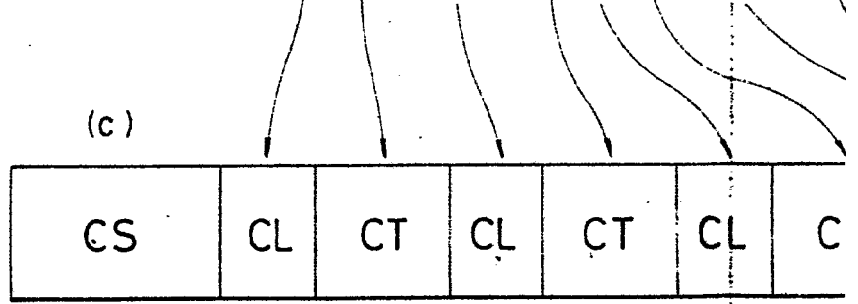
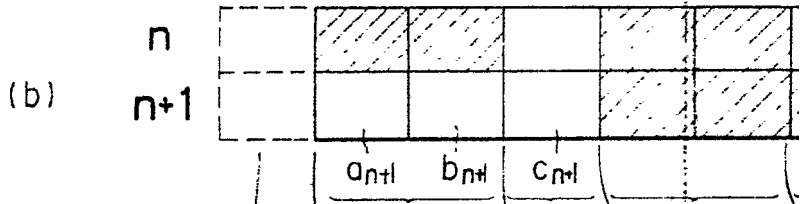
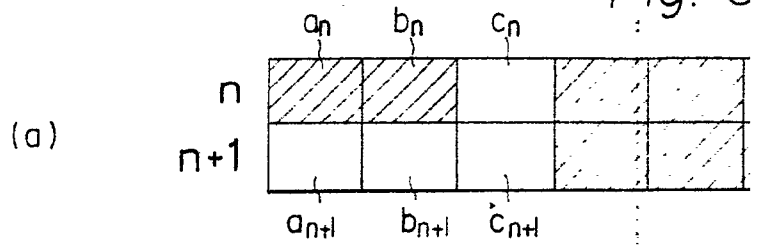
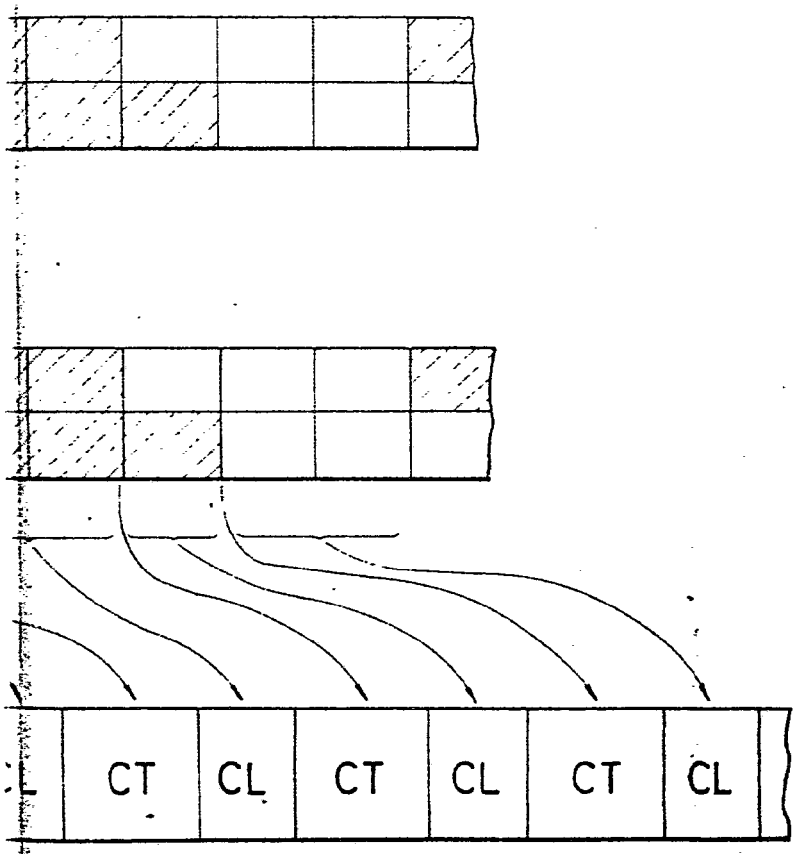


Fig. 3

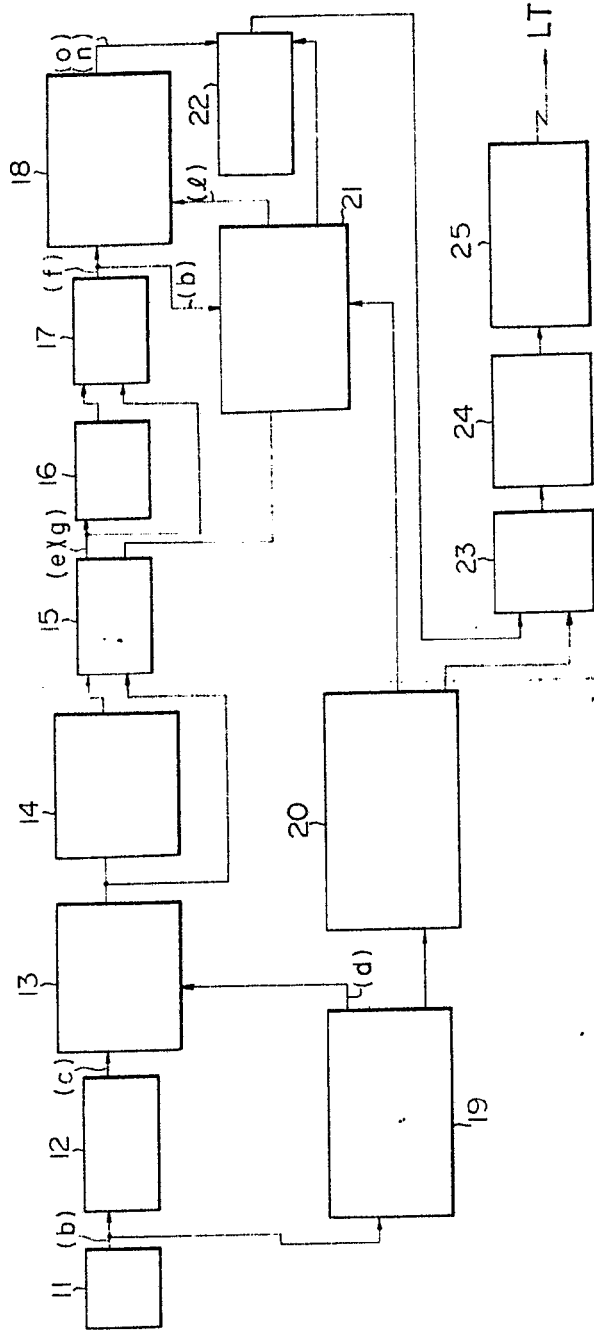


**ESCALA
VARIABLE**

Madrid 8 MAR. 1976

L. GOMEZ ACEBO Y MODEJ
P. Firmador L. Gaste Fernández

Fig. 4



ESCALA VARIABLE

Madrid - 8 MAR. 1976

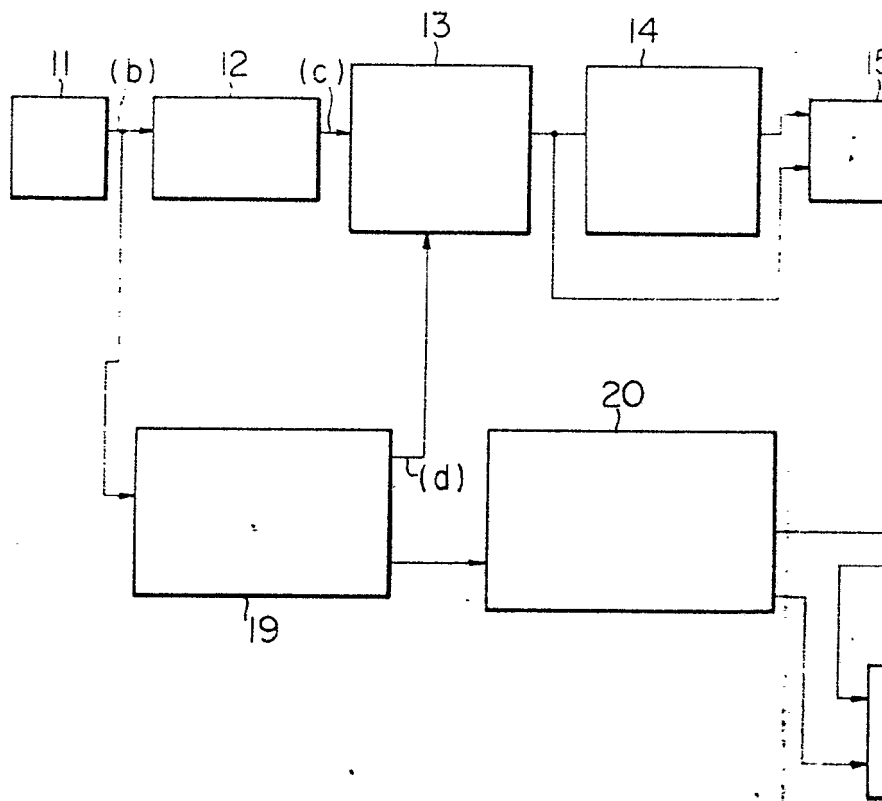
J. GOMEZ ASESOR Y COLABORADOR

Dr. P. Filmedor L. Gago Ferrández

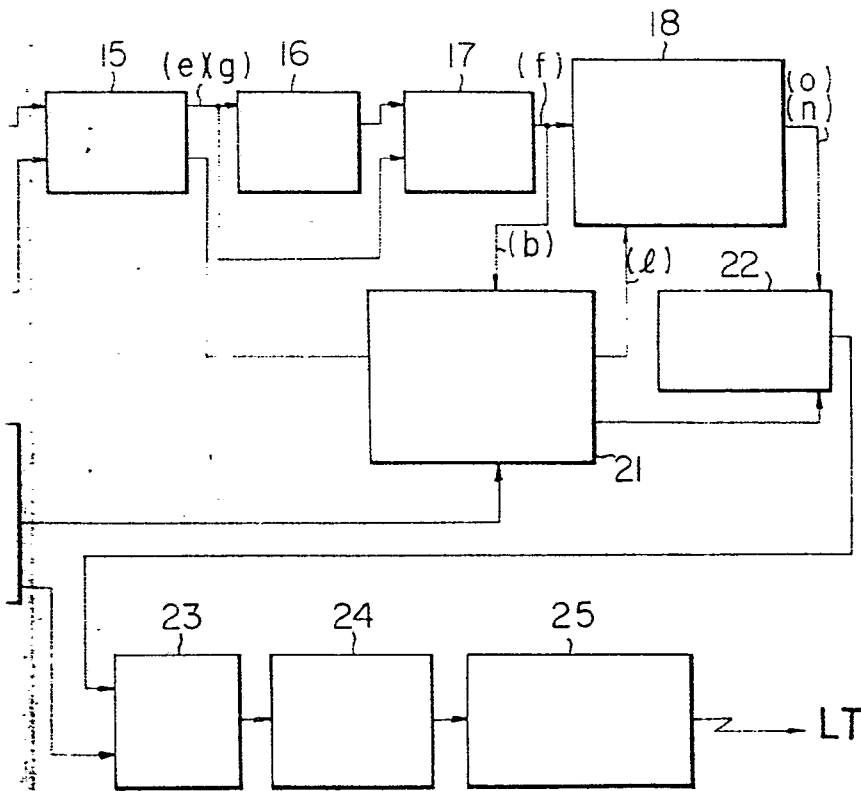
[Handwritten signature]

POOR QUALITY

Fig. 4



4

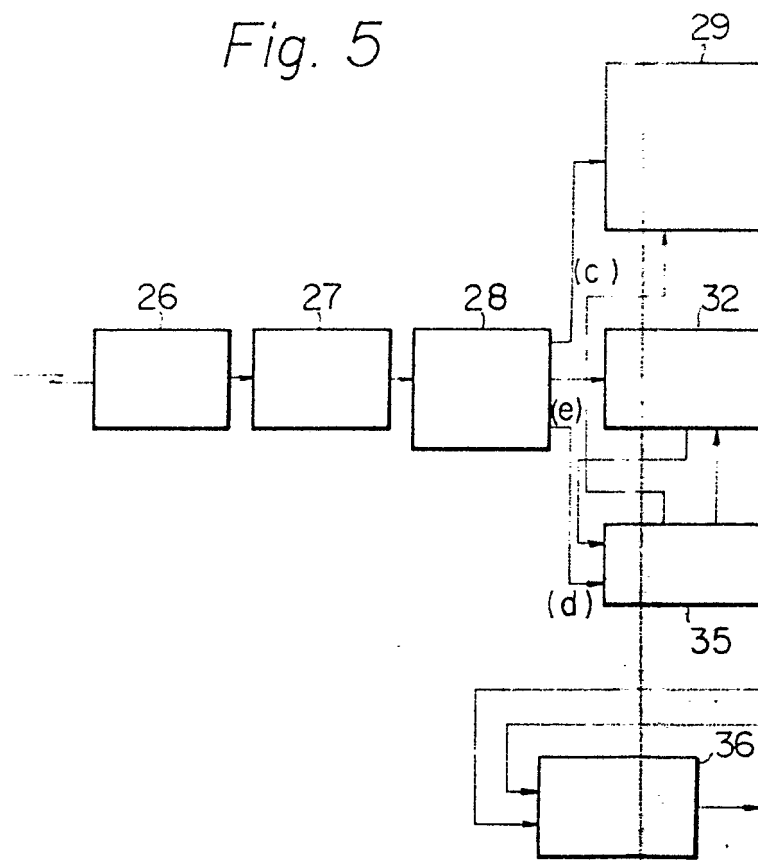


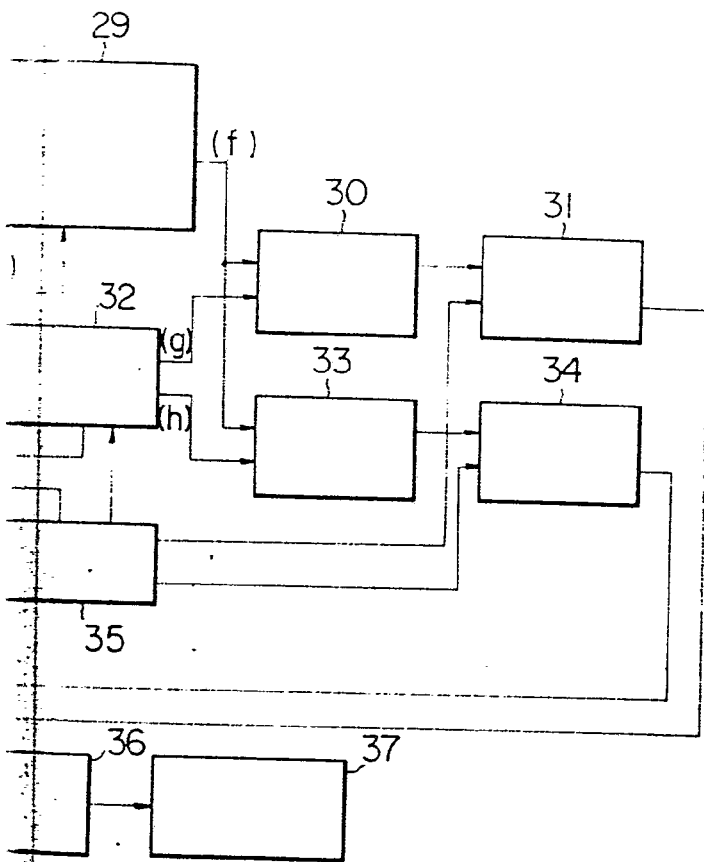
ESCALA VARIABLE

Madrid - 8 MAR. 1976

I. GOMEZ ACEBO Y ROQUE
p. p. Firmador L. Gaeja Fernández

Fig. 5





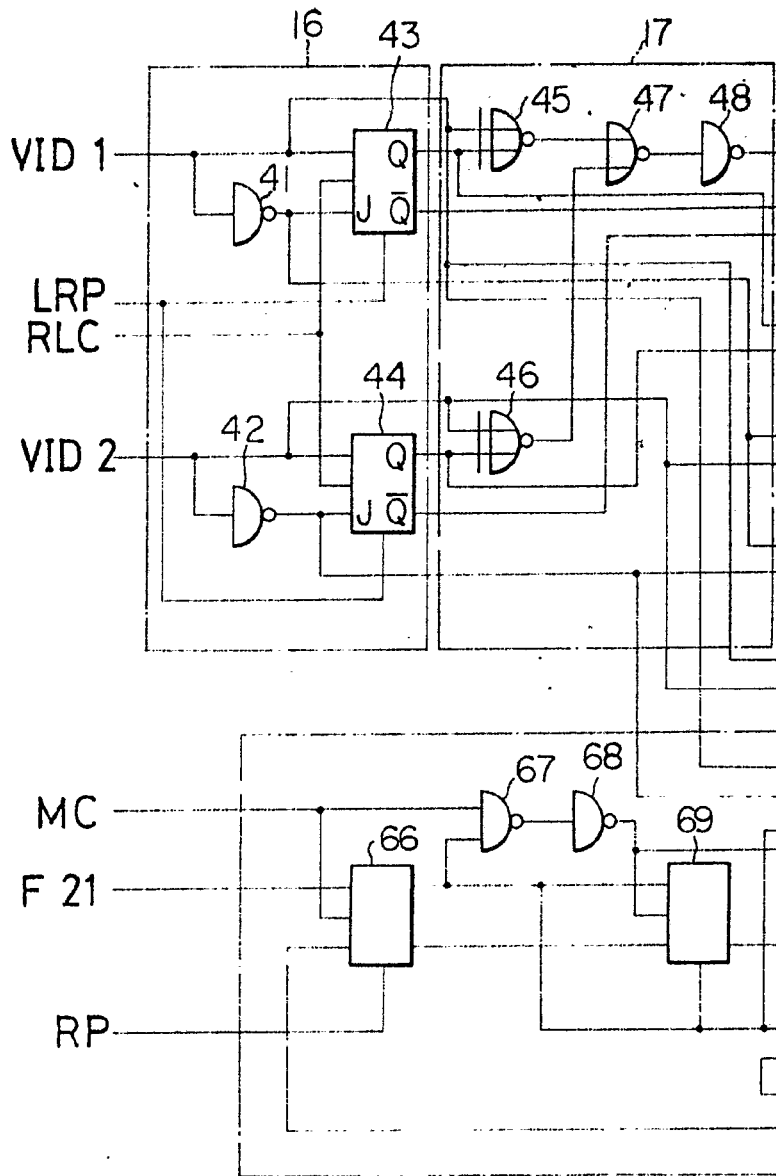
**ESCALA
VARIABLE**
- 8 MAR. 1976 -

Madrid

I. GOMEZ ACEBO Y MODESTO

P. P. Firmador L. Gaeta Ferrández

Fig. 6a

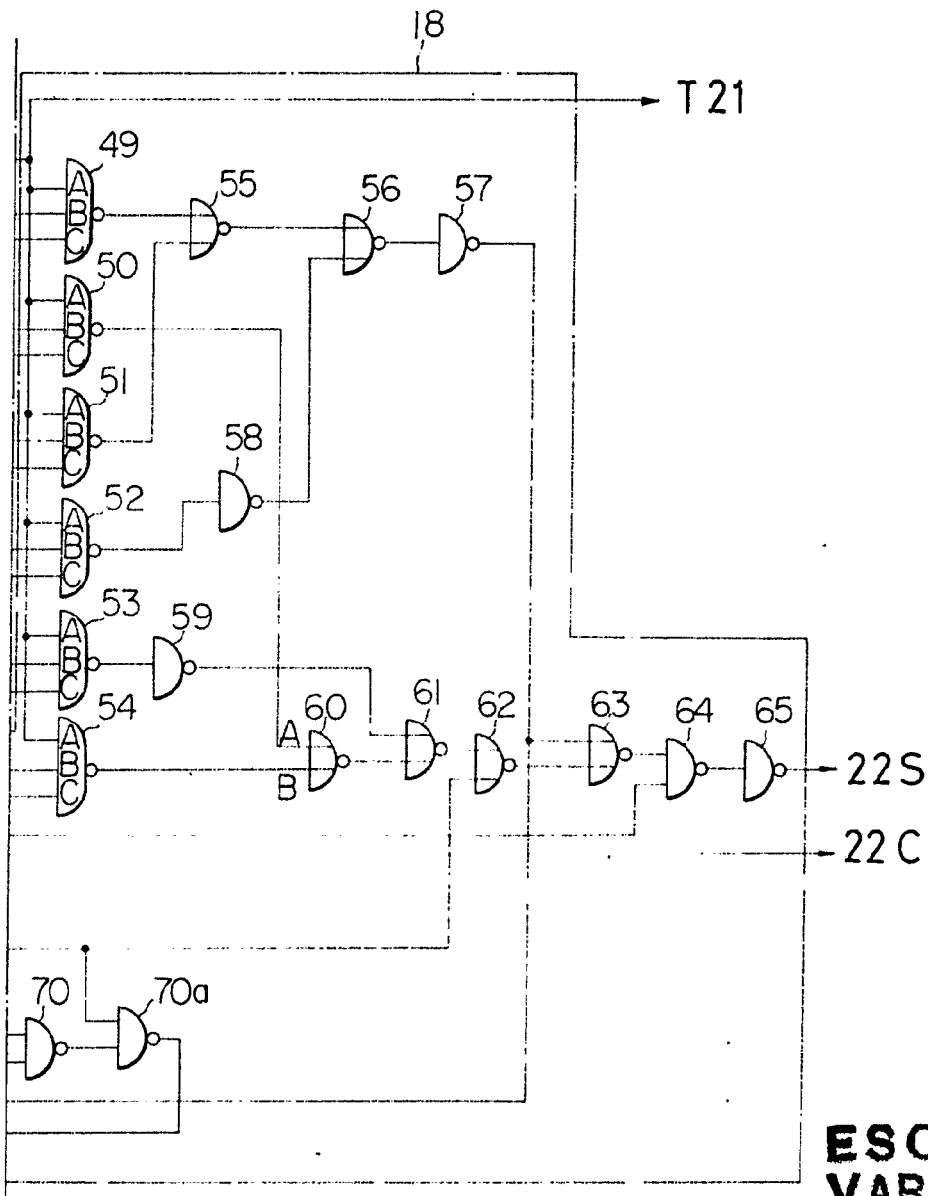


**ESCALA
VARIABLE**
8 MAR. 1976

WZC/OKA

I. GOMEZ ACEBU Y MODELI
P. P. Firmador: L. Gasta Fernández

Fig. 6b

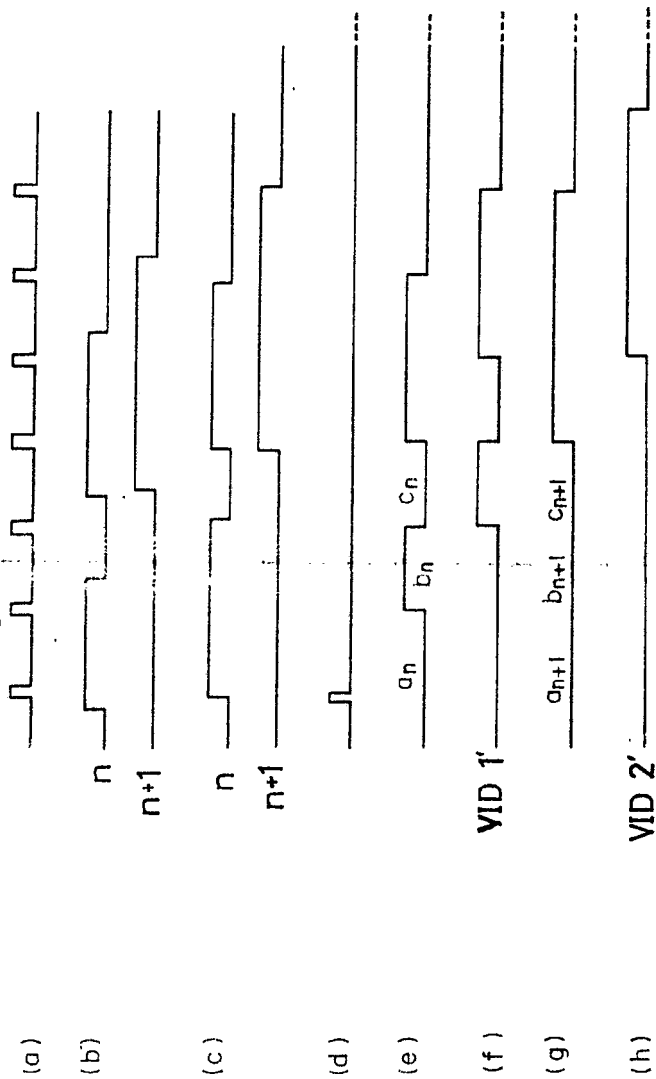


**ESCALA
VARIABLE**

Madrid - 8 MAR. 1976

J. GOMEZ ACEBO Y MODEY
p. p. Firmador L. Gósta Fernández

Fig. 7a



ESCALA VARIABLE
-8 MAR. 1976

INSTITUTO
L. GOMEZ ACEVEDO Y RODRIGUEZ
P. R. Filadelfia, L. G. de F. Fernández

[Handwritten signature]

POOR QUALITY

Fig. 7a

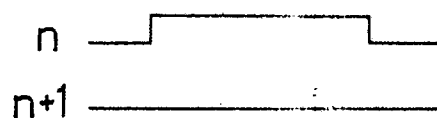
(a)



(b)



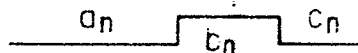
(c)



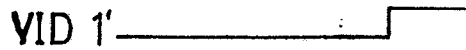
(d)



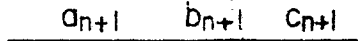
(e)



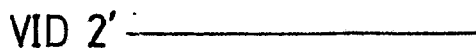
(f)

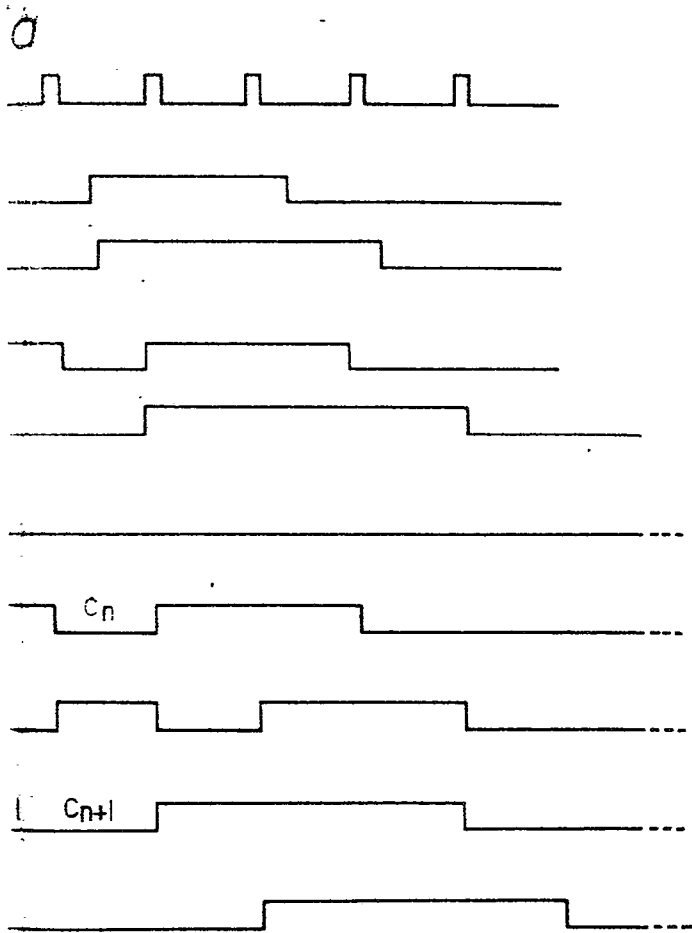


(g)



(h)





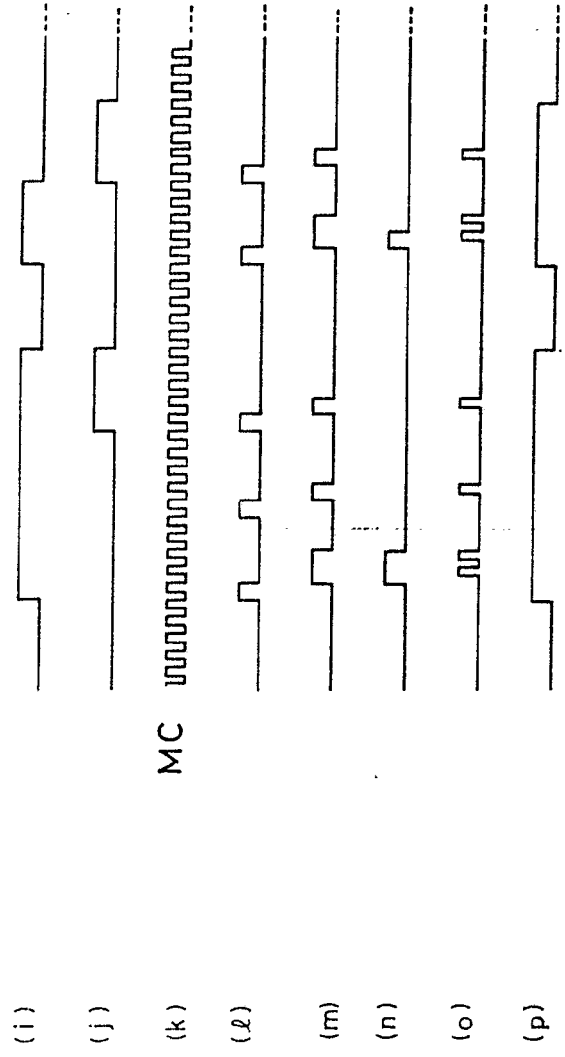
**ESCALA
VARIABLE**

- 8 MAR. 1976

Madrid

J. GOMEZ ACEBO Y MOULI
p. p. Firmador: L. Gaite Fernández

Fig. 7b



POOR QUALITY

ESCALA VARIABLE

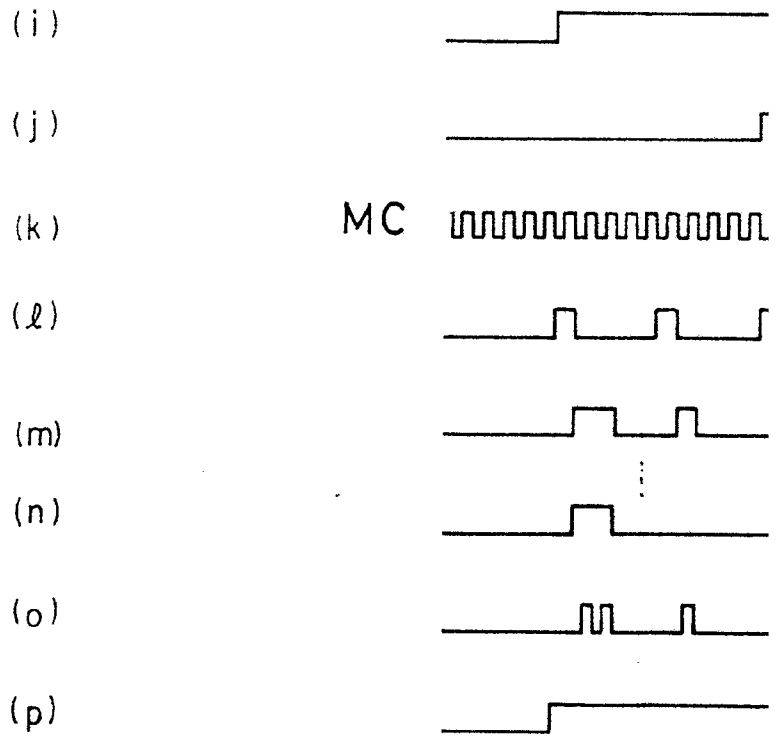
8 MAR. 1976

L. GOMEZ ACEBO Y MUÑOZ

Avda. Pinar del L. Oeste, Escalante

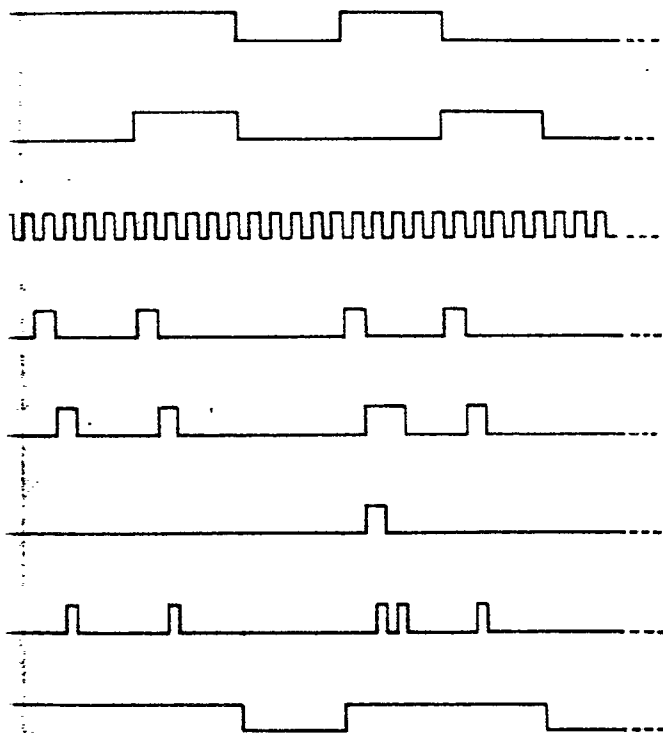
[Handwritten signature]

Fig 7b



POOR
QUALITY

7b

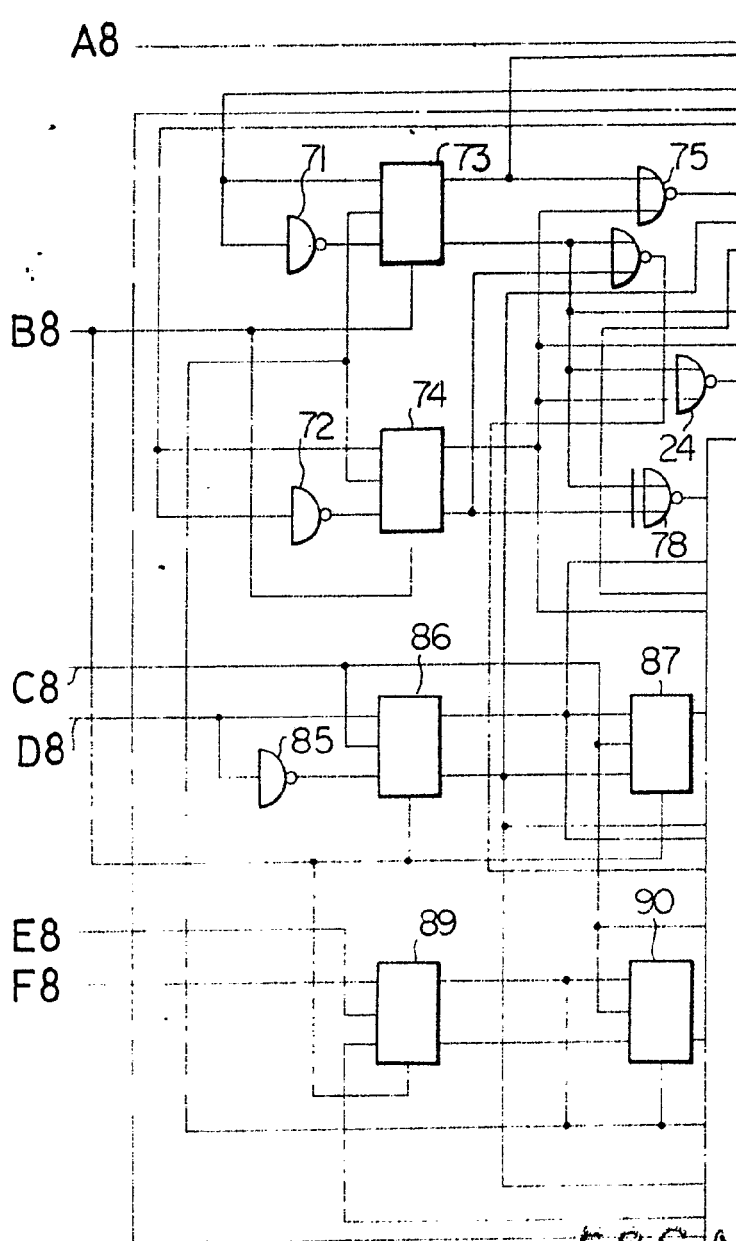


**ESCALA
VARIABLE**

Madrid - 8 MAR. 1976

L. GOMEZ ACEBU Y MODEI
Ingenieros. Firmador: L. Gomez Fernández

Fig. 8a



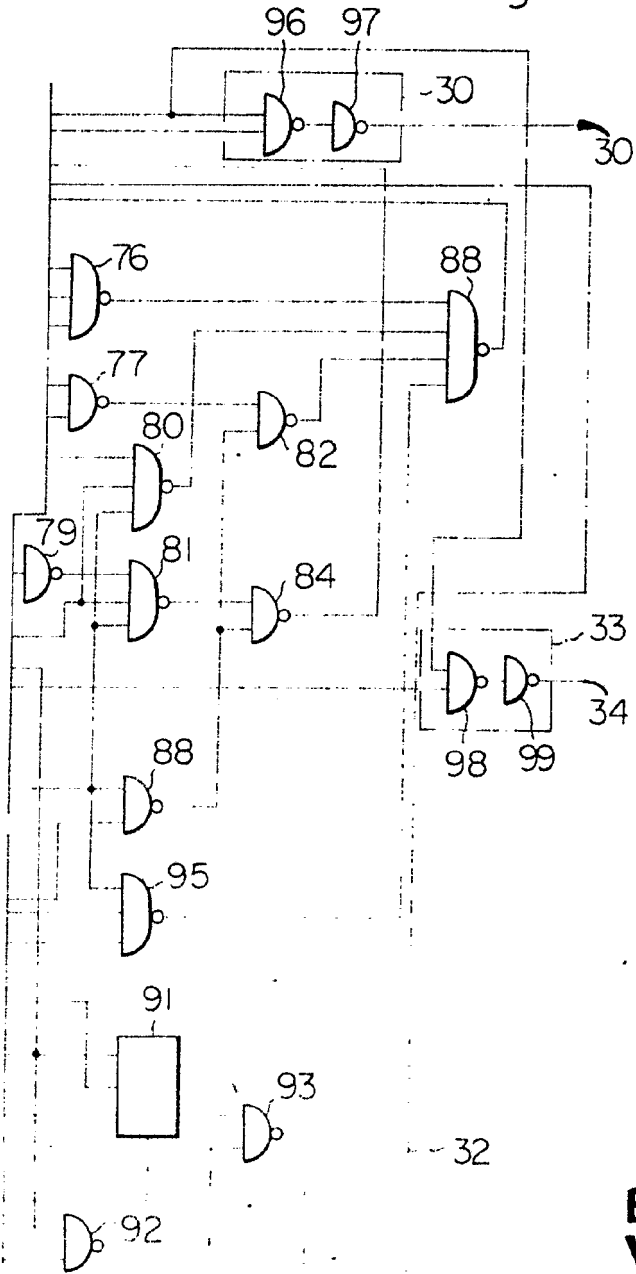
ESCALA VARIABLE

8 MAR. 1976

Madrid

L. GOMEZ ACEBO Y CAÑAS
p. p. Firmado: L. GOMEZ ACEBO

Fig. 8 b

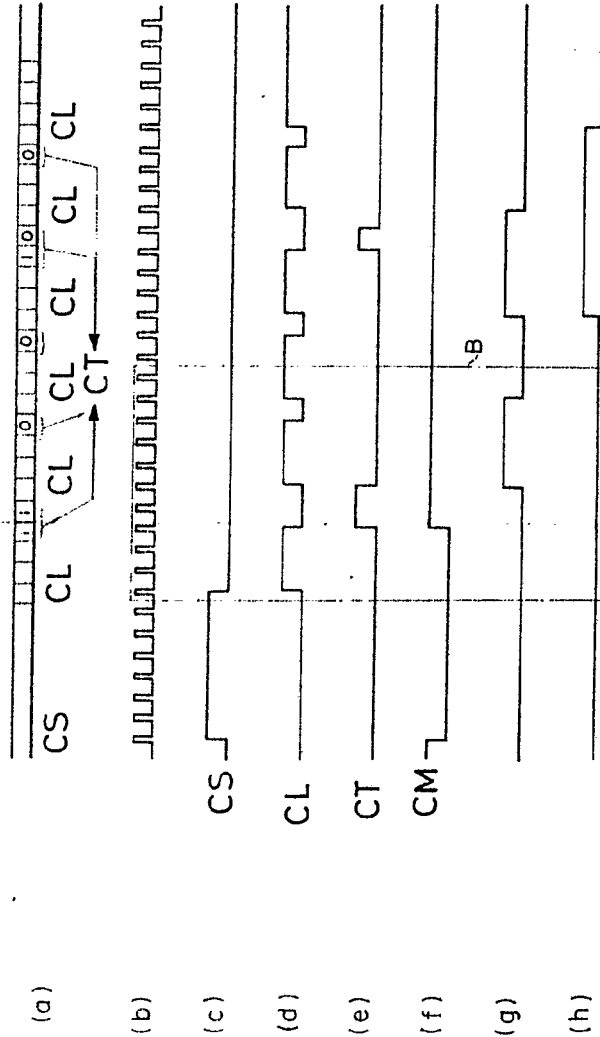


**ESCALA
VARIABLE**

Madrid - 8 MAR. 1976

L. GOMEZ ACEBO Y CAÑADA
Firmador: L. Gomez Acebo y Cañada

Fig. 9a

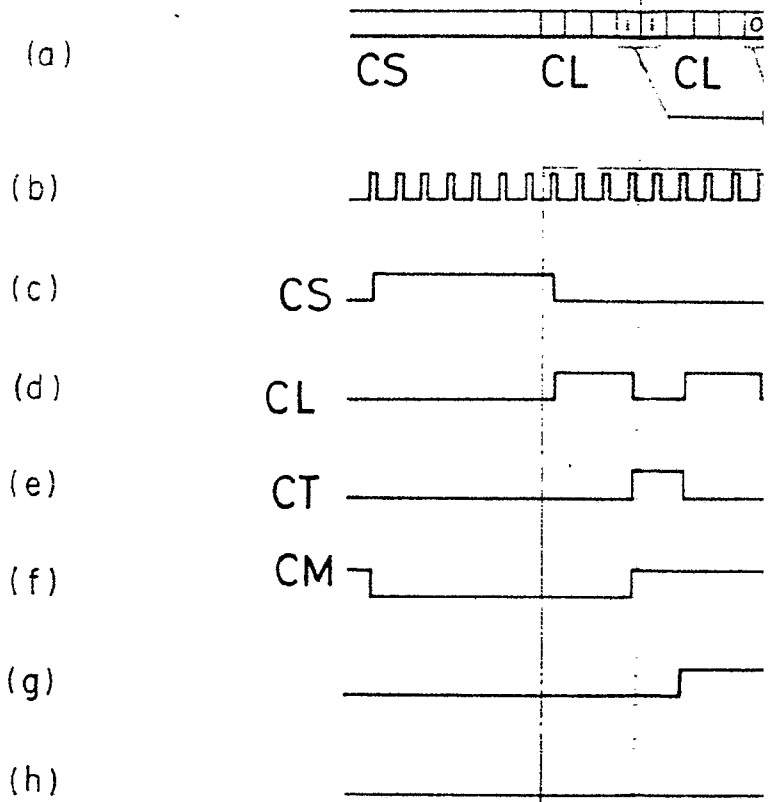


ESCALA
VARIABLE
8 MAR. 1976

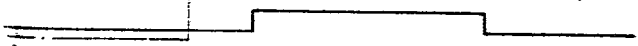
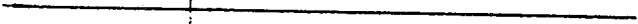
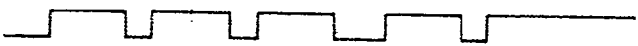
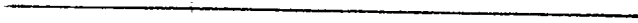
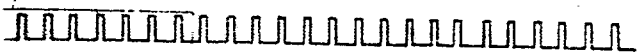
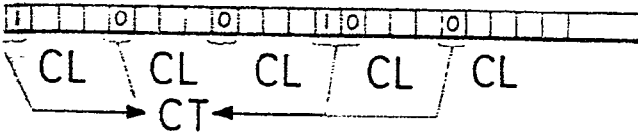
MAGNIFICACION
L. GOMEZ AGUIRRE Y ASOCIADOS
Dr. Filmedor L. Ovello Ferrerols

POOR
QUALITY

Fig. 9a



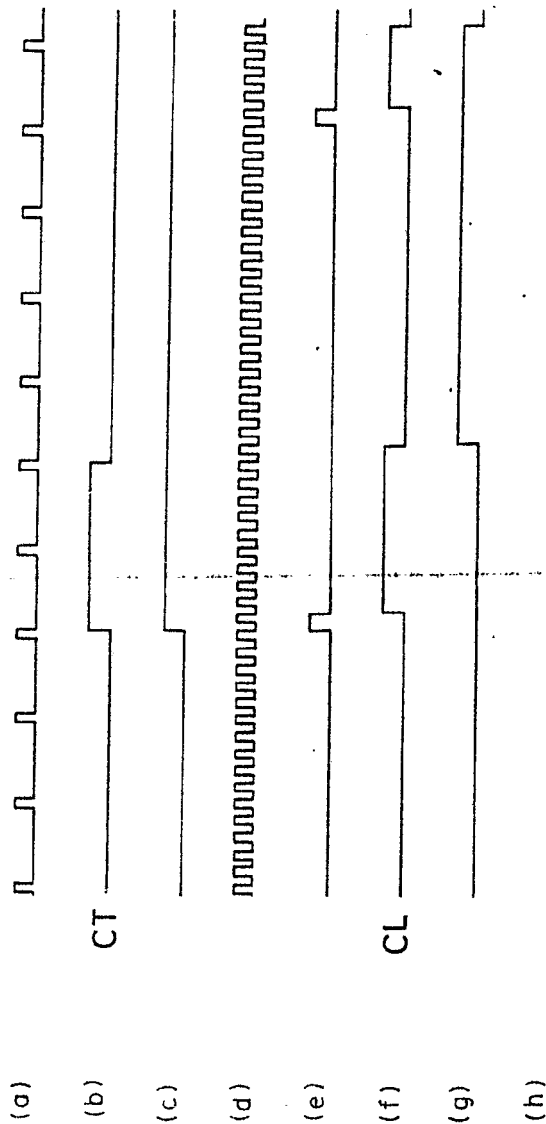
9a



**ESCALA
VARIABLE**
8 MAR. 1976

Mérida
I. GÓMEZ ACEBU Y ASOCIADOS
P. P. Firmado: L. Gaita Fernández

Fig. 9b



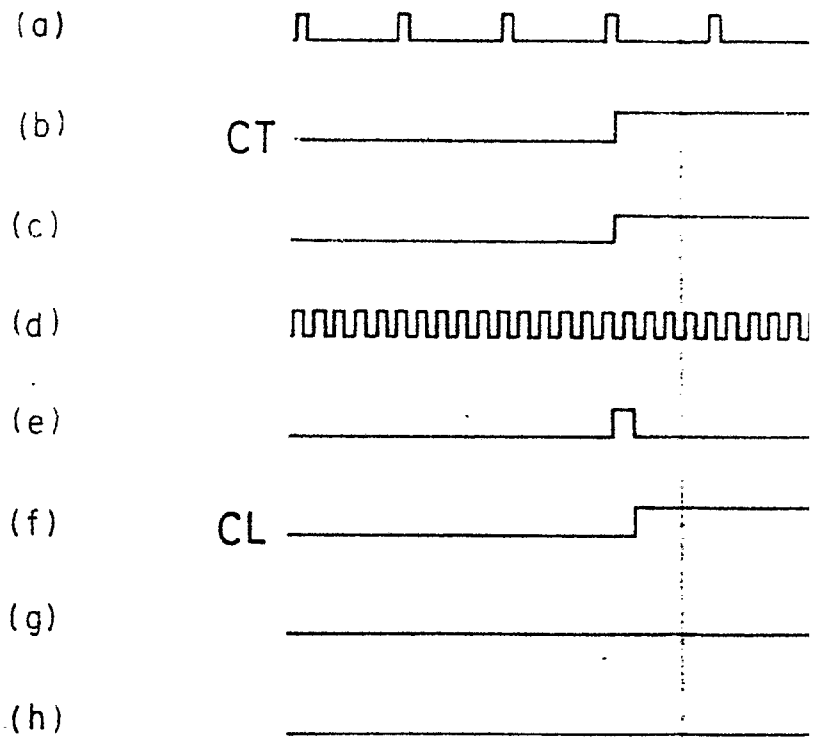
ESCALA
VARIABLE

Madrid 8 MAR. 1976

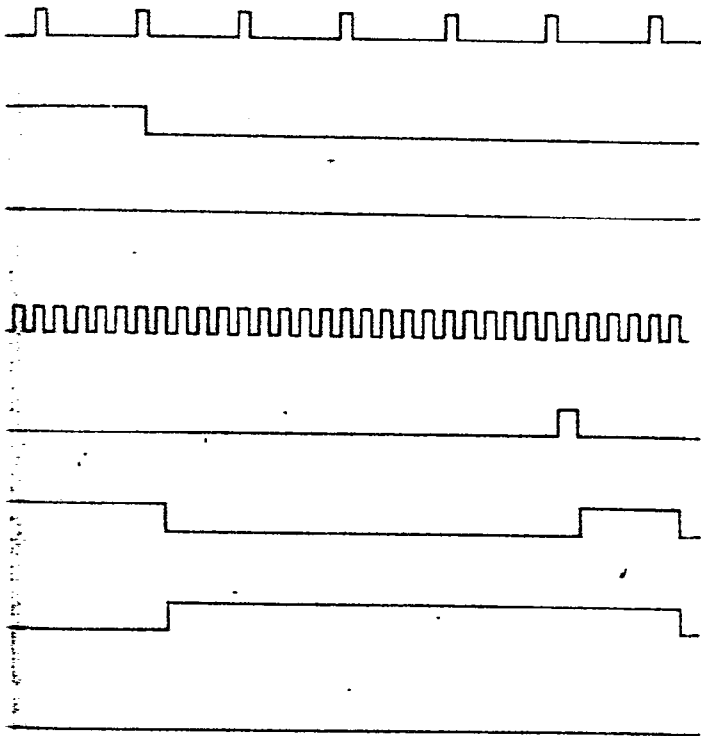
L. GOMEZ ACEBO Y ROBEI
P. P. Pineda L. G. G. G. G.

POOR
QUALITY

Fig. 9k



ig. 9b

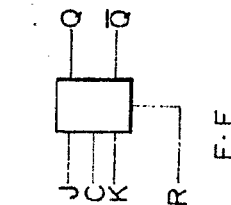
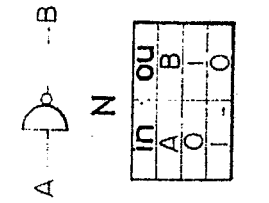
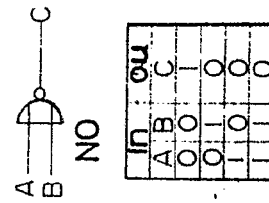
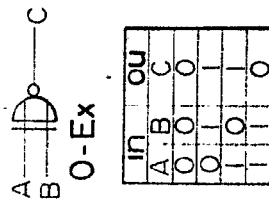


**ESCALA
VARIABLE**

Madrid 8 MAR. 1976

L. GOMEZ ACEBO Y MODEJ
p. p. Firmador L. Gómez Acebo y Modéj

Fig. 10



TR	IN	SS	RS	SS	RS	CLK	ou	ou
ST	J	K	R	C	R		Q	Q
(1)	0	0	0	0	0	0	0	0
(2)	0	0	0	1	0	0	0	0
(3)	0	0	1	0	0	0	0	0
(4)	0	0	1	1	0	0	0	0
(5)	0	1	0	0	0	0	0	0
(6)	0	1	0	1	0	0	0	0
(7)	1	0	0	0	0	0	0	0

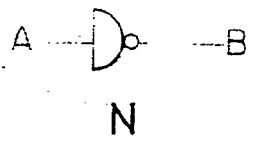
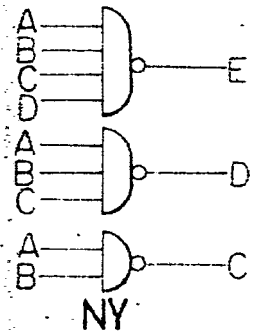
ESCALA VARIABLE

Madrid 28 MAR 1976

L. GOMEZ ACEBO Y CORDERO
 S. de Filiales L. Gomez Acebo y Cordero

[Handwritten signature]

POOR QUALITY



in			ou
A	B	C	
0	0	1	
0	1	1	
1	0	1	
1	1	0	

in		ou
A	B	
0	1	
1	0	

5	CLK		ou	
	SS	RS	ou	ou
	C	R	Q	\bar{Q}
	0	0	0	1
	1	1	0	1
	1	1	1	0
	1	1	1	0
	1	1	0	1
	1	1	0	1
	1	1	1	0

ESCALA VARIABLE

Madrid 8 MAR 1976

L. GOMEZ ACEBO Y MORA
D. p. Firmador: L. Gómez Acebo y Mora