

MINISTERIO DE INDUSTRIA  
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

(10) ES	(11) NÚMERO 443.696	(14) AI
(21)	(22) FECHA DE PRESENTACION 19-12-75	

PATENTE DE INVENCION

(30) REFERENCIAS (31) NÚMERO 534.765	(32) FECHA 20-12-74	(33) PAIS EE.UU. de A.
--	------------------------	---------------------------

(47) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL G06F	(62) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	--	--

(64) TITULO DE LA INVENCION PERFECCIONAMIENTOS EN MULTIPLICADORES SERIALES DIGITALES
---

(7) SOLICITANTE (S) WESTERN ELECTRIC COMPANY, INCORPORATED, entidad norteamericana
---

DOMICILIO DEL SOLICITANTE 195 Broadway, New York 10007, EE.UU. de A.
---

(2) INVENTOR (ES) RICHARD FRANCIS LYON
---

(25) FIGURAS (ES)
-------------------

(24) REPRESENTANTE D. JAIME GOMEZ-ACEBO Y MODET
--

PATENTE DE INVENCION

LYON R.F.1.-(RBA) -Spain

## *Memoria Descriptiva*

*sobre:*

PERFECCIONAMIENTOS EN MULTIPLICADORES SERIALES DIGITALES.

-----

*Solicitante:* WESTERN ELECTRIC COMPANY, INCORPORATED, entidad norteamericana, residente en 195 Broadway, New York 10007, Estados Unidos de América.

-----

Este invento se refiere a multiplicadores seriales digitales para generar el producto correcto de complemento a 2 de una palabra de dato de complemento a 2 y una palabra binaria de signo y coeficiente de magnitud que comprende un registrador de corriente para almacenar los bitios de la palabra de datos, medios para

alimentar, en secuencia, los bitios de la palabra del dato al registrador de corrimiento, el bitio menos expresivo primero, y medios para combinar y sumar los bitios de la palabra del dato y los bitios de la palabra del coeficiente para formar productos parciales.

Existen muchas aplicaciones en el proceso de datos que exigen la formación de una señal de producto. Las artes del proceso de datos están repletas de circuitos de multiplicación y métodos que son particularmente adaptables al uso en varios de estos contextos. Así, por ejemplo, hay circuitos multiplicadores que están perpendicularmente bien adaptados para realizar la multiplicación de señales de datos a partir de cada una de 2 corrientes de datos en serie, en otras aplicaciones, es necesario formar el producto de las señales uno de los cuales se presenta en una corriente de datos en serie y el otro se presenta en paralelo. Dichos circuitos, conocidos como multiplicadores de canalización se emplean en la filtración digital, según se describe, por ejemplo, en "An Approach to the Implementation of Digital Filters", (Un enfoque para la Puesta en Práctica de filtros Digitales) de Jackson et al, IEEE Transactions On Audio and Electroacoustics, (Transacciones de IEEE Sobre Audio y Electroacústica) Volúmen AU-16, número 3, Septiembre 1.968.

En general, se ha averiguado que es conveniente, en sistemas que comprenden sumadores seriales, representar los operandos aplicados a tales sistemas en una forma de complemento a 2. Vease, por ejemplo, "Digital Computer Design Fundamentals" (Fundamentos para el Diseño de Ordenadores Digitales) de Y. Chun, McGraw Hill, 196, página 10 y siguientes. No obstante, las propiedades de los números de complementos a 2 son tales que los multiplicadores seriales de la tecnología anterior no pueden elaborar

convenientemente operandos en dicha forma. Los sistemas, entonces que comprenden sumadores seriales y multiplicadores seriales por ejemplo filtros digitales, han tenido que ser necesariamente más complejos para permitir la multiplicación de operandos en la forma de complemento a 2. También tiene importancia que los multiplicadores seriales del tipo en consideración sean virtualmente modulares para permitir su construcción empleando técnicas económicas de fabricación por partidas. Los multiplicadores de la tecnología anterior para la elaboración de datos con complemento a 2 exigen normalmente modificaciones importantes que perjudican su modularidad y, por lo tanto, la economía de su fabricación.

Según el invento, un multiplicador serial digital del tipo que forma productos parciales comprenden circuitería puerta para suprimir periódicamente el bitio de los productos parciales que tiene la menor expresión y una combinación de elementos lógicos para insertar en el producto parcial un bitio que es un duplicado del bitio más expresivo.

En el dibujo : de la figura 1 ilustra un multiplicador de canalización de la tecnología anterior para multiplicar datos de signo y magnitud y palabras de coeficiente.

Las figuras 2A y 2B ilustran las operaciones aritméticas comprendidas en la formación de términos de productos parcial y final en la multiplicación de una palabra de dato negativa por una palabra de coeficiente positivo y una palabra de dato negativo por una palabra de coeficiente negativo, respectivamente.

La figura 3 ilustra un multiplicador según los principios del invento para formar los productos finales correctos de la multiplicaciones ilustradas en las figuras 2A y 2B; y

La figura 4 ilustra un diagrama de temporización para el circuito ilustrativo de la figura 3.

Es una característica bien conocida de la forma de complemento a 2 de representar números que la formación de productos que comprenden operandos negativos produce resultados incorrectos. Para ilustrar este hecho, y para comprender mejor la función del presente invento, consideremos el problema siguiente que comprende la multiplicación de una palabra de dato de complemento a 2 negativo,  $-8_{10}$ , por una palabra de coeficiente de magnitud y signo positivo,  $(+ 1\frac{7}{8})_{10}$ .

Como es lógico, el resultado es incorrecto. No obstante, el producto correcto puede obtener "prolongando" el bitio del signo del dato para comprender un número de dígitos igual al número de dígitos en el multiplicador. Para que sirva de ilustración, consideremos el ejemplo anterior vuelto a escribir con el bitio del signo del dato prolongado.

Las partes de los términos de producto parcial a la izquierda de la "escalera" (conocida colectivamente como formación de prolongación del signo) son aquellas con las que contribuye la prolongación del signo. En cada caso, los excesos más allá del bitio del signo del producto sin corregir no se tienen en cuenta. Es precisamente la inclusión de estos factores de corrección los que da lugar al producto correcto final.

Consideremos ahora la figura 1, que ilustra un multiplicador de canalización modular de n etapas de la tecnología anterior para generar el producto de una palabra de dato de signo y magnitud y una palabra de signo y coeficiente de magnitud. Los multiplicadores como el de la figura 1, son bien conocidos y se describen, por ejemplo, en el artículo citado de Jakson et al. Según el circuito de la figura 1, la palabra del dato se alimenta, primero LSB, al registrador de corrimiento 100 por medio del conductor de entrada 101. Simultáneamente, la palabra de coefi-

ciente  $Y_1, Y_2 \dots Y_n$ , donde  $Y_1$  es el LSB, se alimentan a las puer-  
tas Y 102 -i,  $i = 1, 2 \dots n$ . Según corren los bitios del dato por  
el registrador de corrimiento, cada sección del multiplicador ge-  
nera un término del producto parcial por conjunción de un bitio  
5 de la palabra del dato con el bitio de la palabra de coeficiente  
asociado con dicha sección y sumando el resultado a la acumula-  
ción de productos parciales procedentes de etapas anteriores. La  
sumadoras 103-i suman los productos parciales generados en la -  
sección apropiada a la suma acumulada procedente de etapas ante-  
10 riores. Los basculadores de exceso 104-i almacenan los términos  
de exceso generados durante las adiciones realizadas por las su-  
madoras 103-i.

El multiplicador de la figura 1, comprenden también puer-  
tas Y 105-i para operar ciclicamente a 0 términos de producto -  
15 parcial del orden inferior para mantener el número de términos  
en el producto final igual al número de términos en la palabra  
de dato. Por lo tanto, las señales  $r_i$  se alimentan a las puertas  
Y 105-i simultáneamente con los términos del producto parcial -  
del orden inferior que se han de truncar. Los basculadores de re-  
20 tardo (ó registradores de corrimiento de un bitio) 106-i propor-  
cionan retardos apropiados necesarios para un funcionamiento --  
apropiados de circuito.

El circuito de la tecnología anterior de la figura 1, se  
25 dispone para formar el producto de dos números binarios positi-  
vos sin signo, solamente. El circuito del presente invento, se-  
gún se ha puesto de relieve, forma el producto de una palabra de  
dato de complemento a 2 (positivo o negativo) y una palabra de  
signo y coeficiente de magnitud.

Se considera que los detalles de operación de la modali-  
30 dad preferible del presente invento se comprenderán mejor por -

medio de una ilustración. Consideremos entonces la figura 2, que ilustra la formación de productos parciales y finales en la multiplicación de una palabra de dato negativo,  $(-7)_{10}$ , por una palabra de coeficiente positivo,  $(1\frac{3}{8})_{10}$ , según los preceptos del presente invento. La figura 2B ilustra la formación del producto de la palabra de dato negativo -7, por la palabra de coeficiente negativo,  $-1\frac{3}{8}$ , y se explicará con más detalle más adelante. Observe que la extensión del bitio de signo de la palabra del dato solamente por una posición de bitio simple varía con relación a la práctica descrita anteriormente relativa a la formación de productos correctos por extensión del bitio del signo a través de un número de posiciones igual al número de dígitos en la palabra de coeficiente. Según resultará más claro por la explicación que sigue, el bitio simple de la extensión del signo es suficiente en combinación con el circuito del presente invento para la obtención del producto correcto de la multiplicación ilustrada en las figuras 2A y 2B. El bitio simple de extensión del signo es el bitio indicado "SE" en las figuras 2A y 2B. Los bitios indicados "SB" y "MSB" son el bitio del signo y el bitio más expresivo de la palabra del dato, respectivamente. Además, los tres bitios de orden inferior en las filas del producto parcial, representados con una línea diagonal que los atraviesa, son bitios truncados. Como en el circuito de la figura 1, la truncación es necesaria para asegurar que la palabra del producto tenga el mismo número máximo de dígitos que la palabra de dato de entrada. Además, tres bitios de producto parcial que se derivan de bitios de extensión de signo y que están rodeados por un círculo en las figuras 2A y 2B, se han incluido en las filas del producto parcial. La significación de estos bitios se explicarán con más detalle más adelante, así como de las letras rodeadas por un círculo en la derecha de las figuras 2A y 2B.

La figura 3 ilustra un multiplicador de acuerdo con el presente invento para formar el producto final truncado correcto de la multiplicación ilustrado en la figura 2A. La figura 4 es un diagrama de temporización para el circuito de la figura 3.

5

Con relación a la figura 3, la palabra de dato, primero el bitio menosexpresivo (LSB) se alimenta al conductor de entrada 300 y corre por el registrador de corrimiento 301. La palabra de coeficiente se alimenta, primero el LSB, al conductor de entrada 302. Cada uno de los bitios de la palabra de coeficiente debe almacenarse, no obstante, en una etapa del multiplicador para que esté disponible para generar los términos del producto parcial requerido que comprenden bitios de datos ulteriores. En particular, el LSB de la palabra del coeficiente debe almacenarse en la etapa de entrada (superior en la figura 3) y el MSB de la palabra de coeficiente en la última etapa del multiplicador. El circuito de la figura 3, realiza la tarea de almacenamiento del bitio de coeficiente por operación cíclica del bitio del coeficiente apropiado en un basculador en la etapa con la que se asocia el bitio. Por ejemplo, el LSB de la palabra de coeficiente aparece en la salida del basculador 303 al mismo tiempo que un 0 lógico, la señal de truncación, se alimenta al basculador 304. Por consiguiente, el LSB se alimenta cíclicamente, por medio de la puerta Y 305, con un 1 lógico desde el inversor 306. La salida de la puerta Y 305 se alimenta, por la puerta D 307, al basculador 308. Durante el intervalo subsiguiente, se alimenta un 1 al basculador 304. Este 1 activa la puerta Y 309 de forma que el contenido del basculador 308 se realimente con la frecuencia que sea necesaria. Otros bitios de coeficiente se almacenan de una manera similar cuando la onda  $r_i$  adopta el estado 0 en la posición  $i$ .

10

15

20

25

30

Las designaciones de letras en las ondas ilustradas en la figura 4 corresponden a las designaciones de letras en varios puntos en el circuito de la figura 3. Los niveles altos en las figuras 4 indican un 1 lógico y los niveles bajos un 0 lógico.

5 Así, la onda A en la figura 4 se alimenta al conducto de entrada 300 en la figura 3. La onda A que comienza en  $t_5$  a  $t_6$  es aquella correspondiente a la secuencia del dato de la figura 2A, o sea 100111. Según se indica en la figura 4, el tiempo prosigue de izquierda a derecha. Observese también, que la secuencia alimentada en el punto A de la figura 3 es la secuencia del dato con un solo bitio de extensión de signo. La extensión de signo se realiza de una forma directa antes de la alimentación de la palabra del dato al circuito multiplicador. La manera particular en que el bitio del signo de la palabra del dato se extiende en un bitio antes de alimentarse al multiplicador se considera un asunto de elección de diseño perfectamente dentro de los conocimientos de los entendidos. La estructura específica para extender el bitio del signo antes de la multiplicación no forma por lo tanto parte del presente invento según se reivindica.

10  
15  
20 La secuencia del dato que aparece en el punto B (así como B' y B'') en la figura 3, es la secuencia alimentada en el punto A retardado dos intervalos de cronometración de dato de entrada por las dos primeras etapas del registrador 301. Observese que durante el intervalo de tiempo  $t_2$ , la señal en B'' y la señal  $r_1$  son elaboradas por conjunción por la puerta Y 311. La elaboración por conjunción de  $r_1$  y el LSB de la secuencia del dato da por resultado la truncación del término del producto parcial del orden inferior en la multiplicación ilustrada en la figura 2A. La onda en C del instante  $t_3$  al instante  $t_8$  representa los dígitos de la fial del producto parcial (indicada también -

25  
30

por la referencia C) en la figura 4. Estos dígitos se forman poniendo en conjunción el LSB (almacenado) de la palabra del coeficiente y los dígitos de palabra de datos sucesivos y sumando con cualquier bitio de exceso en la sumadora 390. Los bitios de exceso se almacenan temporalmente en el basculador 391 para alimentarse a la sumadora 390. La salida de la sumadora 390 pasa normalmente por la puerta Y 311, la puerta O 392 y el basculador de retardo 314 al punto C. No obstante, durante el intervalo  $t_8$ , la señal de truncación  $r_1$ , adopta un nivel lógico de 0, que activa la puerta Y 312 por el inversor 313, para hacer que el 1 final en la fila de producto parcial C en la figura 2A se extienda un bitio; ó sea el bitio en el basculador 314 en el instante  $t_8$  se realimenta a dicho basculador durante el instante  $t_9$ . La salida de la sumadora 315 es la suma de las ondas C y B y un 0 del basculador de exceso, que se limpió por acción de la señal de anulación de exceso procedente de la etapa registradora 316. La señal de anulación de exceso es la señal  $r_1$  retardada un intervalo. La onda E ilustra la suma con el bitio de exceso final llevado a 0 por la puerta Y 317. Por lo tanto, el bitio final de la señal de exceso resultante de la suma de las filas B", G y D en la figura 2A se suprime. No obstante, de nuevo, el bitio inmediatamente anterior (almacenado en el basculador de retardo asociado 394) se realimenta a la salida 2 + F.

La onda en F representa la truncación del bitio de orden inferior y la extensión del bitio de orden superior en la salida de la segunda etapa de multiplicación. La fila de producto parcial E, F en la figura 2A ilustra la extensión del bitio de la izquierda en dicha fila. La sumadora 330 suma las señales en F y C así como cualquier señal de exceso del basculador 303 no eliminada por la acción de la señal de control en el registrador

5

10

15

20

25

30

331 que actúa a través de la puerta Y 332. Según se verá por la figura 2A, no hay señales de exceso que se eliminan en la tercera etapa de la multiplicación. La onda Y ilustra la truncación y extensión de signo efectuado en la tercera etapa. La sumadora 334 suma la salida de la tercera etapa de multiplicación, caracterizado por la onda Y, con la palabra de dato, apropiadamente retardada, que aparece en el punto J de la figura 3. La salida de la etapa final de la multiplicación es la onda K. De nuevo, la señal  $L_{35}$  retardada por el registrador 370 lleva la última señal de exceso a 0 según se ilustran en la figura 2A.

Además de las cuatro etapas para generar el producto truncado de la palabra de coeficiente de 4 bits y la palabra de dato ilustrada en la figura 2A la figura 3 incluye una etapa indicada por la referencia "2's c". La etapa 2's c genera el complemento de 2 del producto final truncado que aparece en el punto L en el circuito de la figura 3, cuando la palabra del dato es un número negativo. De un modo específico, el SB de la palabra de coeficiente se introduce en el basculador 318 y (cuando  $r_4$  es negativo la señal introducida en el basculador 318 es un 1). Si el SM es 0, indicando un operando positivo, la salida de la etapa final de multiplicación se lleva por desconexión cíclica al terminal de salida por la puerta Y 319, la puerta O 321 y el basculador 322. No obstante, si el bitio basculador 318 es un 1, el producto final debe convertirse en la representación del complemento a 2. Esto se consigue invirtiendo el producto y añadiendo un 1 al LSB de la versión invertida. La señal  $r_4$  invertida por la puerta NI 336 (onda Q) proporciona el 1 y el inversor 324 proporciona la inversión de la salida en L. La sumadora 325 suma el 1 al LSB de la onda en N. El 1 en el basculador 318 pasa por desconexión cíclica al producto con complemento a2, P, al -

conductor de salida 323 por medio de la puerta Y 320, la puerta  
 O 321 y el basculador 322. Según se ha indicado anteriormente,  
 la figura 2 ilustra la multiplicación de una palabra de dato ne-  
 gativa por una palabra de coeficiente positivo. La figura 2B --  
 5 ilustra la formación del producto de complemento a 2 correcto de  
 una palabra de dato negativo y una palabra de coeficiente negati-  
 vo. Como en el caso de la multiplicación ilustrada en la figura  
 2A, las designaciones de letras en la figura 2B corresponden a  
 puntos, designados de un modo similar, en el circuito de la figu-  
 10 ra 3.

El circuito de la figura 3 se dispone para obtener el -  
 producto final correcto de una palabra de dato de n bits que  
 tiene un solo bitio de extensión de signo por una palabra de coe-  
 ficiente de cuatro bits. Es evidente por la explicación ante-  
 15 rior que un multiplicador para generar el producto final de una  
 palabra de coeficiente de n bits comprende m etapas, siendo las  
 primeras m-1 etapas idénticas a la superior y a las tres etapas  
 subsiguientes del multiplicador de la figura 3. y siendo la eta-  
 pa final idéntica a la etapa de complemento a 2 del multiplica-  
 20 dor de la figura 3.

N O T A

Descrita suficientemente la naturaleza del invento, así  
 como la manera de realizarlo en la práctica, debe hacerse cons-  
 25 tar que las disposiciones anteriormente indicadas, son suscepti-  
 bles de modificaciones de detalle en c uanto no alteren su prin-  
 cipio fundamental. También se hace constar que el invento corres-  
 ponde a una Solicitud de Patente, presentada en Norteamérica, co-  
 fecha 20 de Diciembre de 1.974, bajo el número Ser. No.534.765;  
 30 acogiéndose por lo tanto a los beneficios que conceden los Con-  
 venios Internacionales en vigor, siendo lo que constituye la esen-

cia del referido invento y por lo que se solicita Patente de Inven-  
ción por 20 años en España, sobre: PERFECCIONAMIENTOS EN MULTI-  
PLICADORES SERIALES DIGITALES; caracterizándose por lo siguiente

5 1.- Perfeccionamientos en multiplicadores seriales digi-  
tales, del tipo empleados para generar el producto correcto de  
complemento a 2 de una palabra de dato de complemento a 2 y una  
palabra binaria de signo y coeficiente de magnitud que comprende  
un registrador de corrimiento para almacenar los bitios de la pa-  
labra de dato, medios para alimentar en secuencia los bitios de  
10 la palabra de datos al registrador de corrimiento, el bitio me-  
nos expresivo primero, y medios para combinar y sumar los bitios  
de la palabra de datos y los bitios de la palabra de coeficiente  
para formar productos parciales, caracterizados porque dichos me-  
dios para combinar y sumar comprenden una circuitería de puerta  
15 para suprimir periódicamente el bitio de los productos parciales  
que tiene la menor expresión y una combinación de elementos ló-  
gicos para insertar en el producto parcial un bitio que es un du-  
plicado del bitio más expresivo.

20 2.- Perfeccionamientos según la reivindicación 1, carac-  
terizados porque los medios empleados para combinar y sumar com-  
prenden medios para almacenar uno de dichos bitios respectivo de  
la palabra de multiplicador, una puerta Y de dos entradas, y me-  
dios para alimentar el bitio almacenado de dichos bitios y cada  
uno de los bitios de la palabra de dato a las entradas de la --  
25 puerta Y.

3.- Perfeccionamientos según la reivindicación 1, carac-  
terizados porque se disponen medios para formar el complemento  
a 2 de la salida del multiplicador siempre que el signo de dicha  
palabra de datos sea negativo.

30 4.- Perfeccionamientos según la reivindicación 1, carac-

ME



FIG. 1

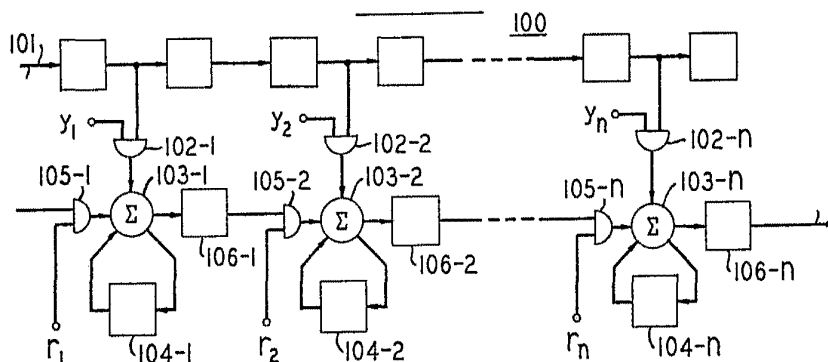


FIG. 2A

SE	SB	MSB			
1	1	1	0	0	1
			(+)	1	0
1	1	1	0	0	X
1	1	1	0	0	1
1	1	1	0	1	X
0	0	0	0	0	0
1	1	1	0	1	0
1	1	1	0	0	1
1	1	0	1	1	0

-7  
+13/8

(A)

(B<sup>n</sup>, C)

(D)

(E, F)

(G)

(H, I)

(J)

(K, L)

ESCALA  
VARIABLE

FIG. 2B

SE	SB	MSB			
1	1	1	0	0	1
			(-)	1	0
1	1	1	0	0	1
1	1	1	0	0	1
1	1	1	0	1	X
0	0	0	0	0	0
1	1	1	0	1	0
1	1	1	0	0	1
1	1	0	1	1	0
0	0	1	0	0	1
0	0	0	0	0	1
0	0	1	0	1	0

-7  
-13/8

(A)

(B<sup>n</sup>, C)

(D)

(E, F)

(G)

(H, I)

(J)

(K, L)

(N)

(O)

(P)

2'SC

Madrid

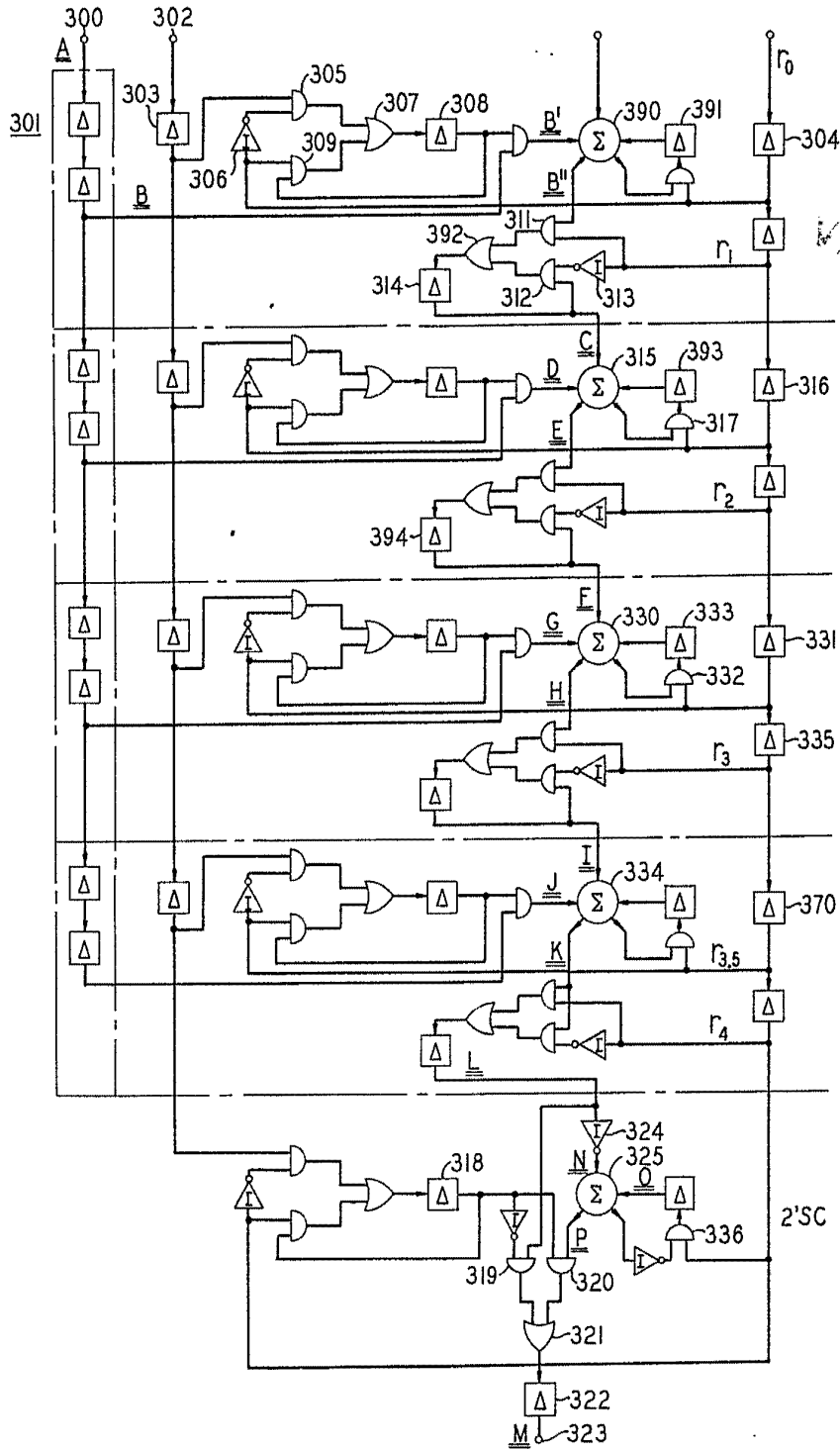
1976

GÓMEZ ACEBS Y NOLET

Ingenieros de Electricidad y Electrónica

*[Handwritten signature]*

FIG. 3

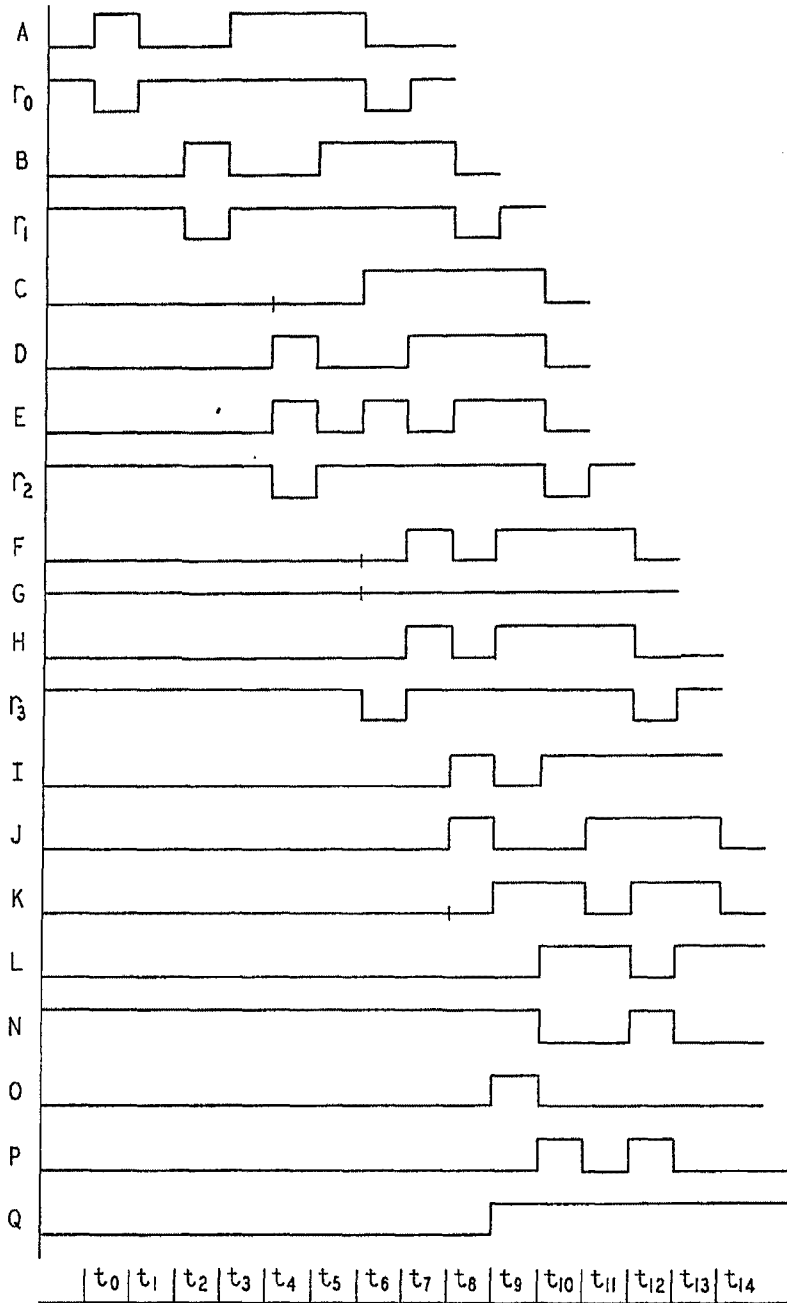


VARIABLE

376

GOMEZ ASTEN Y CIA  
No. 14 Avenida L. Guea, Habana  
*[Handwritten Signature]*

FIG. 4



ESCALA  
VARIABLE

2

976

Madrid  
Dpto. Finanzas y Contabilidad  
*[Handwritten signature]*