

19 DIC 1975

P.- 61.504

IBM Docket

FR 9-74-004

443678

Incl. Cls. G06F, H04J, H04M

MEMORIA DESCRIPTIVA

para solicitar PATENTE DE INVENCION

a nombre de INTERNATIONAL BUSINESS MACHINES CORPORATION

entidad norteamericana

establecida en Armonk, Nueva York 10504, Estados Unidos
de América

por: "PERFECCIONAMIENTOS INTRODUCIDOS EN UNA UNIDAD DE
TRATAMIENTO DE SEÑAL MODULAR DE ESTRUCTURA RAMI-
FICADA".

1-12-75

- 1 -

POOR
QUALITY

4408

Cualquier señal portadora de información necesita ser sometida a un cierto número de operaciones de tratamiento antes de ser capaz de proporcionar dicha información a su dirección. Por ejemplo, una señal de información emitida por una fuente deberá ser adaptada, en primer lugar, a las características del medio de transmisión entre fuente y receptor, y después a las características del propio receptor. Aunque se consideran aquí la fuente y el receptor, en un sentido amplio, debe mencionarse como ejemplo el caso de la transmisión de información para la cual se requiere una operación de modulación en el extremo emisor y que deberá ser seguida por una operación de desmodulación en el extremo receptor.

Se ha puesto de manifiesto que la mayor parte de los problemas implicados en el tratamiento de señal, comportan varias similitudes. Todos estos problemas pueden resolverse aplicando algunas operaciones matemáticas básicas relativamente simples. Adicionalmente, la cantidad de datos requeridos para llevar a cabo dicha operación de tratamiento es en general baja, pero dichos datos deberán ser actualizados permanentemente. Por consiguiente, es necesario retenerlos aunque solo sea por un mo-

mento.

Se han desarrollado disposiciones de sistema particulares para tratamiento de señal, teniendo en cuenta la presencia de estos caracteres comunes a las diversas operaciones a realizar y también las características específicas de cada operación. Sin embargo, las estructuras de la técnica anterior no son lo bastante versátiles o no permiten cubrir bastantes funciones.

El presente invento permite superar estas desventajas construyendo el sistema alrededor de una estructura modular. Los módulos están agrupados de tal modo que realizan la operación de tratamiento requerida. Pero, adicionalmente, debido a la estructura de este invento, es posible aumentar la capacidad de tratamiento de un sistema simplemente disponiendo módulos adicionales para reforzar algunos elementos de dicho sistema.

Estos y otros objetos, características y ventajas del presente invento se pondrán mas fácilmente de manifiesto por la siguiente memoria cuando se considera en combinación con los dibujos.

La figura 1 representa un diagrama funcional de un subsistema del invento.

La figura 2 representa un diagrama funcio

nal de una estructura ramificada del invento.

La figura 3 representa un diagrama de bloques de la unidad de computación del invento.

5 La figura 4 es una vista detallada de la figura 3.

La figura 5 representa la disposición de almacenamiento de la unidad de computación.

La figura 6 es un diagrama de flujo de la unidad de computación.

10 La figura 7 es un diagrama de bloques de la unidad de control.

La figura 8 representa esquemáticamente la autocarga inicial de la memoria de unidad de control.

15 Las figuras 9 y 10 representan el diagrama funcional de la unidad de control.

La figura 11 representa el diagrama de flujo de los datos en la unidad de control.

20 La figura 12 representa esquemáticamente una parte de Entrada/Salida o módulo de puerta.

La figura 13 representa esquemáticamente un módulo adaptador entre líneas generales de datos.

Las figuras 14 y 15 representan una realización posible del invento.

25 Las figuras 16 a 18 representan otra rea-

lización posible del invento.

Este invento se refiere más en particular a tratamiento de señales digitales. Después de haber muestreado y expresado digitalmente dichas señales, su tratamiento requiere la ejecución de operaciones matemáticas, incluyendo una operación básica muy simple y muy útil, a saber, la multiplicación de dos números seguida de una acumulación. Por consiguiente, este sistema fué diseñado alrededor de dos módulos principales, realizando el primero de ellos las operaciones aritméticas antes indicadas y controlando el segundo la ejecución de las operaciones. Las unidades de computación y control están interconectadas a través de una línea general (N-BUS) que está provista de las puertas (partes de Entrada/Salida) que dan acceso a los elementos externos que requieren la ejecución de operaciones y que suministran o reciben datos. Los elementos de un subsistema del tipo representado en la figura 1 están dispuestos como se ilustra y la unidad de control, la unidad de computación y las puertas están referenciadas por IS-E, PMAU e I/O.P., respectivamente. Una unidad IBA de adaptación asegura la conexión entre dos líneas generales N, es decir entre dos subsistemas.

Utilizando dichos módulos en el sistema de tratamiento de señal, se provee a dicho sistema de una

cualidad importante, a saber la versatilidad. En efecto, el sistema completo puede estar dispuesto para asignar una jerarquía a los módulos: cada unidad de control puede ser puesta en dependencia (y ser por consiguiente subordinada) de otra unidad de control que funciona como unidad maestra. Pero cada unidad subordinada puede ser, a su vez, la unidad maestra de otra unidad de control. De este modo, se obtiene una estructura de tipo ramificado. La figura 2 está dispuesta para representar lo que es una estructura de tipo ramificado. En la parte más alta del "arbol" está dispuesta una unidad MA1 de control que funciona como unidad maestra absoluta. Una puerta I/OP1 permite la conexión de un terminal o de cualquier otro elemento externo a la unidad maestra, a través de una línea general B1. En este caso, la unidad maestra controla una unidad SL1 subordinada a través de un adaptador IBA1 dispuesto sobre la línea general. Pero dicha unidad subordinada actúa como unidad maestra MA2 de tres unidades SL2, SL2' y SL2" de control conectadas a ella a través de tres nuevos adaptadores IBA. El módulo SL2' controla a su vez tres módulos SL3, SL3' y SL3" subordinados, provistos de tres puertas asociadas I/OP2, I/OP3 e I/OP4.

El módulo maestro MA1 controla el tratamien-

to del sistema completo: vigila las funciones aseguradas por la unidad SL1 subordinada y asegura la conexión con el elemento asociado a la puerta I/OP1. Pero la unidad SL1 asigna sus propias tareas a sus unidades subordinadas SL2, SL2' y SL2", y así sucesivamente.

El sistema se completa por unidades PMAU de computación distribuidas como se requiera.

Tal diseño permite, añadiendo unidades subordinadas, el refuerzo requerido de las partes del sistema que no son suficientemente potentes para realizar sus operaciones asignadas.

Se describirán a continuación los diversos módulos anteriormente indicados.

La unidad PMAU de computación podría haber sido un multiplicador autónomo serie-paralelo provisto de un programa de aplicación. Sin embargo, ha parecido más eficiente ponerlo en estrecha dependencia de la unidad de control que pertenece al mismo subsistema. Entonces, el "corazón" de la unidad PMAU consiste simplemente en un multiplicador de dos números a_i y x_i , seguido por un acumulador. El multiplicador es un dispositivo bien conocido en la técnica y, en particular, puede elegirse entre los descritos por O. Mac Sorley en el artículo titulado: "High Speed Arithmetic in

Binary Computers" publicado en "Proceedings of the IRE" de enero de 1961, páginas 67 y sucesivas.

5 En cuanto al acumulador, puede ser simplemente un sumador alimentando un registro (conectando en bucle la salida del registro a la segunda entrada del sumador para realizar la función de acumulación).

10 Por consiguiente, el acumulador alimentado por el multiplicador resuelve matemáticamente la siguiente ecuación:

$$y = a_1x_1 + a_2x_2 + \dots + a_nx_n = \sum_{i=1}^n a_i x_i$$

En realidad, la unidad PMAU puede también realizar otras operaciones como :

15

$$Z = \sum ax - \sum by$$

o

$$Y + jZ = \sum \{ (a+jb) (x + jy) \}$$

20 Partiendo de estas operaciones básicas, la unidad PMAU asegura un cierto número de funciones o combinaciones de funciones bajo el control de microprogramas. Recibe de su unidad de control una palabra CW de control que define la función a asegurar y, por consiguiente, el microprograma a utilizar. En la realización escogida como ejemplo, la palabra de control es una palabra de cuatro baterías de bits, tres de

25

las cuales son indicadores de dirección, que se describirán posteriormente, mientras que la cuarta (código de operación) designa la función. Los bits del grupo Código de Operación pueden definir, respectivamente,:

Bitio 1: signo de la operación aritmética:

es decir 0 para +

1 para -

Bitios 2 a 4: Tipo requerido de función:

001 filtro transversal

010 filtro transversal complejo

011 filtro repetitivo

100 corrección lineal de una serie de constantes

101 multiplicación por una constante.

Bitios 5 a 7: Valor j de salto.

Puede entonces comprenderse el diagrama funcional de la unidad PMAU representado en la figura 3. Incluye el multiplicador (MULT) y el acumulador (ACCU) antes mencionados provistos de los operandos procedentes de una memoria Si-S de señal. A esta memoria se tiene acceso por un conjunto de registros AR de direcciones, acumulándose estas direcciones en un sumador ADD asociado con otro conjunto de registros llamados "registros de incremento", designados por la

referencia IR. Las conexiones externas están aseguradas por un dispositivo NBI de acoplamiento compatible que conecta la línea general N a la entrada y salida de la memoria Si-S y a las entradas de los registros IR y AR. Un dispositivo CB de control controla las operaciones de la unidad PMAU.

Está asignada una dirección a cada unidad PMAU. De este modo, en funcionamiento, el descodificador incluido en el dispositivo NBI detecta la palabra de control (CW) dirigida al mismo descodificando la palabra de dirección asociada.

La salida del acumulador está siempre conectada en realimentación a la entrada de la memoria Si-S, lo cual permite a la parte lógica de la unidad PMAU ser menos dependiente en tiempo del elemento de computación multiplicador-acumulador. El sistema depende menos de la duración del ciclo de este elemento y por consiguiente de la tecnología utilizada para su construcción. Entonces, es necesario disponer medios que indiquen a este elemento cuándo deberá tratar el último operando y que indiquen a la memoria Si-S que el resultado está disponible tan pronto como se ha completado el cálculo.

La lectura y escritura en la memoria Si-S están controladas por la unidad NBI de acoplamiento compatible que es portadora de la información que ha de aban

donar la unidad PMAU.

La figura 4 representa una ilustración más detallada de los elementos de la unidad PMAU. La unidad de acoplamiento con la línea general N indicada por la referencia NBI en la figura 3 incluye un dispositivo ACD descodificador, controlado por dirección, que tiene dos entradas. La primera se denomina "entrada de personalización" y permite asignar una dirección a la unidad PMAU al construir el sistema. La segunda está conectada a la línea general N. Adicionalmente, la unidad ACD está provista de cuatro salidas que llevan las referencias RC, IRAC, CWC y SiSC, respectivamente. La unidad de acoplamiento incluye también ocho registros conectados a la línea general N.

Cuatro de estos ocho registros constituyen un grupo designado por CWR y los otros cuatro están indicados por las referencias COM, IRA, F y BOR. La entrada del registro BOR está conectada a la línea general N a través de una puerta 24 y a la salida de la memoria Si-S a través de una puerta 25. La salida del registro BOR está conectada a la línea general N a través de la puerta 1, y a la entrada de la memoria Si-S a través de la puerta 2. La salida COM está conectada a una línea PR/W de control de preparación de lectura y escritura. Los otros registros son utilizados

principalmente para elaborar las operaciones de acceso de la unidad Si-S de memoria y están conectados, por consiguiente, al conjunto de registros de incremento, registros de direcciones y sumador ADD. Adicionalmente, la unidad NBI de acoplamiento compatible incluye un circuito L de retención cuya entrada está conectada al dispositivo CB de control y cuya salida está conectada a una línea de interrupción de la línea general N.

10 Como se ha visto anteriormente, la unidad PMAU está diseñada tomando como base un multiplicador-acumulador MULT-ACCU alimentado con los operandos por la memoria Si-S. El resultado del acumulador es almacenado en la memoria Si-S. Por consiguiente, 15 el dispositivo de direccionamiento de la memoria Si-S deberá proporcionar tanto las direcciones de los operandos como las direcciones de los cálculos realizados por la unidad MULT-ACCU. Se verá posteriormente que no existe diferencia fundamental entre esas dos 20 informaciones y que un operando puede ser por sí mismo el resultado de un cálculo anterior. El dispositivo de direccionamiento o acceso incluye el conjunto de registros AR de acceso cargados por el conjunto de registros CWR de palabra de control y por la salida 25 del sumador ADD. Una de las entradas de dicho sumador

ADD está unida al conjunto de registros (IR) de incremento. La segunda entrada del sumador ADD está conectada a las salidas de los registros (AR) de dirección.

5 Los registros IR son de dos tipos, de los cuales algunos contienen un valor fijo de 1 o 0 y están unidos o vinculados respectivamente a la entrada (1) del sumador ADD a través de la puerta 3 o 4. Los otros, indicados por las referencias TJ y MOD, están
10 dispuestos para contener un valor variable. La entrada del registro TJ está conectada a la salida del registro OP-Code del conjunto CWR, e incluye tres salidas con referencias SIGN Type y J. La salida J está conectada a la entrada (1) del sumador ADD a través
15 de una puerta 5. La entrada del registro MOD está conectada a la línea de salida de la memoria Si-S. Su salida está conectada a la entrada (1) del sumador ADD a través de la puerta 6.

20 Hay siete registros AR indicados por las referencias A, B, C, D, E, R1 y R2. Las entradas de los registros A, B y C están conectadas respectivamente a las salidas de los registros PTR1, PTR2, y PTR3 del conjunto CWR a través de las puertas 7 a 9. Las entradas de los registros D y E están conectadas a la salida
25 del sumador ADD, estando también dicha salida co-

nectada a las entradas de los registros A, B, C y R1 a través de las puertas 10 a 13. La salida del registro IRA está unida a la entrada del registro R1 a través de la puerta 14. Las salidas de R1 y R2 están conectadas a una misma línea a través de las puertas 15 y 16 y después a la línea de acceso de la memoria Si-S a través de la puerta 17. Las salidas de los registros A a F están conectadas a esta misma línea general a través de las puertas 18 a 23. Esta línea general está también conectada en bucle cerrado a la entrada de R2 y a la entrada (2) del sumador ADD a través de la memoria R3 intermedia. Entonces, a la memoria Si-S se puede tener acceso a través de esta línea general.

El dispositivo CB de control incluye una memoria fija ROS provista de un registro ROR de salida. La salida del registro ROR está conectada a la entrada de una memoria BIR intermedia, provista de tres salidas. Una de sus salidas está conectada a un dispositivo descodificador, la segunda está conectada en retorno a la entrada de la memoria ROS a través de la puerta 27, y la tercera está conectada a la entrada de un dispositivo BR de control de bifurcación, cuya salida que está conectada a través de la memoria R intermedia y la puerta 26 está conectada en realimentación a

la entrada de la memoria ROS. La entrada del dispositivo BR recibe también salida "Type" del registro TJ (bitios 2 a 4 de la batería de bitios Op-Code de la palabra CW de control a ejecutar) y una marca indicadora expedida por la memoria Si-S. La salida del bloque DECODE está conectada a la entrada de la unidad MULT-ACCU.

Finalmente, el dispositivo CB incluye un circuito RCT de control de transferencia de resultado que controla la escritura de los resultados del acumulador en la memoria Si-S. Una segunda entrada de dicho circuito excitador está conectada a la salida PR/W del registro COM. Este conjunto de dispositivos permite proporcionar rutinas de microinstrucciones a la unidad PMAU para ejecutar funciones o combinaciones de funciones del tipo descrito anteriormente.

La unidad PMAU funciona del modo siguiente. Cuando el circuito ACD reconoce su dirección en los datos tomados de la línea general N, "sabe" que deberá tomar los datos siguientes que están a continuación en la línea general N. Estos datos permiten al circuito ACD determinar cuál de sus salidas deberá ser excitada. Si detecta una instrucción que requiere un acceso a la memoria Si-S de señal, se excita la salida SiSC. Esto permite cargar la primera batería de bitios siguiente

que aparece sobre la línea general N en el registro F. Esta es la dirección de la memoria Si-S, cuyo acceso es solicitado por la unidad de control. Entonces, la siguiente batería de bitios es una batería de bitios de control dirigida hacia el registro COM. En realidad, este registro puede incluir solamente una posición de bitio. Si ese bitio es igual a 1, la orden correspondiente (PR) requiere una preparación para lectura de la memoria Si-S, activándose los circuitos de lectura. En este caso, la información localizada y extraída de la memoria es almacenada transitoriamente en el registro BOR a través de la puerta 25. Será necesario esperar un control de lectura adicional para la descodificación de ACD, para excitar su salida RC y descargar el contenido del registro BOR en la línea general N a través de la puerta 1. Si, por el contrario, el bitio contenido en el registro COM es igual a cero, la orden recibida implica una escritura en la memoria Si-S. La apertura de la puerta 24 permite cargar los datos aplicados a la entrada de la línea general N en el registro BOR. Dicho registro es entonces descargado a través de la puerta 2 en la memoria Si-S, en la dirección indicada por el contenido del registro F y bajo el control de lectura proporcionado por la salida complementada del

registro COM.

5 Cuando el circuito ACD descodifica una orden para cargar el conjunto de registros CWR, se excita su salida CWC. En este caso, el circuito ACD espera una palabra de control y las cuatro baterías de bitios que aparecen en la entrada de la línea general N son dirigidas, respectivamente, hacia los registros PTR1, PTR2, PTR3 y Op-Code que forman el conjunto CWR.

10 Cuando la unidad PMAU está lista para ejecutar la palabra de control (CW), proporciona esta información a la unidad de control aplicando un "1" en el circuito L de retención de NB1, a través de la entrada Int. RQ de este circuito de retención. De este modo, solicita una nueva palabra de control de la unidad de control. En el intervalo, el conjunto CWR es vaciado en los registros IR y AR. Más particularmente, la información correspondiente a OP Code va al registro TJ y PTR1, PTR2 y PTR3 son vaciados en los registros A, B, C, respectivamente. El bitio 1 de posición en el contenido del registro TJ indica el signo (S) de las operaciones a realizar por la unidad MULT/AGCU. Los bitios 5 a 7 son utilizados para componer las direcciones de la memoria Si-S, mientras que los bitios 2 a 4 definen el tipo de función a

15

20

25

asegurar por la unidad PMAU. Se verá posteriormen-
te lo que esto significa, pero ahora deberá obser-
varse que estos bitios permiten al registro BR del
dispositivo CB elegir los microprogramas almacena-
5 dos en la memoria ROS. En realidad, solamente es ne-
cesario escoger la primera instrucción de este micro-
programa, y después continúa con las otras instruccio-
nes por medio de un primer campo NIA contenido en ca-
da instrucción transferida desde la memoria ROS al re-
10 gistro IR o un segundo campo que establece una cone-
xión a través de BR. La parte restante del contenido
de IR es descodificada y utilizada para controlar las
operaciones a realizar para cada tipo de función de
la unidad PMAU. El dispositivo DECODE controla, en par-
15 ticular, la transferencia del resultado de la unidad
ACCU hacia la línea general N. En efecto, después que
la unidad ACCU ha obtenido el resultado, el dispositivo
RCT es informado y el dispositivo DECODE controla la
transferencia de dicho resultado.

20 Todas las transferencias entre la unidad PMAU
y la línea general N se realizan a través de la memoria
Si-S. Por consiguiente, los resultados de la unidad
ACCU deberán ser escritos en esta memoria. La determi-
nación de las direcciones requeridas depende de la fun-
25 ción a asegurar. Su principio está, por consiguiente,

determinado por el bloque DECODE de acuerdo con los bitios TYPE proporcionados a la unidad DECODE por el código OP de la palabra de control que está siendo sometida a tratamiento. Aquí se han elegido dos principios fundamentales. En primer lugar, cuando cada nueva dirección a generar es independiente del resultado del cálculo anterior, se llevan a cabo secuencialmente las escrituras en la memoria Si-S. La frecuencia es inicializada por la unidad ISE de control, que envía una instrucción cuya primera batería de bitios es descodificada por el circuito ACD de modo que se excita la salida IRAC, lo cual implica la carga de datos del registro IRA por la segunda batería de bitios de la misma instrucción. La secuencia que está así inicializada prosigue hasta la recepción de una nueva instrucción de inicialización de secuencia, proporcionada por la unidad IS-E de control. En este caso, cada dirección es situada en el registro R1 e incrementada en una unidad por el circuito ADD. El segundo principio aplicado para determinar las direcciones para escribir los resultados del cálculo en la memoria Si-S, es utilizado cuando la unidad PMAU inicializa por sí misma la dirección de acuerdo con la función asegurada por dicha unidad. En ese caso, es calculada después de cada operación. Para evitar el cálculo de estas direc-

ciones una por una, es posible calcular y poner en orden de espera varias direcciones en el registro R2.

5 Para una mejor comprensión de estos problemas de acceso o direccionamiento, supóngase que ha de utilizarse una tabla dada de longitud constante incluida entre las direcciones z y $z+n$ de la memoria S_i-S , cuyo contenido deberá ser actualizado progresivamente después de cada lectura de la tabla.

10 Más, particularmente, la posición de la lectura inicial está indicada por un indicador que se desplaza progresivamente. Para este fin, el dispositivo CB ha situado en la dirección $z + n + 1$ una palabra llamada "modificador" (MOD) que incluye en particular una marca

15 indicadora F^l (vease la figura 5) y la indicación en un campo FA de la primera dirección de la tabla. La lectura de la tabla comienza en la posición del indicador designada por el registro R2, siendo entonces el contenido de dicha posición sustituido por los nuevos

20 datos a situar en la tabla. El valor del indicador es decrementado en una unidad por el sumador algébrico ADD y situado nuevamente en el registro R2. La lectura de la tabla es llevada a cabo incrementando la dirección de lectura en una unidad cada vez, hasta que se detecta

25 la marca indicadora F^l que origina la sustitución

del contenido del campo FA por la siguiente dirección de lectura. Entonces, las lecturas secuenciales se reanudan hasta el indicador o hasta un extremo de la dirección de la tabla.

5 Este primer método es útil más particularmente para asegurar la función de filtrado que ha de realizarse por la unidad PMAU. En este caso, dicha tabla contiene datos x_i de la señal a filtrar y los precedentes simulan las funciones de la línea de retardo requerida en la operación de filtrado.

10 En algunas aplicaciones, puede ser necesario utilizar solamente algunas muestras de la tabla, una de entre dos o tres, por ejemplo. Por consiguiente, será necesario, cuando se lee la tabla X, realizar saltos repetitivos: han de utilizarse en este caso los bitios 5 a 7 de la cuarta batería de bitios de la palabra de control (CW) o los bitios (J) de salto, y la dirección X es incrementada en el valor J después de cada lectura de la memoria Si-S.

20 Cuando se repitiese la misma función varias veces (la misma palabra de control) en diversos grupos de datos, las operaciones se realizarían en cadena. La presencia de la marca indicadora F1 es utilizada para enmascarar el extremo de cada grupo de datos. Es utilizado también un campo del modificador

25

de datos y tres grupos a, b, c de coeficientes. Los coeficientes están dispuestos secuencialmente y separados por una palabra identificada por una marca indicadora (Fl). El significado de la marca indicadora puede diferir de una función a otra, pero su presencia con los coeficientes indica siempre el final de un conjunto de coeficientes. Los conjuntos x, y, z están situados en posiciones diferentes. Dentro de un mismo conjunto, el primer método descrito anteriormente es utilizado para permitir lecturas secuenciales y actualizaciones de los datos. Pero con el fin de encadenar las operaciones yendo de un conjunto a otro, se utiliza el campo DIS proporcionando el contenido de dicho campo sumado a la dirección del indicador del conjunto que se está utilizando, la dirección del indicador del conjunto siguiente.

La figura representa tres campos para cada modificador. Un campo FA que indica la primera dirección del grupo, un campo DIS de desplazamiento y un campo Fl de marca indicadora. Pueden disponerse otros dos campos para controlar los cambios de signo a realizar y la reposición del acumulador, respectivamente.

Como se ha indicado anteriormente, la unidad PMAU está dispuesta de modo que es capaz de realizar ciertas operaciones matemáticas, utilizando la to

talidad de ellas la operación básica $Y = \sum ax$. A partir de esta, pueden realizarse la mayoría de las funciones requeridas para el tratamiento de la señal. Se han indicado ya algunas de ellas, entre las cuales están las funciones de filtrado que se describirán ahora con detalle para ilustrar el funcionamiento de la unidad PMAU.

La función de filtrado transversal es asegurada principalmente por la ejecución de la operación básica $Y = \sum ax$. En general, la potencia de cálculo de la unidad PMAU y su velocidad de funcionamiento, muy superiores a la velocidad de datos en la entrada de un sistema conectado a ella, permiten que dicha unidad PMAU realice varias funciones de filtrado en cadena. Entonces, es necesario proporcionar una disposición de almacenamiento de los datos en la memoria Si-S. Supóngase, por ejemplo, que han de realizarse tres funciones de filtrado transversal:

$$\begin{array}{l}
 20 \quad \left[\begin{array}{l} Y = \sum_{i=1}^n a_i x_i \\ (1) \left\langle Y' = \sum_{i=1}^n b_i x'_i \right. \\ \left. Y'' = \sum_{i=1}^n c_i x''_i \right. \end{array} \right] \quad \begin{array}{c} o \\ \\ o \end{array} \quad \left[\begin{array}{l} Y = \sum_{i=1}^n a_i x_i \\ (2) \left\langle Y' = \sum_{i=1}^n a_i x'_i \right. \\ \left. Y'' = \sum_{i=1}^n a_i x''_i \right. \end{array} \right] \quad \begin{array}{c} o \\ \\ o \end{array} \quad \left[\begin{array}{l} Y = \sum_{i=1}^n a_i x_i \\ (3) \left\langle Y' = \sum_{i=1}^n b_i x'_i \right. \\ \left. Y'' = \sum_{i=1}^n c_i x''_i \right. \end{array} \right]
 \end{array}$$

25

Se ve que para calcular las muestras de Y, Y' o Y", deberá estar disponible un conjunto de n coeficientes del tipo a, b o c y de n palabras X, X' o X" de datos, si se requiere.

5

Entonces, se utilizaría el método de encadenado de funciones descrito anteriormente. En este caso, las marcas indicadoras tienen los siguientes significados:

10

. Marca indicadora de datos:

00 Ausencia de marca indicadora

01 Final de conjunto

10 Ultimo conjunto

15

. Marca indicadora de coeficiente:

00 Ausencia de marca indicadora

01 Encadenado de otro conjunto de coeficientes

10 Encadenado utilizando el mismo conjunto de coeficientes

20

11 Final de la ejecución de la palabra de control (CW)

La marca indicadora indica si es necesario cambiar de conjunto de coeficientes y/o de conjunto de datos de acuerdo con la función asegurada en este momento.

25

Al comienzo, los tres indicadores de la palaa

bra de control CW indican, respectivamente: la dirección de los nuevos datos a introducir, la posición del indicador del primer conjunto de datos y la dirección del primer coeficiente. Los bits 2 a 4 del código de operación son iguales a 001, que definen el tipo de función de filtrado transversal para CB.

Si se supone que han de utilizarse tres conjuntos de coeficientes, a saber, a, b y c, la unidad PMAU calculará la serie (1), es decir:

$$Y = \sum_{i=1}^n a_i x_i, \quad Y' = \sum_{i=1}^n b_i x'_i \quad \text{e} \quad Y'' = \sum_{i=1}^n a_i x''_i$$

En este caso, es situada la marca 01 indicadora de código (final de conjunto) en el extremo de los grupos X y X' y es situada la marca 10 indicadora de código (final del último conjunto) en el final de X''. La marca indicadora de los conjuntos a y b de coeficientes es 01 y la marca indicadora del conjunto c de coeficientes es 11.

Se ha visto anteriormente que la unidad PMAU puede también efectuar operaciones sobre números complejos, del tipo siguiente:

$$Y + jZ = \sum [(a+jb) (x+jy)] .$$

Entonces, calcula

$$Y = \sum (ax - by) \quad \text{y} \quad Z = \sum (ay + bx)$$

independientemente, utilizando los dispositivos que

5 permiten un funcionamiento secuencial como se ha descrito anteriormente. Por supuesto, en este caso es necesario cambiar los significados de los dos bitios utilizados como marca indicadora, así como las asignaciones de los indicadores de la palabra CW de control.

Las marcas indicadoras se convierten en:

<u>Asignación</u>	<u>Código</u>	<u>Significado</u>
Datos	00	Ausencia de marca indicadora
	01	Final de conjunto
Coeficientes	00	Ausencia de marca indicadora
	01	Final del conjunto "a" de coeficiente
	10	Final del conjunto "b" de coeficiente

15 El modificador que está en la misma dirección que la marca indicadora de datos contiene, en conjunto, la primera dirección de datos, el desplazamiento, una indicación para reponer el acumulador de la unidad PMAU y una indicación de cambio de signo, según se requiera.

20 El primer indicador permite la búsqueda de nuevos datos de la memoria Si-S, el segundo es utilizado para cargar los nuevos datos en la correspondiente tabla de la memoria Si-S y el tercero es utilizado para definir la posición del primer coeficiente a utilizar en la memoria Si-S.

25 Los bitios 2 a 4 de la cuarta batería de bi

tios de la palabra de control, es decir los que de
finen el código de operación, forman la combinación
010, en este caso indicando la función de filtrado
transversal compleja.

5 La unidad PMAU puede también asegurar la
función de filtrado repetitiva. Como es conocido en
la técnica, es un caso en el cual los datos calculada
dos son utilizados subsiguientemente como datos de
entrada. Entonces es necesario utilizar las otras po
10 sibilidades antes descritas de determinación de las
direcciones.

 Se observará que la función de filtrado re
petitiva puede asegurarse por diversas fórmulas. En
este caso, la fórmula seleccionada es la forma canónica.
15 Son posibles dos casos, dependiendo de si se uti
liza la forma canónica directa o la forma en cascada.
En el primer caso, una muestra Y_k de la señal filtrada
se obtiene a partir de una suma de señales ponderada
das intermedias con la función Z.

20

$$\left[\begin{array}{l} Y_k = \sum_{i=0}^n a_i \cdot Z_{k-i} \\ Z_k = X_k + \sum_{i=1}^n b_i \cdot Z_{k-i} \end{array} \right.$$

25

La fórmula que proporciona el valor Z_k indica que el cálculo de esta muestra ha utilizado n muestras calculadas anteriormente (Z_{i-1} , Z_{i-2} , ..., Z_{i-n}).

5

Para la forma en cascada la fórmula resulta ser:

$$Y_k = a_0^n Z_k^n + a_1^n Z_{k-1}^n + a_2^n Z_{k-2}^n.$$

$$Z_k^j = a_0^{j-1} Z_k^{j-1} + a_1^{j-1} Z_{k-1}^{j-1} + a_2^{j-1} Z_{k-2}^{j-1} + b_1^j Z_{k-1}^j + b_2^j Z_{k-2}^j$$

10

< donde j es un número entero que varía de 2 a n .

$$Z_k^1 = X_k + b_1^1 Z_{k-1}^1 + b_2^1 Z_{k-2}^1$$

La diferencia entre la forma directa y la forma en cascada resulta de la utilización de las marcas indicadoras, que son

15

<u>Asignación</u>	<u>Código</u>	<u>Significado</u>
-------------------	---------------	--------------------

Datos	00	Ausencia de marca indicadora
-------	----	------------------------------

	01	Final del conjunto de datos
--	----	-----------------------------

	10	Fin de conjunto, encadenado con el filtro siguiente
--	----	---

20

Coefficientes	00	Ausencia de marca indicadora
---------------	----	------------------------------

	01	Utilizar el mismo conjunto de datos
--	----	-------------------------------------

	10	Cambiar conjunto de datos
--	----	---------------------------

	11	Fin de conjuntos de coeficientes
--	----	----------------------------------

25

El indicador número 1 de la palabra de control es utilizado para designar los datos X_k siguientes. El

1-12-75

indicador número dos designa los primeros datos del primer conjunto y el indicador número tres designa el primer coeficiente.

En funcionamiento, la unidad PMAU establece el valor inicial de la dirección de resultado transfiriendo el contenido del registro R1 al registro R2. Entonces, recoge los primeros datos de entre los datos contenidos en la memoria Si-S y utiliza su posición para el resultado Z parcial. Recoge los coeficientes y datos al tiempo que consulta las marcas indicadoras. Tan pronto como es detectada una marca 01 indicadora de datos, recoge los primeros datos de la tabla, prescindiendo de los modificadores y comienza nuevamente. Cuando encuentra una marca indicadora de coeficiente, mantiene los mismos datos o los cambia, dependiendo de si esta marca indicadora es 01 o 10, y comienza otra vez. Cuando detecta una marca 11 indicadora de coeficiente, carga los nuevos datos X_k en el multiplicador y se detiene. Si ha de ser encadenada otra operación de filtrado con la operación anterior, la detección de la marca 10 indicadora de datos hace que comience una operación especial de bucle mientras se vigila la última marca indicadora de coeficiente. Entonces carga los nuevos datos en el multiplicador y prosigue con la siguiente operación de filtrado.

Como otro tipo de función, la unidad PMAU puede corregir linealmente una serie de números.

Entonces, calcula la siguiente ecuación:

$$C_N = C_{N-1} + K_1 X + K_2 Y.$$

5 Siendo C_N el nuevo término a calcular, está definido por el término C_{N-1} precedente. K_1 y K_2 son constantes y X e Y datos. En este caso, el resultado C_N sustituye al valor antiguo, es decir al valor C_{N-1} , en la memoria Si-S. Este almacenamiento se dispone del modo siguiente. El primer indicador de la palabra de control determina la dirección de un modificador y los coeficientes K_1 y K_2 son situados respectivamente en las direcciones inmediatamente siguientes a las de los modificadores de X e Y.

15 En funcionamiento (figura 6), la unidad PMAU extrae el modificador (operación 1) para conocer el desplazamiento a utilizar para ir desde el conjunto X hasta el conjunto Y y en sentido inverso. Retiene el modificador (operación 2). Entonces extrae el coeficiente C_{N-1} (operación 3). Si se detecta una marca indicadora (CF) de coeficiente, finaliza la operación. Si no ocurre esto, (CF = 0), C_{N-1} es multiplicado por 1 e ingresado en su acumulador (operación 4). Extrae K_1 (operación 5) y después el valor X (operación 6) mientras busca una marca indicadora (DF) de datos (operación 7). Si

20

25

no detecta ninguna marca indicadora de datos, extrae los valores de K_2 (operación 8) e Y (operación 9).

Realiza el bucle nuevamente utilizando el coeficiente C_N siguiente. Si detecta una marca indicadora, el proceso finaliza.

5

Se utilizan las siguientes referencias en el diagrama de flujo de la figura 6:

	A	=	Registro A
	(A)		Contenido del registro A
10	[(A)]		Contenido de la posición en la memoria Si-S direccionada por el contenido del registro A.
	CF		Marca indicadora de coeficiente
	DF		Marca indicadora de datos
	MAC		Multiplicador/acumulador
15	SOR		Registro de salida de la memoria Si-S
	DIS		Desplazamiento
	J		Salto.

La unidad PMAU puede también asegurar ciertas funciones más simples, como multiplicaciones por una constante. También puede realizar combinaciones de la función anteriormente descrita aplicando métodos similares a los ya descritos.

20

Como se ha mencionado anteriormente, cada unidad PMAU está controlada por una unidad (IS-E) de control que proporciona una palabra CW de control para este fin. La

25

unidad PMAU controlada indica entonces, suministrando una instrucción de interrupción a IS-E, que comienza a efectuar la operación requerida y que está disponible para recibir otra palabra de control. De este modo, las ejecuciones de palabra de control están encadenadas y los resultados son escritos en la memoria Si-S a la cual establece acceso directo la unidad IS-E para operaciones de lectura y escritura. La unidad de control lee en la memoria de la unidad PMAU los resultados de los cálculos ejecutados por la unidad PMAU según se requiere por dicha unidad de control. Por consiguiente, la unidad de control ya no tiene que hacer cálculos matemáticos puros, puesto que son realizados por la unidad PMAU. Sin embargo, tiene que asegurar el control de todos los elementos terminales conectados a su línea general, a saber una o varias unidades PMAU, unidades externas conectadas a través de puertas I/OP y otros subsistemas (subordinados) que pueden estar conectados a través de IBA.

Por consiguiente, la unidad de control es el módulo "inteligente". Después de haberse cargado, en su memoria, los programas que tiene que ejecutar funciona con el fin de cumplir los requerimientos de los diversos módulos bajo su control. Para este fin, funciona sobre una base de prioridad. Entre las unidades conectadas a

su línea general N, busca la que tiene la prioridad más alta y esta búsqueda se realiza después de cada ejecución de una instrucción por la unidad de control.

5 En una realización preferida, la unidad de control incluye una memoria IS y una sección E lógica. La última, como se representa en la figura 7, consiste principalmente en un registro IRM de instrucciones que puede recibir dos palabras procedentes de la memoria IS, dos bloques de registros SA y SB de operando, una unidad 10 ALU lógica y aritmética, un circuito AdF formador de dirección, y registros adicionales cuya función se describirá posteriormente.

Suponiendo ahora que la memoria IS contiene el programa de las operaciones a controlar por la unidad de control, es cargada en primer lugar una dirección en el 15 registro ISAR de direcciones para extraer una instrucción de la memoria IS.

Esta dirección es suministrada por un dispositivo NIAR siguiente de registro de dirección de instrucción para efectuar el tratamiento de la característica 20 de prioridad. El dispositivo NIAR incluye tantos registros como niveles de prioridad existen. En cada registro, es escrita la dirección de la siguiente instrucción del programa del mismo nivel de prioridad después de la ejecución de una instrucción. De este modo, antes de ejecu- 25

tar una instrucción, la unidad de control explora todos los elementos bajo su control y que están conectados a su línea general N para tratar solamente el de nivel de prioridad más alto. Por consiguiente, dichos niveles son realmente niveles de interrupción puesto que interrumpen cualquier programa después de la ejecución de cualquiera de sus instrucciones.

Cada instrucción extraída de la memoria IS es cargada en el registro IRM, el cual puede contener, en este caso, dos palabras W_0 y W_1 . La primera proporciona las direcciones de operando contenidas en uno de los registros SA y SB y sobre los cuales ha de efectuarse una operación en la unidad ALU. La palabra W_1 puede también proporcionar operandos, los cuales, después de pasar a través de la unidad ALU, serán introducidos en SB o en SA. El funcionamiento de la unidad ALU está controlado por uno de los campos, a saber ALU CTRL, de la palabra W_1 . El resultado proporcionado por la unidad ALU puede fluir a través de varias vías. Puede ir a través de un registro ALU Reg y ser alimentado indistintamente en uno de los registros de SA y/o SB o puede ir hacia la línea general N. También, puede ser introducido en una dirección que forma el dispositivo AdF y allí, controlado por otro campo de W_1 , suministrar la dirección de la siguiente instrucción, para ingresar en uno de los registros

tros NIAR.

Pueden realizarse otras permutaciones con la línea general N en la dirección de entrada, es decir desde la línea general hacia la unidad E de control o en la dirección opuesta o en la dirección de salida. En la dirección de entrada los datos fluyen a través de un registro REG IN que alimenta cualquiera del grupo de registros SB, o el registro A de entrada de la unidad ALU. En la dirección de salida, además de las posibilidades anteriormente indicadas, es también posible transferir las salidas SB directamente a la línea general N.

Las transferencias son realizadas a través de puertas G.

El funcionamiento de la unidad de control comienza por una operación de establecimiento de valores iniciales, durante la cual son cargadas en la unidad NIAR las primeras direcciones de cada uno de los programas capaces de ser efectuados por la unidad. Entonces son explorados los elementos conectados a la línea general N. Cuando uno de ellos requiere el servicio de la unidad de control o está listo para realizar una operación bajo su control, introduce su solicitud. Sin embargo solamente puede satisfacerse si está provisto del nivel de prioridad más alto entre las unidades solicitantes. Para mejorar la

5 versatilidad del sistema, no solamente se asig-
na una prioridad a cada entrada a la línea gene-
ral N, sino que se contempla también la posibili-
dad de introducir prioridades definidas por
el dispositivo programador.

10 Para este fin, se preven todas las po-
sibilidades, a saber el programador puede reque-
rir la introducción normal de una interrupción
con el nivel de prioridad más alto (nivel cero)
a una velocidad de secuencia correspondiente a un
15 generador de sincronismo representado en la figura
7 con la referencia TIMER, o puede enmascarar algu-
nos niveles de prioridad para favorecer niveles in-
feriores (mediante un dispositivo MASK), o final-
mente puede forzar niveles de interrupción (median-
te un dispositivo PIRR). Los dispositivos MASK y
PIRR pueden ser registros con tantas posiciones de
bitios como niveles de interrupción posibles haya.
El programador cargará un "uno" o un "cero" en la po-
20 sición de bitio correspondiente al nivel a enmasca-
rar o por el contrario a forzar.

25 Se dijo anteriormente que la unidad de con-
trol es capaz de autocargar en su memoria IS los pro-
gramas que ha de ejecutar para controlar los módulos
bajo su dependencia. Se observará que la disposición

constructiva de esta unidad, como se ha diseñado aquí, permite realizar esta función con bajo coste. La adición de un dispositivo correspondiente a un registro simple, indicado por la referencia IPL en la figura 8, proporciona medios para individualizar la unidad de control. Para este fin, la memoria IS incluye una sección ROS de memoria fija que contiene un programa de carga y una sección RAM de acceso aleatorio en la cual se escribirán los programas de aplicación a la unidad de control por un terminal ATT conectado a la línea general N a través de una puerta I/OP. Este terminal puede ser, por ejemplo, un lector de tarjetas. La figura 8 representa un diagrama de bloques del sistema de carga. El contenido de la memoria ROS que se transmite a través del registro IRM da comienzo a la operación de carga. Se observará que el nivel de prioridad más alto (nivel cero) está asignado al terminal ATT y que el dispositivo se mantiene en este nivel situando un "1" en la celda de nivel cero del registro PIRR. Todos los registros de la unidad NIAR son repuestos, con la excepción del que tiene el nivel de prioridad más alto, en el cual se introduce la dirección de la primera instrucción del programa de carga (por ejemplo, la dirección 00001).

La presencia de un "uno" binario en la cel-

da PIRR correspondiente al nivel de interrupción ce
ro, requiere la ejecución del programa de carga. La
dirección 00001 es alimentada en la unidad ISAR, lo
cual implica la lectura de la correspondiente posi-
5 ción de la memoria IS, donde se encuentra una ins-
trucción de lectura de ATT. Es extraída una instruc-
ción y una dirección de la unidad ATT a través de la
línea general N, y el conjunto completo es cargado en
uno de los registros SB. Es transferida entonces la
10 instrucción al registro IPI por la unidad de control,
mientras que el valor de la dirección de memoria RAM
que recibiría la instrucción recogida de la unidad
ATT es alimentado en la unidad ISAR, lo cual implica
la escritura del contenido del registro IPL en la uni-
15 dad de memoria RAM. Lo precedente se denominará "proce-
dimiento IPL" en la descripción siguiente del invento.

El flujo de datos puede describirse del
modo siguiente. Supóngase en primer lugar que se con-
sidera la ejecución de una sola instrucción. Cuando
20 una unidad conectada a la línea general N requiere
el servicio de la unidad de control, introduce una
solicitud de interrupción que será tomada en cuenta
por medio de un dispositivo lógico INTER (vease la
figura 7). Esto permite extraer el contenido del re-
25 gistro NIAR correspondiente al nivel de interrup-

ción de la unidad solicitante, a saber la dirección en la memoria IS donde está almacenada la instrucción a ejecutar por la unidad de control. De este modo, utilizando un registro ISAR de direccionamiento, se establece acceso a una instrucción la cual es transmitida al registro IRM. Esta instrucción incluye dos secciones W_1 y W_0 . Contienen cualquiera de las direcciones de los registros SA y SB que proporcionan los operandos a utilizar en la unidad ALU, o directamente los valores a introducir en la unidad ALU. La sección W_1 permite controlar el funcionamiento de la unidad ALU. El resultado proporcionado por la última puede ser realimentado a uno de los registros SA o SB, o a ambos, en la dirección ya definida por W_0 .

La dirección de la nueva instrucción a ejecutar con el mismo nivel de prioridad es generada por medio de la indicación BRANCH contenida en W_1 o incluso utilizando la unidad ALU. La nueva dirección es cargada en el registro NIAR correspondiente al nivel de prioridad que está siendo tratado.

Si la instrucción tratada se refiere a una unidad conectada a la línea general N, su dirección está contenida en W_0 .

En realidad, para aumentar su potencia de

tratamiento, la unidad de control opera simultáneamente sobre dos instrucciones que pertenecen a dos programas diferentes (impar-par). Los registros NIAR están entonces dispuestos en dos grupos, tratando uno de ellos los niveles de interrupción pares y tratando el segundo los niveles de interrupción impares. Cuando se establecen simultáneamente dos solicitudes de interrupción, una impar (I) y otra par (P), la unidad de control funciona del modo siguiente. El dispositivo de prioridad recoge el contenido del registro NIAR de nivel P, que es entonces transferido al registro ISAR. La ejecución de esta instrucción es realizada en la unidad de control mientras que es direccionado el registro NIAR de nivel impar (I) y alimenta el registro ISAR, el cual, a su vez, direcciona la memoria IS y carga el registro IRM, y así sucesivamente.

Por consiguiente, la unidad de control opera sobre dos conjuntos de programa, cada uno de los cuales tiene su propia característica de prioridad. Como se representa en la figura 9, de acuerdo con las prioridades, es interrumpido el tratamiento de nivel seis después de haber finalizado la ejecución de la instrucción 103, para ir al nivel

cuatro (nueva unidad solicitante con una prioridad más alta que la de nivel seis). Son ejecutadas las instrucciones 200 y 201. Entonces, el funcionamiento vuelve al nivel seis, instrucción 104 y continúa. Se realiza un proceso similar entre los programas que pertenecen al nivel impar. Los programas par e impar son así realizados en paralelo. Para hacer ésto posible, es necesario naturalmente disponer los elementos de la unidad de control de un modo particular que permite su mejor utilización al tiempo que evita agolpamientos y mezcla de datos. El tiempo requerido para ejecutar una instrucción está dividido en cuatro partes C_0 , C_1 , C_2 y C_3 iguales. Como se representa en la figura 10, durante el ciclo C_1 , en cuanto concierne a los niveles pares, es extraída media instrucción de la memoria IS y cargada en el registro IRM y se efectúa una escritura (WR) de la instrucción anterior en los conjuntos SA y SB. La unidad ALU opera para los niveles impares. Durante C_2 , para los niveles pares, es extraída de 15 la segunda parte de la instrucción y los registros SA y SB son leídos (RE). Entre tanto los medios descodificadores de dirección, para descodificar la dirección de la nueva instrucción (N-INST.AD) y los medios de interrupción (INTERRUPT) están asignados a los niveles impares. Du-

rante el ciclo C_3 la unidad ALU está asignada a los programas pares, mientras que para los programas impares se lleva a cabo una extracción de una primera mitad de instrucción y una escritura en los registros SA y SB. Finalmente, durante el ciclo C_0 para los programas pares, es descodificada la dirección de la nueva instrucción y es tratado el nuevo nivel de interrupción; es extraída de la memoria IS la segunda mitad de la instrucción y son leídos los registros SA y SB dentro de niveles impares. Este proceso continúa sucesivamente.

La unidad ALU lógica y aritmética puede ser de tipo conocido. Deberá ser capaz de efectuar las siguientes operaciones: adición, sustracción, función Y, función O exclusiva, desplazamiento hacia la derecha, desplazamiento hacia la izquierda. Está provista de dos registros REG.A y REG.B de entrada capaces de recibir y retener datos mientras está en curso una operación de la unidad ALU. Estos registros están provistos de dos secciones PA y PB para los bits de paridad. Un registro OUT REG de salida recibe el resultado de la unidad ALU. Como se representa en la figura 11, está dispuesto un dispositivo de control de paridad. Los contenidos de PA y PB son alimentados respectivamente al generador PARIT. CTRL de

control de paridad. Son utilizados para proporcionar un resultado PP suministrado por un dispositivo PARIT.PREDICT.LOG. lógico de predicción. La comparación del resultado PP con los bitios PR de paridad generados por PARIT.GEN. alimentados con la salida de ALU, proporciona un error ERR. El resultado proporcionado por la unidad ALU es almacenado transitoriamente en un registro OUT.REG.

Es ahora más fácil comprender como funcionan en asociación las unidades de computación (PMAU) y de control (IS-E). Como se ha mencionado anteriormente, la unidad PMAU depende de la unidad de control que controla la línea general N a la cual está conectada. Tan pronto como la unidad PMAU está lista para efectuar las operaciones asociadas a una palabra CW de control proporcionada por la unidad IS-E, introduce una solicitud de interrupción, por ejemplo situando un "uno" binario en el circuito L de retención asociado con ella. Se observará que la línea general bidireccional incluye una sección dispuesta para los datos (línea general de datos) y otra sección dispuesta para las señales de interrupción (línea general de interrupción). Cuando la unidad PMAU alimenta un "1" binario en la línea de interrupción de la línea general asignada a su nivel, la unidad de control es in-

5 formada de que se ha iniciado una ejecución CW y
de que la unidad PMAU es capaz de recibir una nue
va señal binaria. Los resultados son almacenados
automáticamente en la memoria Si-S a la cual se
establece acceso por la unidad de control para lec
tura o escritura. Estos accesos son efectuados por
interrupción monocíclica. De este modo, fué necesa
rio asignar dos direcciones a cada unidad PMAU: una
para la unidad PMAU y la segunda solamente para la
10 memoria Si-S. En realidad es suficiente un bitio adi
cional para la dirección de PMAU.

Como se ha visto anteriormente, la palabra
CW de control incluye cuatro baterías de bitios. Pa
ra hacerla disponible a la unidad PMAU, la unidad de
control ejecuta una instrucción de "escribir cuatro
15 baterías de bitios".

Mediante otra instrucción de escritura, la
unidad de control inicia una secuencia de direccio
nes de memoria Si-S de PMAU, que deberán tratarse de
acuerdo con el método anteriormente descrito. Estas
20 direcciones recibirán los resultados de operaciones
llevadas a cabo por la unidad PMAU.

De este modo, ejecutando instrucciones de
Lectura o Escritura, la unidad de control puede ha
cer indistintamente que sean enviados datos hacia
25

cualquiera de los elementos terminales conectados a su línea general N o, por el contrario, recoger datos de cualquier terminal.

5 Los dos módulos esenciales para el sistema de tratamiento de señal, a saber la unidad (IS-E) de control y la unidad (PMAU) de computación, funcionan sobre datos expedidos por la señal a tratar. La conexión de cada fuente de datos está asegurada a través de un módulo (I/OP) de puerta. Su estructura
10 es relativamente simple, como se representa en la figura 12. Pero aunque la puerta representada en esta figura está dispuesta para enlazar un convertidor de analógico a digital (A/D) a la línea general N, el módulo I/OP es de un tipo normalizado independiente
15 del dispositivo conectado. Este módulo incluye principalmente un descodificador AD-DEC de dirección conectado a la sección de datos de la línea general N, un registro R y un circuito Lo de retención.

20 Cuando el convertidor A/D o cualquier otro dispositivo conectado al módulo I/OP es alimentado con una información a enviar a la unidad de control, la carga en el registro R, mientras que el circuito Lo de retención es puesto en el nivel lógico "1". Al estar conectado este circuito de retención a la sección de prioridad de la línea general N, la unidad de control es in
25

formada, por consiguiente, de esta solicitud de interrupción. Cuando, por medio de la característica de interrupción, la unidad de control está lista para tratar esta solicitud, envía sobre la línea general N la dirección de la puerta relacionada que descarga su registro R en la línea general de datos y repone a cero el circuito Lo de retención. Para permitir las conexiones en ambos sentidos entre la unidad de control y el dispositivo conectado a la puerta, puede ser utilizado el registro R como entrada y también como salida.

Está dispuesto un módulo llamado "Adaptador entre Líneas Generales" (IBA) para transferencias entre dos subsistemas o más exactamente entre una unidad de control que funciona como unidad principal y otra que funciona como unidad subordinada. Este módulo consiste prácticamente en dos módulos I/OP conectados en oposición, como se representa en la figura 3. Cuando la unidad principal M tiene que controlar una unidad E₁ subordinada, envía la dirección del módulo IBA correspondiente sobre la línea general N y, al mismo tiempo, una orden de escritura o lectura. Después que la dirección ha sido descodificada por AD-DEC, la unidad M principal origina la carga del registro R₁. Simultáneamente, a través de un circuito CTL de control,

"llama" a la unidad E_1 subordinada introduciendo una solicitud de interrupción del nivel de prioridad más alto, enviando un bitio sobre la línea int.0 de la línea general N-BUS 2. Después de la ejecución de la instrucción en curso, la unidad subordinada de acceso al módulo IBA, originando la descarga de datos de R_1 en la línea general N-BUS 2. La operación inversa desde E_1 a M_1 es idéntica, excepto en lo que respecta a los niveles de prioridad. En este caso, la unidad subordinada no tiene necesariamente la prioridad más alta. Su nivel depende de la disposición constructiva del sistema global y de la distribución de las cargas de trabajo en los diversos subsistemas.

Por consiguiente, el módulo IBA puede ser casi simétrico, pero es también posible utilizar solamente un descodificador de dirección para ambos sentidos de transmisión.

Pueden construirse unidades de tratamiento de señal utilizando los módulos antes descritos. En primer lugar, son listadas las funciones a asegurar y son distribuidas entonces a varios subsistemas, al tiempo que se optimiza el conjunto. Por ejemplo, ilustremos este invento escogiendo un ejemplo en el campo de la telefonía y otro en el campo de los moduladores-

1-12-75

-desmoduladores. Esta selección de ejemplos no restringe el campo de este invento, que puede ser aplicado a otros tipos de unidades de tratamiento de señal.

5 Un sistema telefónico deberá asegurar las siguientes funciones: explorará las líneas conectadas a las extensiones para detectar estados de "colgado" y "descolgado" de los aparatos telefónicos, proporcionar los tonos, reconocer los números de marcación, establecer la conexión entre las partes que llaman y las partes llamadas, dar la señal de llamada a la parte llamada, etc. Deberá indicarse que el sistema telefónico considerado en esta memoria es del tipo que utiliza principios de transmisión simultánea por división de tiempo (TDM). Un sistema de este tipo se describe en la Patente Francesa 7308009 presentada por el solicitante de este invento el 1 de marzo de 1973.

10

15

En primer lugar, se recordarán los principios generales. Todas las extensiones conectadas al sistema son exploradas en este caso periódicamente para detectar los cambios de estado. Cuando se detecta un estado de "descolgado" es registrado el número de extensión relacionado y se proporciona una señal de tono y de marcación a la parte que llama, que "sabe"

20

25

entonces que puede marcar el número de la extensión solicitada. Tan pronto como el último es identificado, es llamado. Entonces, es indicado el estado "descolgado" y se establece la conexión asignando a las dos extensiones a conectar el mismo intervalo selector en el ciclo de transmisión simultánea. Esta opción proporciona a ambas acceso simultáneo a la línea general TDM dispuesta para conducir los datos.

La figura 14 representa un sistema telefónico dispuesto para servir a N extensiones divididas en tres grupos K_1 , K_2 y K_3 . Cada grupo está conectado a un subsistema que incluye una unidad de control conectada a una línea general N provista de una unidad PMAU y dos unidades I/OP. La primera puerta SB provee las medidas necesarias para la conexión de una línea general TDM conectada a extensiones T_0, T_1, \dots, T_n , a través de adaptadores LA_0, LA, \dots, LA_n . Cada adaptador incluye un circuito de línea convencional y convertidores de analógico a digital y de digital a analógico. La segunda puerta (CSB) asegura la conexión a una línea asignada al control de extensión telefónica. Asegurará la exploración y las operaciones de llamada, las detecciones de cambios de estado, etc.

La distribución de las extensiones en varios grupos proporciona una solución a los problemas originados por las distancias entre las situaciones geográficas de dichas extensiones. Las extensiones de un mismo grupo deberán ser tratadas por un subsistema. El control global requiere la utilización de una unidad M principal, a la cual están subordinadas otras unidades S_1 , S_2 y S_3 de control. La línea general N-BUS₀ conectada a la unidad principal está, por consiguiente, conectada a líneas generales N-BUS 1 a N-BUS 3 de las unidades subordinadas a través de adaptadores IBA1 a IBA3. Una puerta SB₀ permite conectar una línea general TDMO a la línea general N-BUS 0. Cada línea general TDM de un subsistema está conectada a la puerta SBO a través de una unidad de acoplamiento compatible de línea general TDM que lleva la referencia TBI.

En funcionamiento, el ciclo de temporización puede ser el siguiente: Cada unidad E_2 , E_3 y E_4 de control explora permanentemente los circuitos LA conectados al grupo K bajo su control, dando acceso secuencial y cíclicamente a dichos circuitos mediante el envío de sus direcciones asociadas a una orden de lectura a través de su puerta CSB. Supóngase que la unidad LA 0 del grupo K_3 está conectada a un apa-

rato telefónico que llama. Cuando este aparato es direccionado por la unidad E_4 de control, dicha unidad de control recibe de LA/O una información que indica su cambio de estado (aparato descolgado). La unidad S_3 de control que tiene registrada la dirección de la extensión T_0 y que es informada de la llamada, enviará a través de la puerta SB3 el tono convencional a LA_0 y de este modo a la extensión T_0 que llamada. Este tono necesita en primer lugar ser generado. Para este fin, S_3 hace que la unidad PMAU3 asegure esta operación (descrita con detalle posteriormente) suministrando una palabra de control (CW) a ella, dependiendo del tipo de tono requerido. La parte que llama, en la extensión T_0 , es informada recibiendo el tono de que puede comenzar a marcar el número telefónico de la extensión llamada. La unidad S_3 de control reúne los dígitos de marcación a través de la puerta CSB3 y los dirige hacia la unidad M principal a través de la puerta IBA3, de acuerdo con la técnica anteriormente descrita para asegurar la conexión entre unidad principal y unidad subordinada. Por ejemplo, puede suponerse que la extensión llamada es T_n del grupo K_1 . La unidad principal identifica esta extensión y determina a qué unidad de control está conectada. Por consiguiente, solicita de S_1 el acceso a T_n que pertenece a su

grupo. La unidad S_1 subordinada envía, a través de CSB1, un mensaje de control de señal de llamada a T_n . Mientras T_n es llamada, S_1 informa a la unidad principal, que entonces interroga a S_3 para proporcionar un mensaje de retorno de llamada a la extensión T_0 , que efectúa la llamada a través de la puerta SB3. En realidad, este mensaje es otro tipo de tono que será generado por PMAU₃, según se requiera por S_3 , proporcionando a dicha unidad PMAU, la palabra de control correspondiente a la función requerida. El estado de "descolgado" de la extensión T_n llamada es detectado por S_1 durante la exploración secuencial de K_1 extensiones. Entonces esta unidad de control proporciona a T_n un mensaje de final de llamada a través de CBS1 y LA_n. La conexión puede ser establecida por la unidad principal. Para esto es asignada por la unidad principal M un mismo intervalo selector T para la exploración de la línea general TDM BUS 0, a ambas unidades TBI₁ y TBI₃ de acoplamiento. Estas unidades de acoplamiento aseguran las asignaciones de intervalo selector para completar el enlace entre TDM BUS 0, TDM BUS 3 y TDM BUS 1. Esto significa que el contenido de TDM BUS 1 que aparece durante el intervalo selector asociado a T_n en el ciclo de exploración del grupo K_1 es almacenado en un registro Rg.1 de TBI₁;

que el contenido de este registro constituye los
datos a transmitir sobre la línea general TDM BUS 0
durante T_i ; y que el contenido de TDM BUS 0 durante
este intervalo T_i selector deberá ser situado sobre
5 la línea general TDM BUS 3 durante el intervalo se-
lector dispuesto para la exploración de T_0 del gru-
po K_3 .

La conexión establecida de este modo es
interrumpida solamente cuando la unidad subordinada
10 S_1 ó S_3 detecta la operación de "colgar" de una de
las extensiones T_n ó T_0 intercomunicantes. Por su-
puesto, S_1 ó S_3 indica este estado de "colgado" a
la unidad principal, que hace disponible el interva-
lo selector que fué asignado a TDM BUS 0.

15 Este procedimiento es mantenido por un pro-
grama almacenado en la memoria IS de la unidad prin-
cipal y unidades subordinadas. Podría haber sido in-
troducido en ella durante la construcción del siste-
ma llevando a cabo el procedimiento IPL anteriormen-
te descrito.
20

Se ha visto anteriormente que las señales
de tono deberán ser proporcionadas a las extensiones
en un momento dado del proceso antes descrito. Dichos
tonos serán generados por la unidad PNAU cuando se re-
25 ciba una palabra CW de control. Se requieren en los

sistemas telefónicos señales de tono de diversas
frecuencias y amplitudes, como es conocido en la
técnica. Todas estas frecuencias son generadas en
este caso a partir de una onda senoidal básica
5 (vease la figura 15a) cuyas muestras de semiperío-
do están retenidas en la memoria Si-S de la unidad
PMAU. A partir de estas muestras, el dispositivo
puede formar ondas senoidales armónicas. En el pre-
sente caso las señales de tono son combinaciones
10 lineales de frecuencias S_p y S_q obtenidas de la si-
guiente fórmula:

$$S = \alpha S_p + \beta S_q$$

donde α y β son coeficientes constantes.

Por consiguiente, la señal puede ser sinte-
15 tizada por la unidad PMAU. La unidad IS-E de control
indica a la unidad PMAU el tipo de tono requerido en
un momento determinado. De este modo, son definidos
los valores de los parámetros α y β , así como las
características de las frecuencias S_p y S_q . La figu-
20 ra 15b representa la disposición de la memoria Si-S.
Los coeficientes α y β están almacenados dos veces:
a saber α y β en las direcciones B y B+1 y $-\alpha$ y β
en las direcciones C y C+1, respectivamente. Los da-
tos X representan muestras X_0 a X_n de la onda senoi-
25 dal básica de frecuencia f, almacenadas en las direc-

ciones A a A + n. Está escrita una rutina correspondiente a la generación de tonos en la memoria CB de control de la unidad PMAU. Sp y Sq representan muestras de ondas senoidales de frecuencias f/p y f/q, respectivamente, donde p y q son números enteros. La figura 15c representa el formato de la palabra CW de control proporcionada por la unidad IS-E para interrogar a la unidad PMAU para sintetizar un tono. La batería 4 de bits proporciona el código Op. Los bits 2 a 4 suministran el código correspondiente al tono requerido, cuyas características serán entonces definidas en el dispositivo CB de la unidad PMAU. Las baterías 1 a 3 de bits proporcionan indicadores PTR1 a PTR3. La unidad PMAU utiliza el indicador PTR1 para extraer los parámetros α o $-\alpha$, estando el parámetro β correspondiente en la siguiente dirección. Aparece una marca indicadora (F1) en la dirección que sigue a cada grupo (α, β) , y los indicadores PTR2 a PTR3 definen Sp y Sq. Los resultados de las operaciones realizadas por la unidad PMAU son escritos en una tabla (tabla de resultados) dispuesta para este fin en la memoria Si-S y serán proporcionados por la unidad PMAU a la unidad de control y después transmitidos al convertidor de digital a analógico asociado a la extensión telefónica que requiere el tono.

La figura 15d representa el diagrama operativo de control subordinada. Cuando IS-E empieza a funcionar, la palabra de control es cargada en un registro (operación 1) y está lista para ser enviada. Entonces la primera palabra CW es enviada a la unidad PMAU (operación 2) y el nivel de interrupción de PMAU en curso es repuesto a cero. El programa espera la orden de interrupción (operación 3) proporcionada por la unidad PMAU. Cuando recibe esta orden, el nivel correspondiente es puesto a "uno" (operación 4) en el dispositivo PIRR. El resultado del cálculo es leído por IS-E en la memoria Si-S de la unidad PMAU y es enviado al circuito LA (operación 5) que requiere el tono donde será convertido al modo analógico. En la operación 6 es preparada la nueva palabra CW añadiendo p y q a PTR2 y PTR3, respectivamente. El programa de la unidad de control comprueba que los nuevos indicadores no son superiores a $A+n$. Si lo son, son sustituidos por su valor de módulo n y es modificado el signo correspondiente. Entonces la unidad de control envía la nueva palabra CW como anteriormente y la secuencia comienza otra vez.

Lo anterior muestra las ventajas de este invento en el campo telefónico, pero no está limitado a este dominio. Cada vez que una señal portadora de una

información, cualquiera que sea, deba ser tratada para ser capaz de ser interpretada por su dirección, puede ser utilizado este invento. En cada ocasión cambian las combinaciones de funciones de la unidad PMAU, así como los programas y tratamientos, pero se conservan los mismos principios básicos.

Por ejemplo, supóngase que ha de realizarse un sistema de transmisión de datos. La señal de información puede ser transmitida a su dirección solamente después de haber sido sometida a varios procesos que incluyen, en particular, una modulación en el extremo emisor y una desmodulación en el extremo receptor. El dispositivo que lleva a cabo estas operaciones es conocido como modulador-desmodulador (MODEM). Pueden encontrarse en la literatura técnica una pluralidad de descripciones de dispositivos MODEM analógicos o digitales, en particular en el artículo de M. Choquet y H. Nussbaumer publicado en el IBM Journal, volumen 15, 1971, que concierne a la operación de emisión. Está también descrita una ejecución de este tipo de emisión en la Patente Francesa 7040922, presentada el 29 de octubre de 1970 por el solicitante de este invento.

En el extremo de recepción es necesario muestrear, filtrar y ecualizar la señal de entrada antes de obtener los datos. Con el fin de llevar a cabo es-

tas operaciones del modo apropiado, deberán ser ejecutadas a una frecuencia de sincronismo y con una fase inicial correctas.

5 Como se representa en la figura 16, un receptor incluirá un convertidor ADC en el cual la señal analógica $r(t)$ expedida por la línea es muestreada al ritmo de una señal de sincronismo generada por CK. Las muestras r_k así obtenidas son transmitidas a un transformador de Hilbert que excita un ecualizador EQ que alimenta un detector. Puede encontrarse una descripción detallada de estos dispositivos en las Patentes Francesas 7326402, presentada el 12 de julio de 1973, 7317607, presentada el 11 de mayo de 1973, 7326404, presentada el 12 de julio de 1973 y 15 7147850, presentada el 21 de diciembre de 1971 por el solicitante de este invento.

Un modulador desmodulador que utiliza este invento está representado en la figura 17. Incluye una unidad de control que funciona como unidad principal cuya línea general N-BUS 0 está conectada, a 20 través de IBA_1 e IBA_2 , a la línea general N-BUS 2, respectivamente, que pertenecen a las unidades subordinadas S_1 y S_2 . La unidad S_1 subordinada controla una unidad PMAU de cálculo y una puerta I/OP₁ conectada a una unidad de acoplamiento de entrada ana-

25

lógica. Esta sección del modulador desmodulador asegura la función de recepción en combinación con la unidad principal. La unidad S2 subordinada está conectada a una unidad de acoplamiento de salida analógica.

5 El conjunto unidad principal y unidad S2 subordinada asegura la función de emisión. Para una mejor comprensión del invento, se ha supuesto que se considera un modulador desmodulador de ocho fases en el cual la información de fase requiere, por consiguiente, tres bits con el fin de estar definida. También, se ha supuesto que las funciones de conversión de analógico a digital y de recuperación de información de sincronismo, referenciadas por ADC y CK en la figura 16, están aseguradas de un modo analógico, de acuerdo con un modo convencional, por circuitos analógicos incluidos en la unidad de acoplamiento, Analog IN. Por consiguiente, dicho circuito suministra muestras r_k a la puerta I/OP₁. El subsistema (1) que incluye S₁, la unidad PMAU y la puerta I/OP₁ asegurará la funciones de

10 Hilbert, ecualización y detección, de la figura 16. Por supuesto, es posible asegurar las funciones ADC y CK por un subsistema controlado por S₁.

15

20

25

En la figura 18 está representado un diagrama funcional de la figura 17 que proporciona la distribución de las tareas entre los diversos elementos del

subsistema 1 de la figura 16. Este subsistema lee muestras r_k en el registro de la puerta I/OP y escribe dichas muestras en la memoria Si-S de la unidad PMAU. Estas muestras son utilizadas por la unidad PMAU para realizar la función de Hilbert y la función de ecualización. Como ya se ha descrito en las Solicitudes de Patente Francesas 7326402 y 7326404, presentadas por el solicitante de este invento, estas funciones son realizadas utilizando filtros transversales con coeficientes A_i , B_i , C_i , D_i y sumadores Σ_1 y Σ_2 . Las muestras r_k son enviadas a un primer registro d_{11} de desplazamiento utilizado por ambos filtros transversales MAT y HLL, cuyos coeficientes son A_i y B_i .

Las muestras X e Y suministradas por estos dos filtros son introducidas en registros d y d de desplazamiento, respectivamente, siendo utilizado cada uno de ellos para componer filtros transversales con coeficientes C_i y D_i . Las salidas de estos filtros están acopladas para proporcionar señales U y V. Como se ha visto anteriormente, la unidad PMAU está perfectamente ajustada para asegurar estas funciones. Por consiguiente, la unidad PMAU controlando su transferencia y la unidad PMAU proporciona las palabras correspondientes a las señales U y V en retorno a la unidad

de control después de haber asegurado la función de "filtrado transversal" y realizar las sumas de estas funciones. En modulación digital de fase, cada pareja U, V representa las coordenadas cartesianas que definen la información Da solicitada (se hace referencia a la publicación IBM antes indicada). Para su examen, la unidad IS-E detecta, en el caso de un modulador desmodulador de ocho fases, el valor de la batería de bitios recibida, por búsqueda en tabla. Entonces estos bitios son enviados a la unidad IBA con el fin de ser transmitidos a la unidad principal que deberá continuar su tratamiento. Adicionalmente, los valores de los coeficientes C_i y D_i del ecualizador deberán ser modificados de vez en cuando. La unidad IS-E de control calcula un término de error (E_r) cuyas componentes cartesianas son $DU = U_o - U$ y $DV = V_o - V$, siendo U_o y V_o las componentes teóricas y siendo U y V los valores efectivamente recibidos. Las informaciones DU y DV son proporcionadas a la unidad PMAU, la cual, haciendo uso de un algoritmo convencional, calculará variaciones ΔC_i y ΔD_i a aplicar a los coeficientes C_i y D_i para reducir a un mínimo el error que afecta a U y V. En este caso, la unidad de control proporciona a la unidad PMAU palabras de control para realizar estos algoritmos.

Como se ha visto anteriormente, la unidad S_1 subordinada proporciona a la unidad principal baterías de tres bitios extraídas de la señal recibida sobre la línea L_1 . Estos bitios no constituyen, sin embargo, la información final solicitada. En primer lugar, la unidad M principal deberá someter a dichas baterías de bitios a una operación de "descifrado". En efecto, antes de ser introducidos en la línea, en el extremo emisor, los bitios de datos han sido modificados de acuerdo con un algoritmo previamente definido. Por ejemplo, han sido forzados sistemáticamente ceros en los trenes de bitios "1" antes de ser enviados sobre la línea. Esto constituye una operación de "cifrado" que hace más fácil la transmisión sobre la línea y la recuperación de la información de sincronismo en el extremo receptor.

La operación de descifrado que requiere solamente la realización de funciones lógicas, es llevada a cabo por la unidad M principal. Por ejemplo, dicha unidad M principal efectúa sumas de módulo 2 sobre los bitios recibidos.

El tren de bitios descifrado proporciona un segundo tren que es separado en palabras por la unidad principal. La fase de separación está bajo el control de la unidad principal, que clasifica los bitios para

retener solamente los bitios útiles.

En el extremo de emisión, la unidad principal efectúa operaciones complementarias a las descritas anteriormente. Por consiguiente, proporciona grupos de tres bitios a la unidad S_2 subordinada. En modulación digital de fase, cada batería de tres bitios indica una fase y un elemento de señal correspondiente a cada fase. Para una descripción detallada de la transmisión digital, se hace mención a las referencias antes indicadas y a la Patente Francesa 7040292 citada anteriormente.

Para un modulador desmodulador de 8 fases hay solamente ocho elementos de señal posibles. Cada elemento de señal está definido intrínsecamente por un número dado de muestras, las cuales forman en conjunto una palabra. Por consiguiente, las ocho fases están representadas por ocho palabras cargadas inicialmente en la memoria IS de la unidad S_2 subordinada mediante el procedimiento IPL.

Como se ha indicado en la antes citada patente, deberán realizarse adiciones de las muestras de elemento de señal correspondientes a la última batería de bitios recibida desde la unidad M principal y a un número dado (por ejemplo cinco) de elementos de señal precedentes. Estas operaciones pueden ser efectuadas por

la unidad S2 subordinada. Los elementos de señal recogidos de IS en cada llegada de una batería S₂ de bitios, son cargados en registros que pertenecen a la agrupación SB de E2. Cuando llega una nueva batería de bitios en el instante i, es introducida una nueva palabra S_{ei} en SB y hace que sea desplazada a la salida la palabra S_{ei-6}. Las operaciones a efectuar antes de la llegada de una nueva batería de bitios en S₂ son solamente adiciones y acumulaciones que serán efectuadas utilizando principalmente la unidad ALU y la agrupación SB. Los resultados de estas acumulaciones proporcionan palabras alimentadas a la unidad de acoplamiento "Analog out" de línea a través de una puerta I/OP₂. Este circuito realiza la conversión de digital a analógico y, según se requiera, operaciones de filtrado de salida, antes de excitar la línea L₁ de salida.

Estos dos ejemplos muestran las ventajas del presente invento aplicado en el campo de tratamiento de señal. Pero, aún cuando el invento ha sido particularmente expuesto y descrito con referencia a la realización preferida del mismo, los expertos en la técnica entenderán que pueden hacerse diversos cambios en la forma y detalles sin apartarse de la esencia y campo de aplicación del invento.

Esta solicitud que corresponde a la pre-
sentada en Francia, el 27 de Diciembre de 1974,
bajo el nº 7443561, se acoge a los beneficios del
art. 51 del vigente Estatuto sobre Propiedad Indus-
trial.

5

REIVINDICACIONES

Los puntos de invención propia y nueva
que se presentan para que sean objeto de esta soli-
citud de Patente de Invención en España, por VEINTE
años, son los que se recogen en las reivindicaciones
siguientes:

1ª.- Perfeccionamientos introducidos en una
unidad de tratamiento de señal modular de estructura
ramificada, caracterizados porque dicha unidad inclu-
ye: a) Una unidad de control que funciona como unidad
principal, b) al menos una unidad de control subordi-
nada, c) tantas líneas generales bidireccionales como
unidades de control hay, incluyendo cada una de dichas
líneas generales medios para transportar información
de datos e información de prioridad, d) medios para
conectar cada línea general bidireccional, asociada a
una unidad de control subordinada, a la línea general
asociada a la unidad principal a través de un adapta-

25

5 dor entre líneas generales, e) al menos una unidad
de computación conectada a una de las líneas genera
les bidireccionales y que asegura un número dado de
funciones bajo el control de la unidad de control que
10 controla dicha línea general, derivándose cada una de
dichas funciones de combinaciones de sumas de produc-
tos de dos números, f) al menos una unidad de puerta
conectada a una de dichas líneas generales bidireccio
nales y que proporciona entrada de datos, bajo control
15 de la unidad de control que controla la línea general
bidireccional a la cual está asociada dicha puerta.

 2ª.- Perfeccionamientos de acuerdo con la
reivindicación 1ª, caracterizados porque la unidad in
cluye medios para aumentar la potencia de tratamiento
15 de una unidad de control subordinada poniendo bajo su
control otra unidad subordinada, estando conectada di
cha otra unidad subordinada a su unidad principal a
través de un adaptador entre líneas generales.

 3ª.- Perfeccionamientos de acuerdo con la
20 reivindicación 1ª o la reivindicación 2ª, caracteri-
zados porque cada unidad de control funciona en el
modo de prioridad, cuyo modo permite la interrupción
de cualquier programa en curso después de cada ejecu-
ción de una instrucción con el fin de permitir que la
25 unidad de control atienda una solicitud de servicio

expedida por un módulo conectado a la línea general controlada y que tiene un nivel de prioridad más alto.

5 4^a.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones anteriores, caracterizados porque las operaciones de la unidad de computación están controladas por una palabra de control expedida desde la unidad de control:

10 5^a.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones anteriores, caracterizados porque dicho adaptador entre líneas generales incluye: a) al menos un descodificador de dirección; b) al menos un registro de datos cuya carga está controlada por dicho descodificador de dirección;

15 c) al menos un circuito de retención.

20 6^a.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones anteriores, caracterizados porque dicha unidad de control incluye: a) una memoria de instrucción, b) un registro de dirección de memoria de instrucción, y c) una unidad lógica que incluye: un registro dispuesto para recibir las instrucciones recogidas de dicha memoria de instrucciones, dos conjuntos de registros de operando, una unidad lógica y aritmética, un dispositivo formador de direcciones y un conjunto de registros para almacenar la siguiente dirección

25 de instrucción de cada programa correspondiente a cada

uno de los niveles de interrupción.

5 7ª.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones anteriores, ca-
racterizados porque dicha unidad de control inclu-
ye medios para introducir interrupciones, incluyen
do dichos medios: a) un generador de sincronismo pa-
ra interrupciones periódicas, b) un conjunto de re-
gistros dispuestos para enmascarar o para forzar uno
o varios niveles de interrupción escogidos por el pro-
gramador.

10

8ª.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones 2ª a 7ª, caracte-
rizados porque la unidad incluye medios para tratar en
paralelo dos niveles de interrupción diferentes, asig-
nando una porción de los elementos de unidad de control
a uno de dichos niveles y la segunda porción al segundo
de dichos niveles, alternativamente.

15

9ª.- Perfeccionamientos de acuerdo con cual-
quiera de las reivindicaciones 5ª a 8ª, caracterizados
porque dicha memoria de instrucciones incluye una memo-
ria fija y una memoria de acceso aleatorio, conteniend-
do dicha memoria fija un programa para cargar los pro-
gramas a ejecutar por la unidad de control en dicha me-
moria de acceso aleatorio.

20

25 10ª.- Perfeccionamientos de acuerdo con la

reivindicación 9ª, caracterizados porque dicha carga es realizada por la propia unidad de control, desde una unidad de entrada/salida conectada a su línea general.

5 11ª.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones 1ª a 10ª, caracterizados porque dicha unidad de computación incluye: a) medios de acoplamiento para asegurar el acoplamiento entre la línea general bidireccional y los elementos de la unidad de computación, 10 b) una memoria de señal, c) un registro de salida de dicha memoria, d) un conjunto de registros de direcciones de dicha memoria, e) un conjunto de registros de incremento, f) un sumador que, asociado a dichos registros de incremento, forma acumulativamente las direcciones a cargar en dichos registros de direcciones, g) un conjunto de registros para almacenar una palabra de control proporcionada por la 15 unidad de control a la unidad de computación, y h) un multiplicador asociado a un acumulador cargado por el registro de salida de la memoria de señal. 20

 12ª.- Perfeccionamientos de acuerdo con la reivindicación 9ª, caracterizados porque dicha unidad de control incluye también medios para establecer acceso directamente a dicha memoria de señal 25

de cada una de las unidades de computación bajo su control.

5 13ª.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones anteriores, caracterizados porque dicho módulo de puerta incluye: un descodificador de direcciones conectado a la línea general de datos asociada a dicha línea general bidireccional, un registro para recibir las muestras de la señal a tratar y para cargar dichas muestras en dicha línea general de datos bajo control de dicho descodificador de direcciones y medios para informar a la unidad de control de que la unidad de computación requiere intervención.

15 14ª.- Perfeccionamientos de acuerdo con cualquiera de las reivindicaciones 4ª a 13ª, caracterizados porque dicha palabra de control proporcionada por la unidad de control a la unidad de computación comprende cuatro baterías de bitios, de las cuales tres son indicadores de direcciones de la memoria de señal de la unidad de computación y la cuarta define el código de operación.

20 15ª.- PERFECCIONAMIENTOS INTRODUCIDOS EN UNA UNIDAD DE TRATAMIENTO DE SEÑAL MODULAR DE ESTRUCTURA RAMIFICADA.

25 Tal y como se ha descrito en la Memoria que

antecede representado en los dibujos que se acompañan y con los fines que se han especificado.


Esta Memoria consta de setenta y dos hojas escritas a máquina por una sola de sus caras.

5

Madrid,

P. A.

19 DIC. 1971

Alberto de Eizaburu
Por Post. 

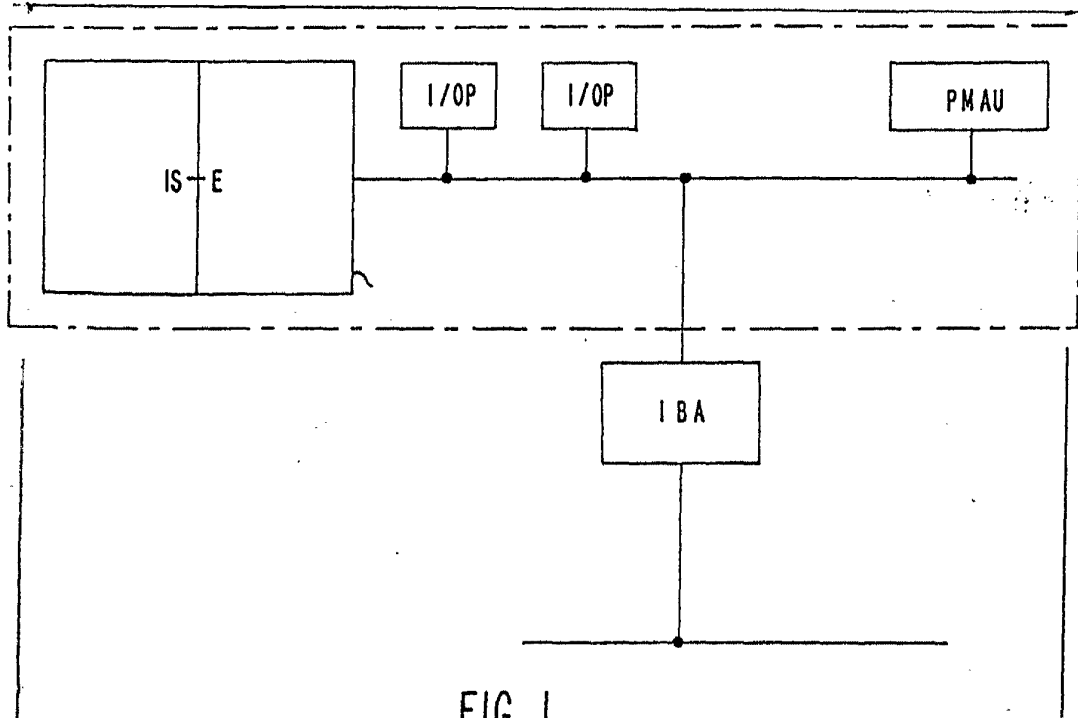


FIG. 1

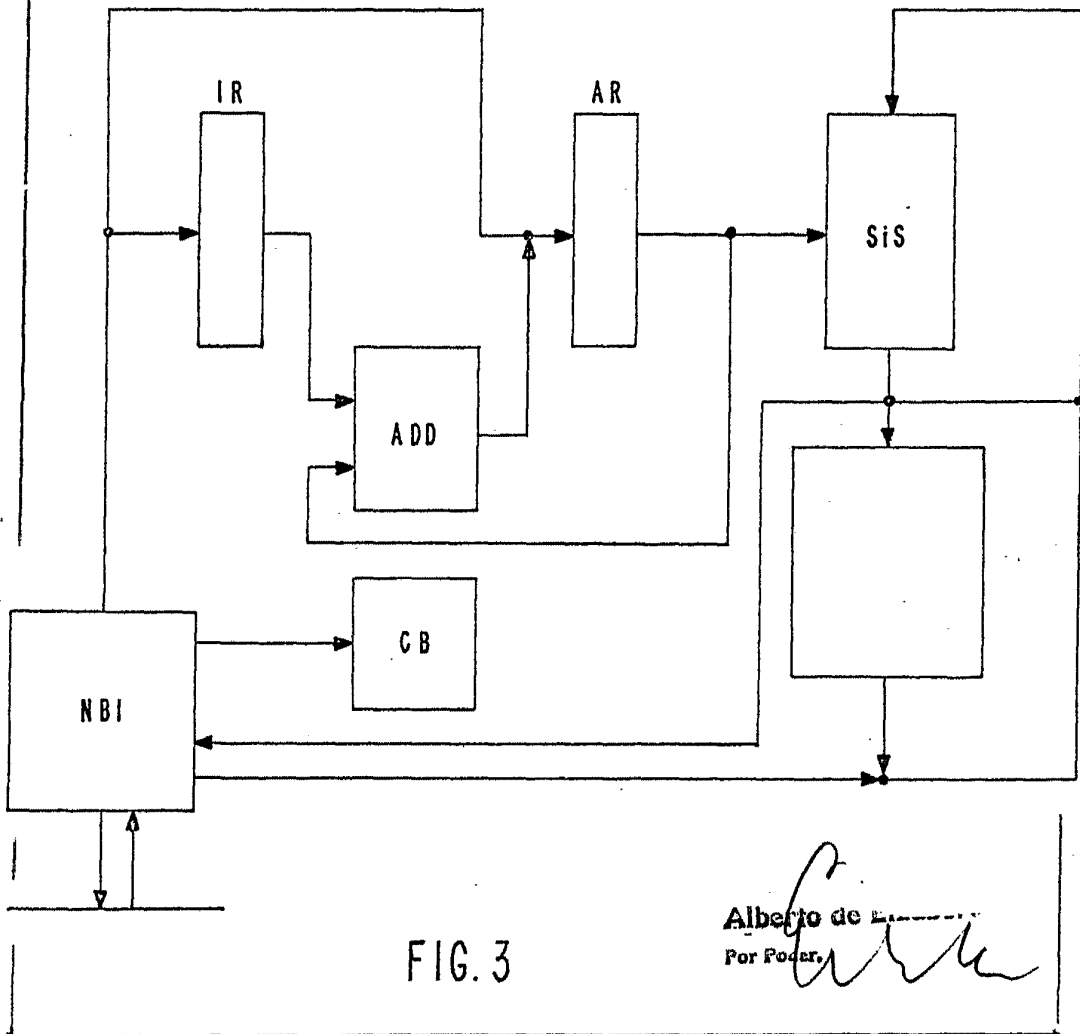


FIG. 3

Alberto de
Por Poder.

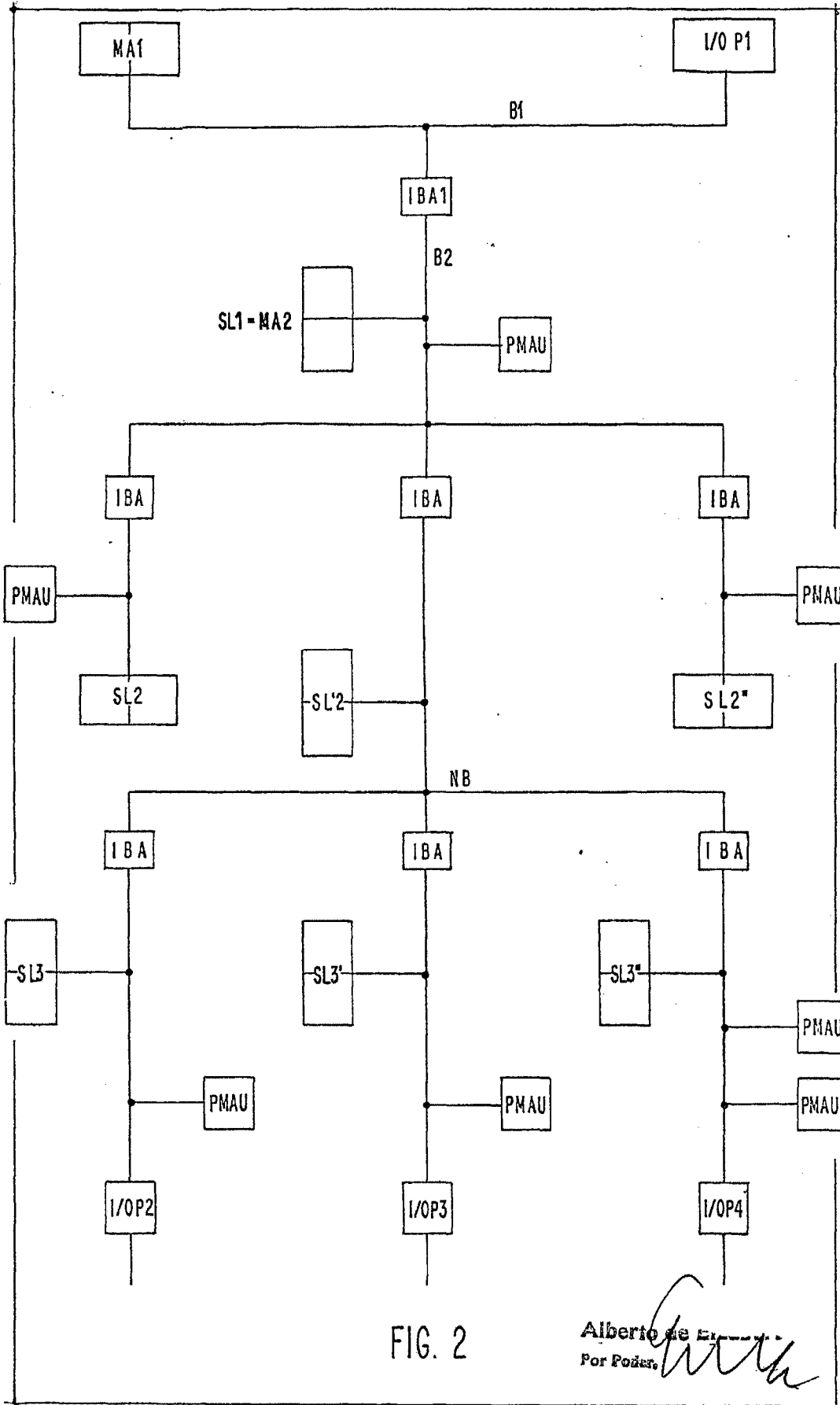


FIG. 2

Alberto de E...
Per Pozzer.

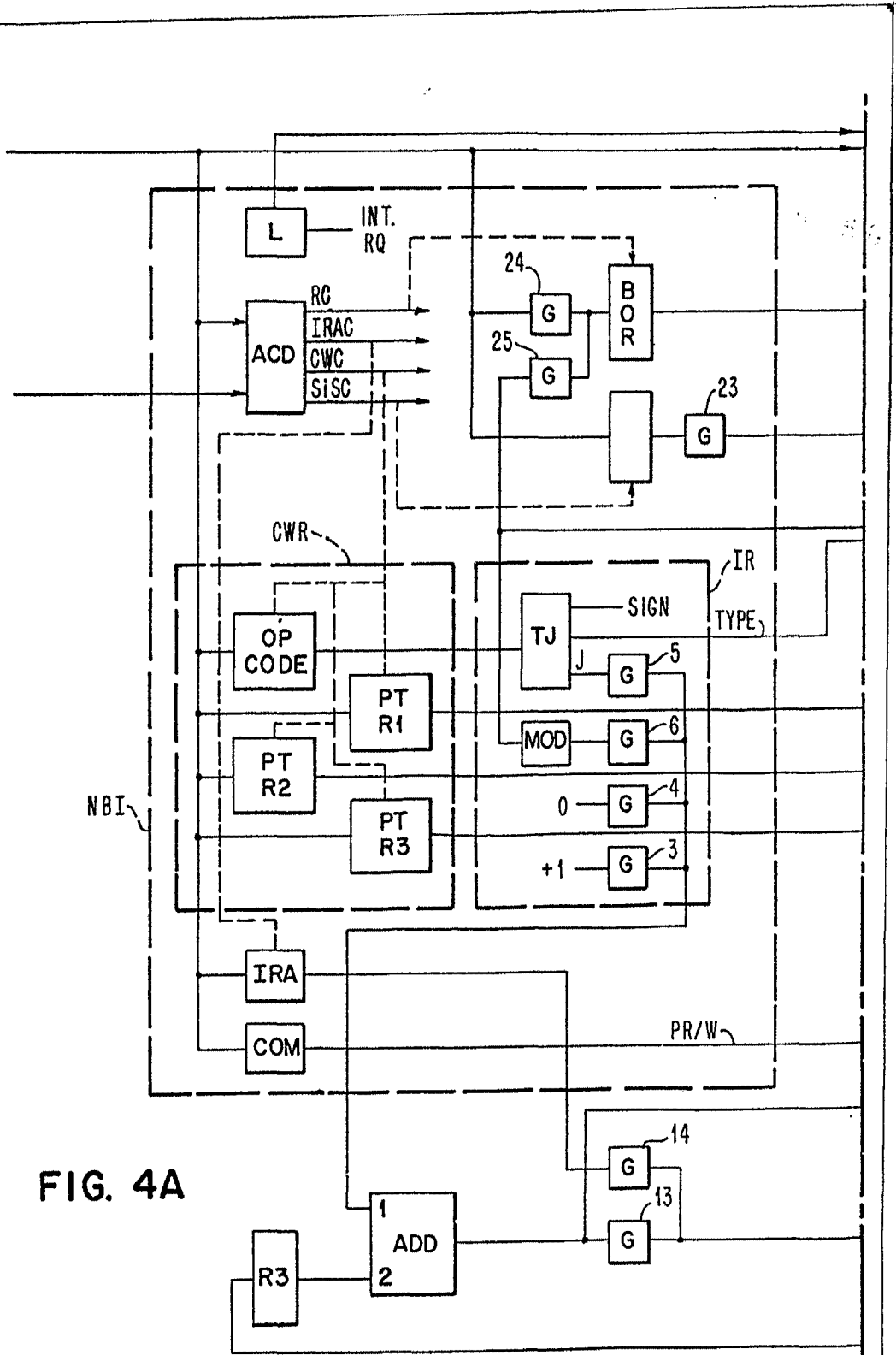
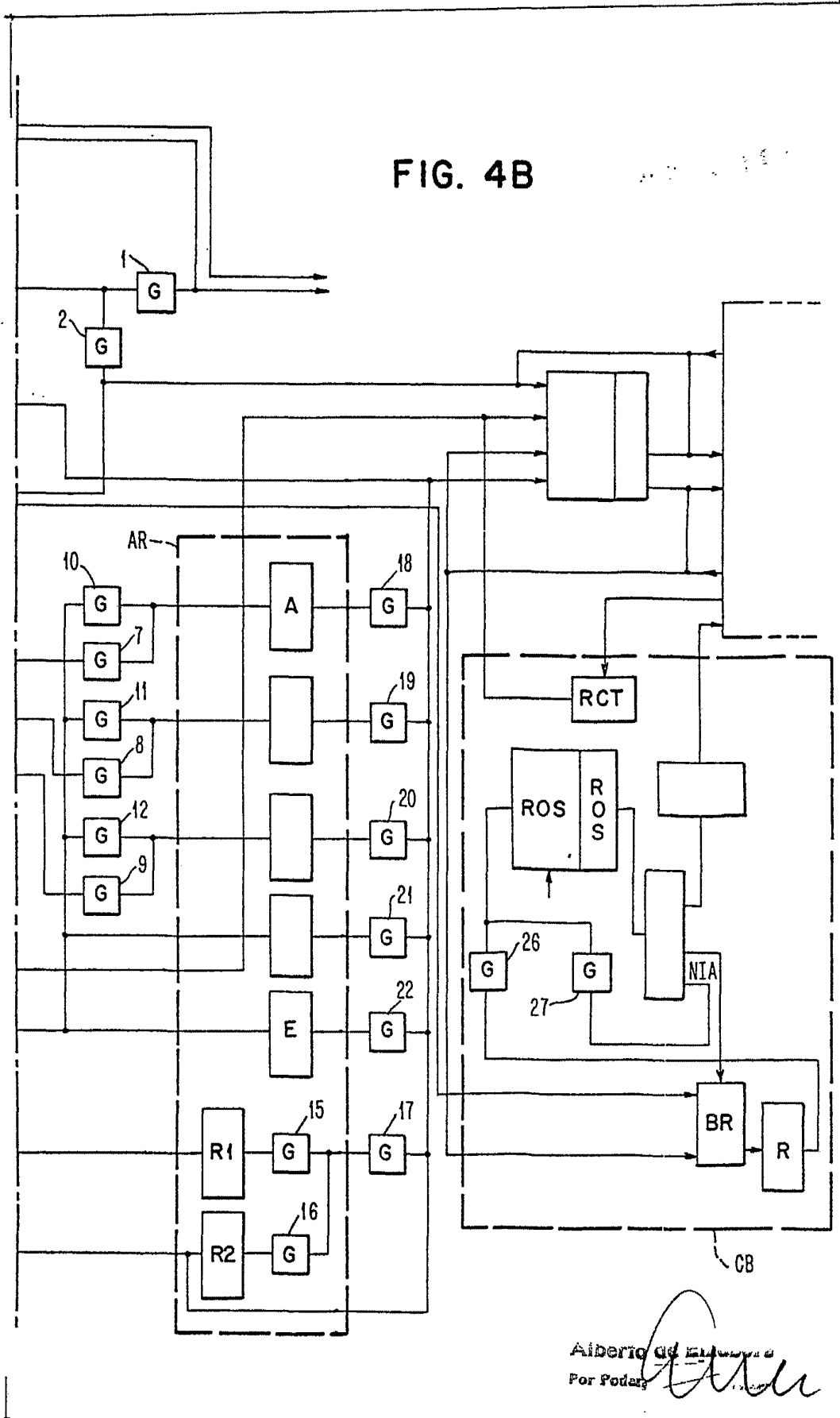


FIG. 4A

Alberto de Lencastre
For Patent

FIG. 4B



Alberto G. ...
For Podere

FIG. 5

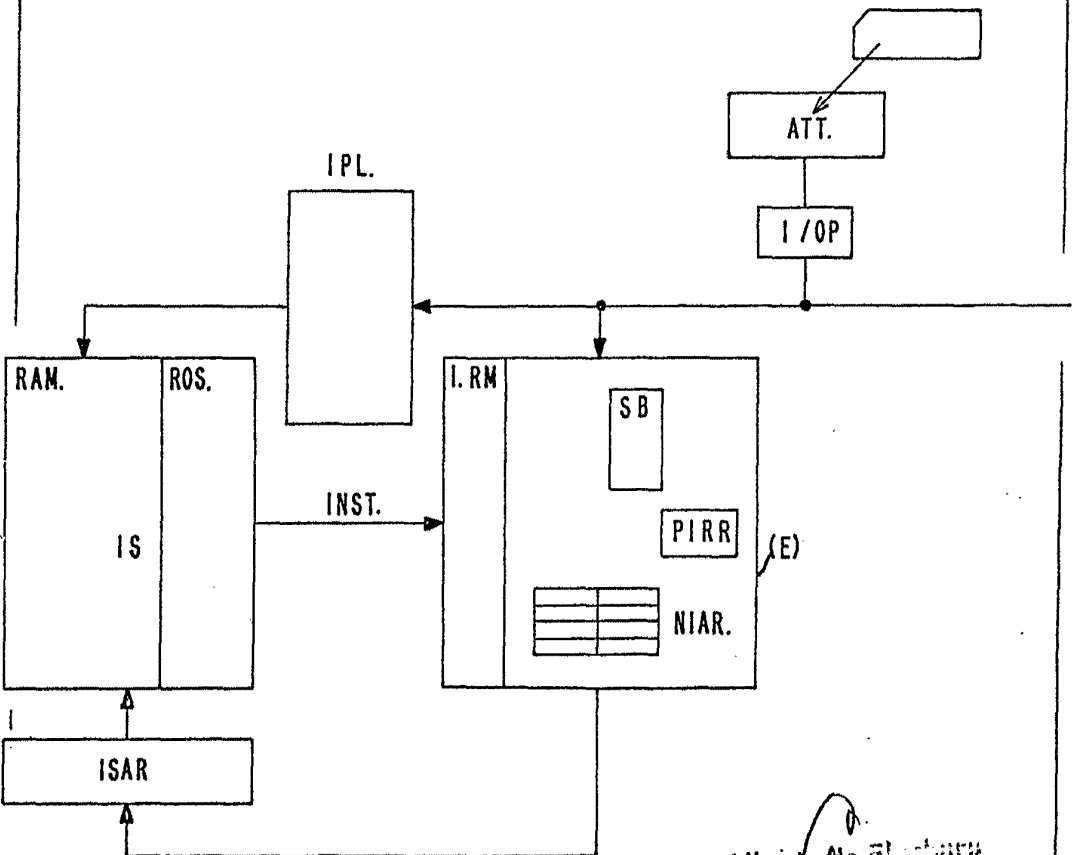
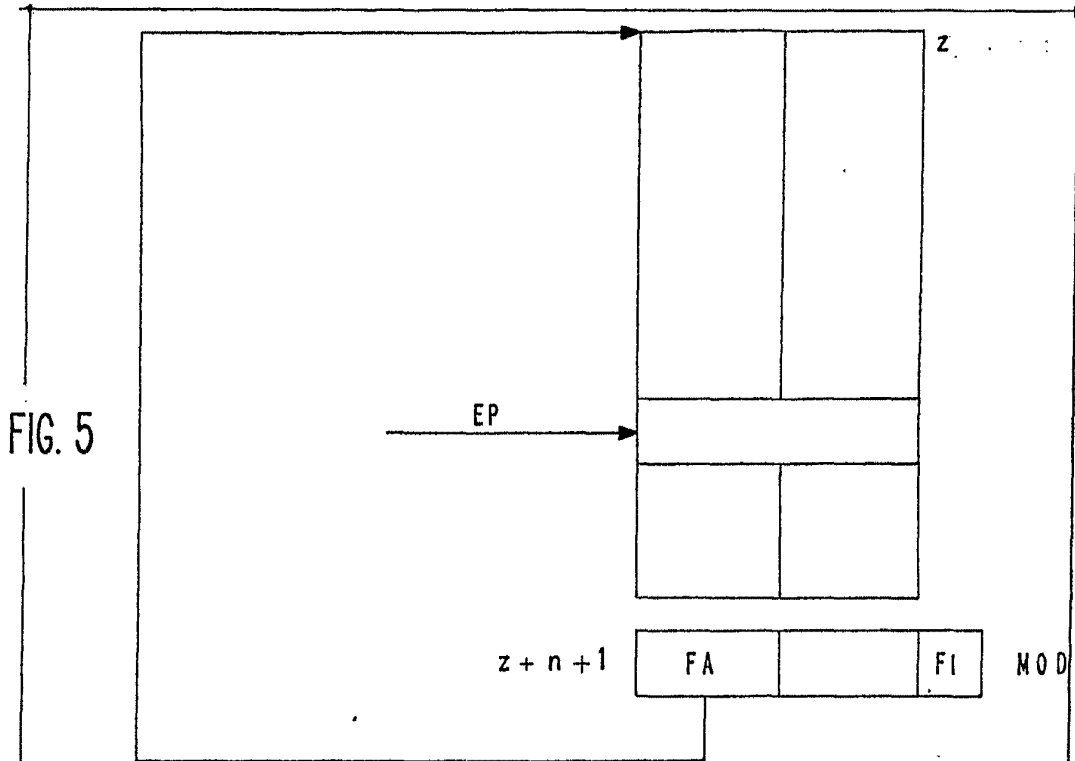


FIG. 8

Alberto de Elachura
Por Poder

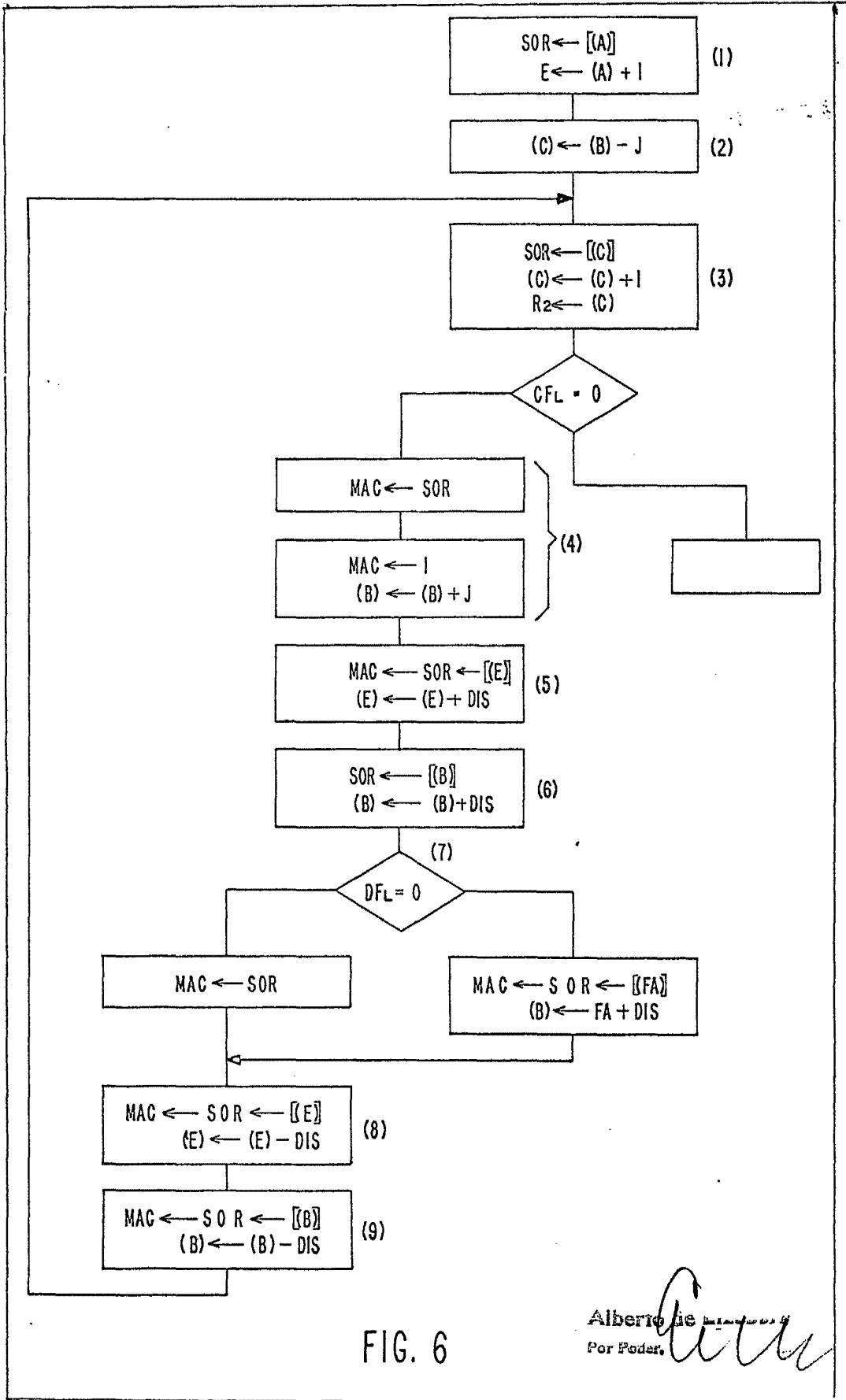


FIG. 6

Alberto de...
Por Poder...

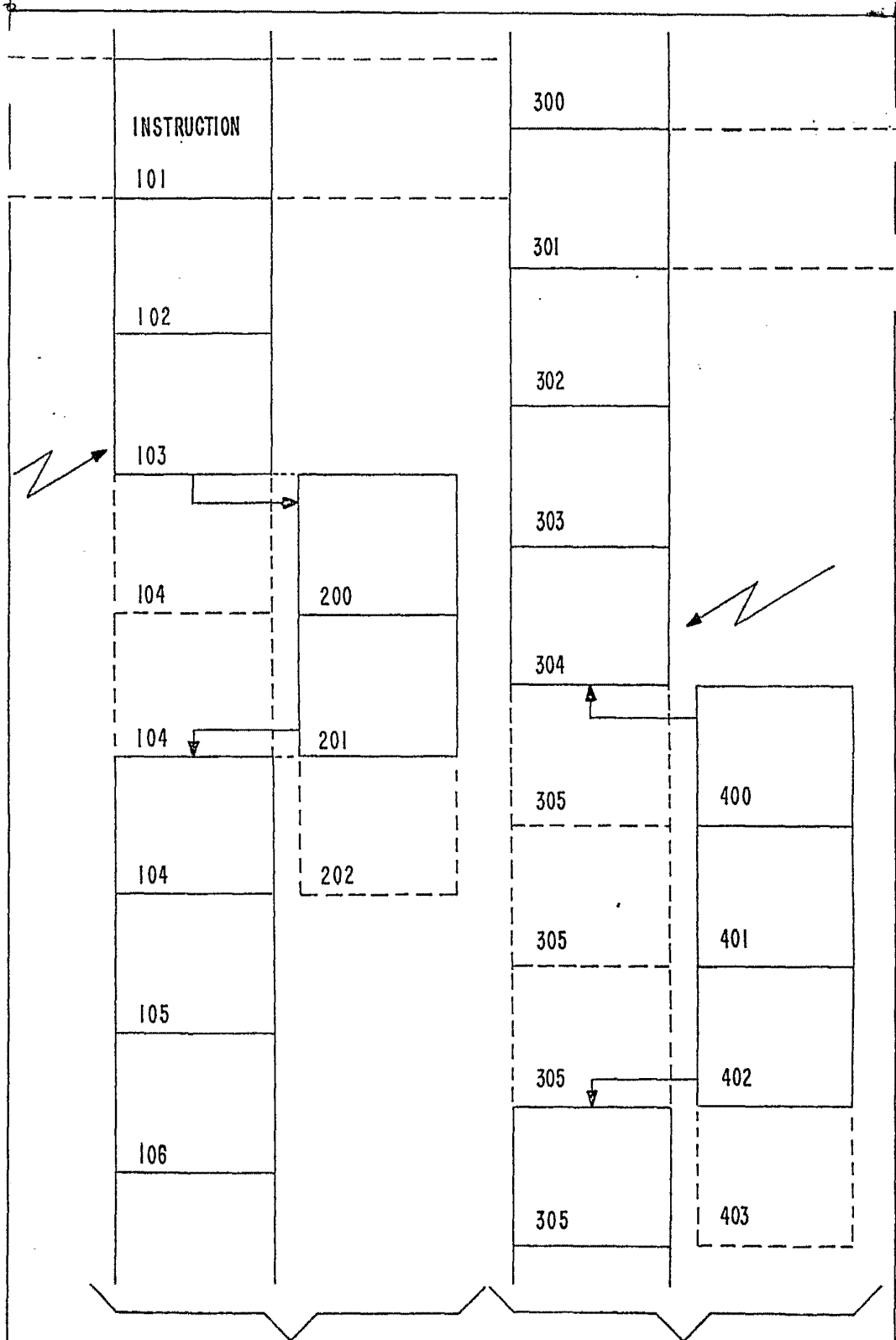


FIG. 9

Alberto de Elzevitz
Per Fodor.

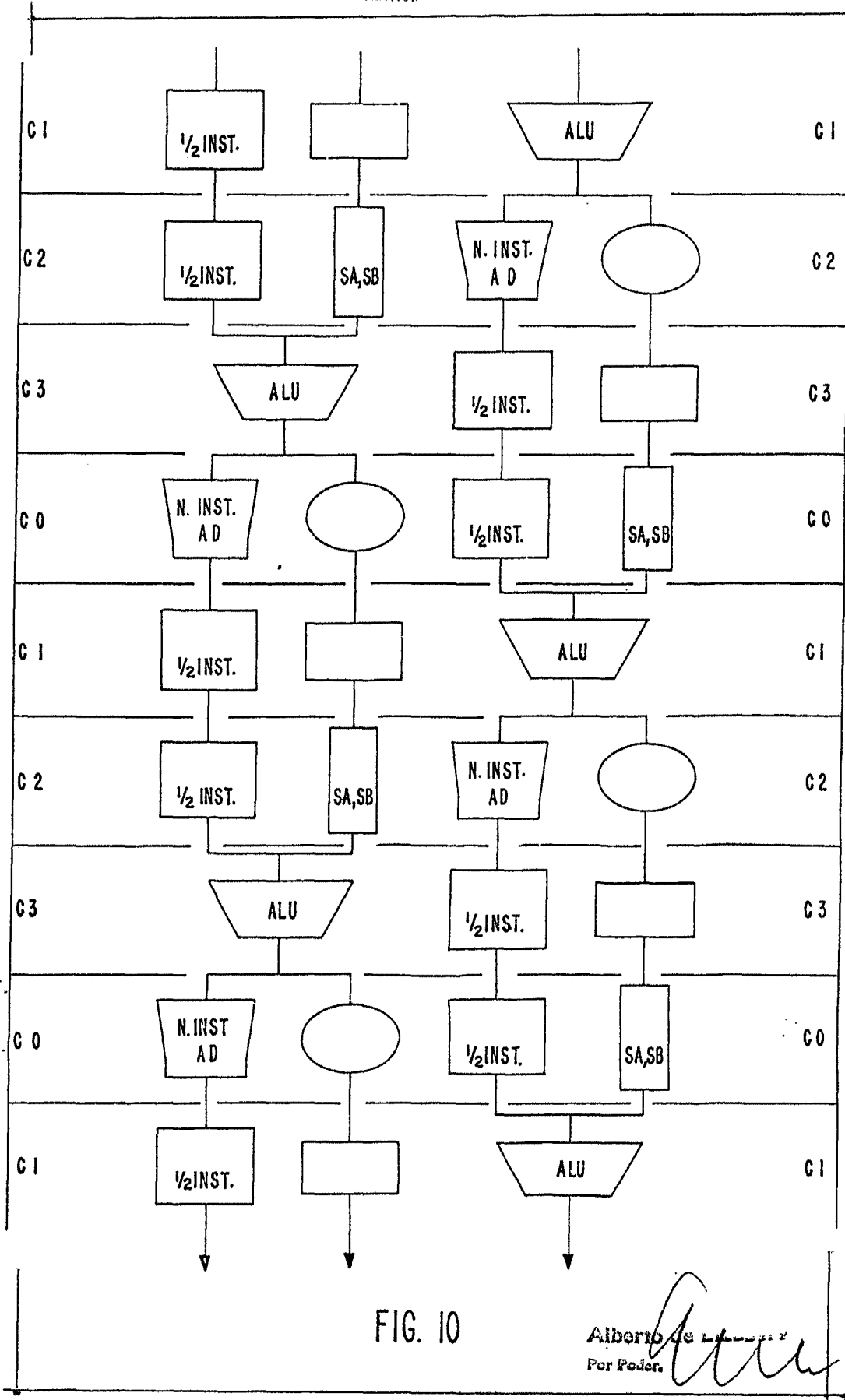


FIG. 10

Alberto de Lencastre
Per Feder.

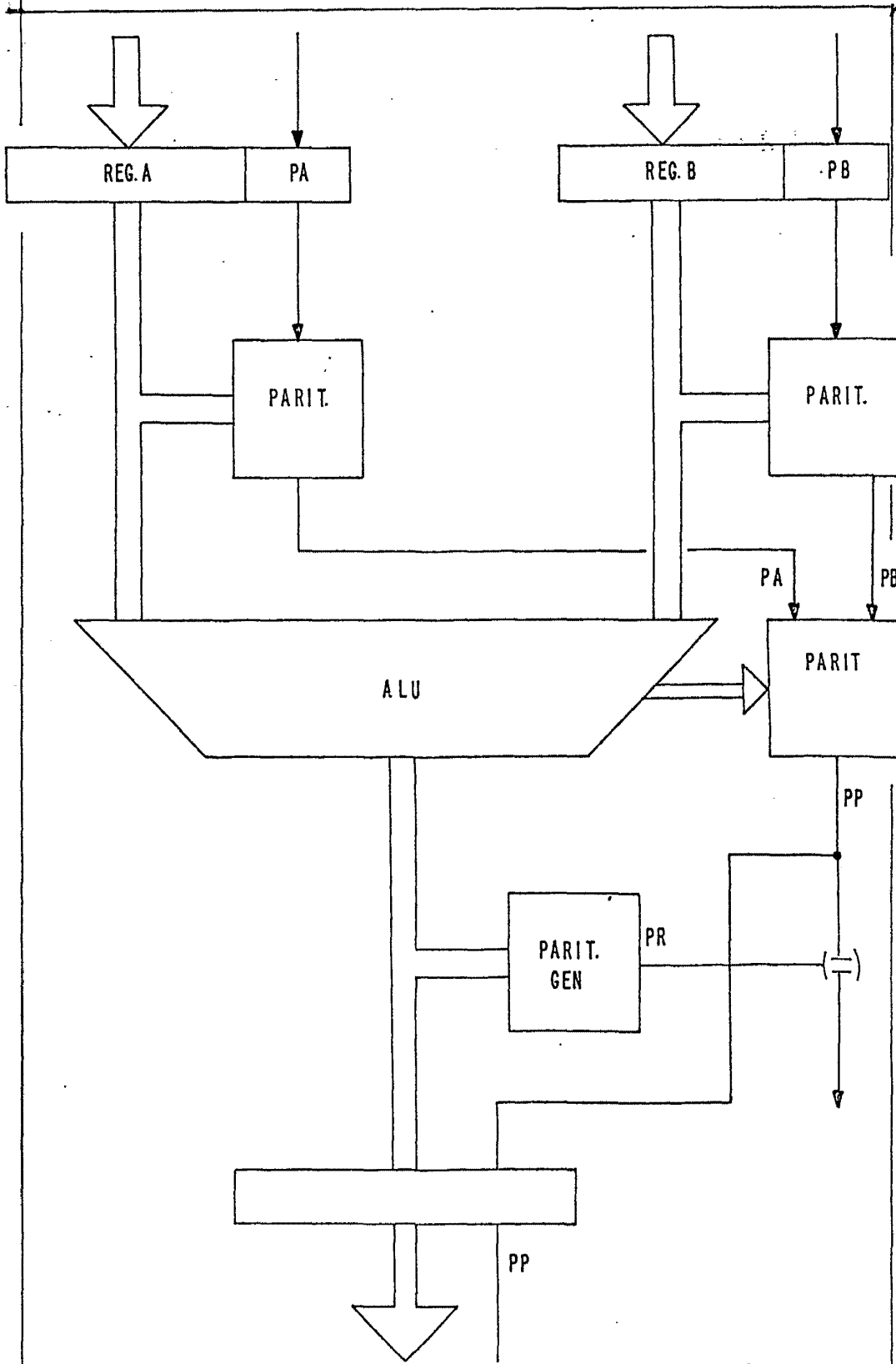


FIG. II

Alberto de Zinbato
Per Fedan

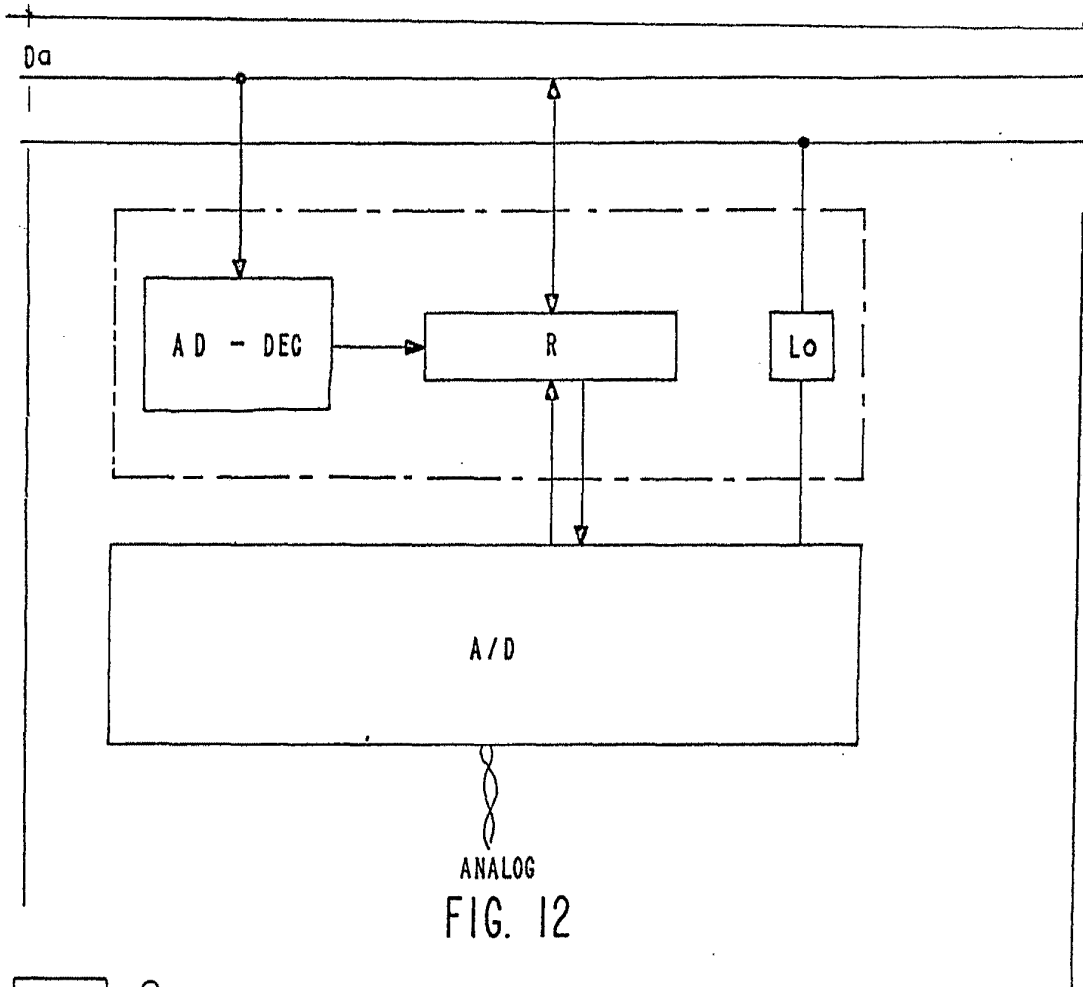


FIG. 12

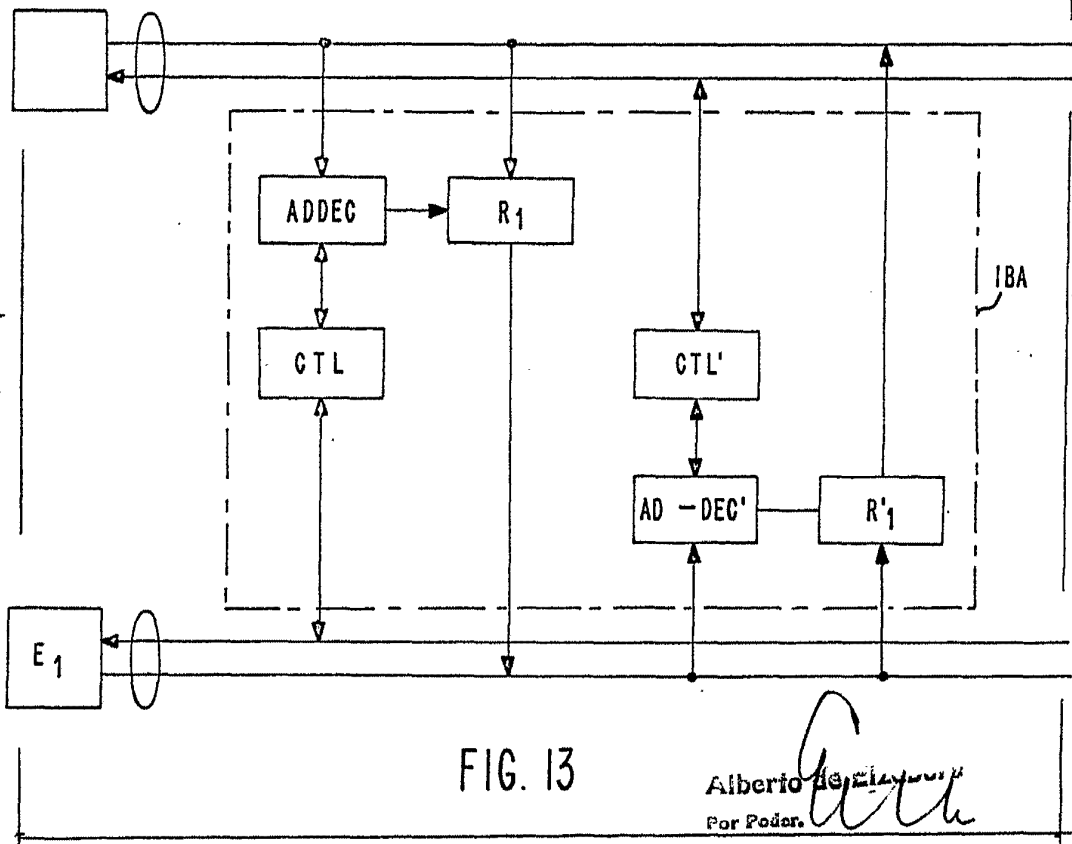


FIG. 13

Alberio Perini
For Poster.

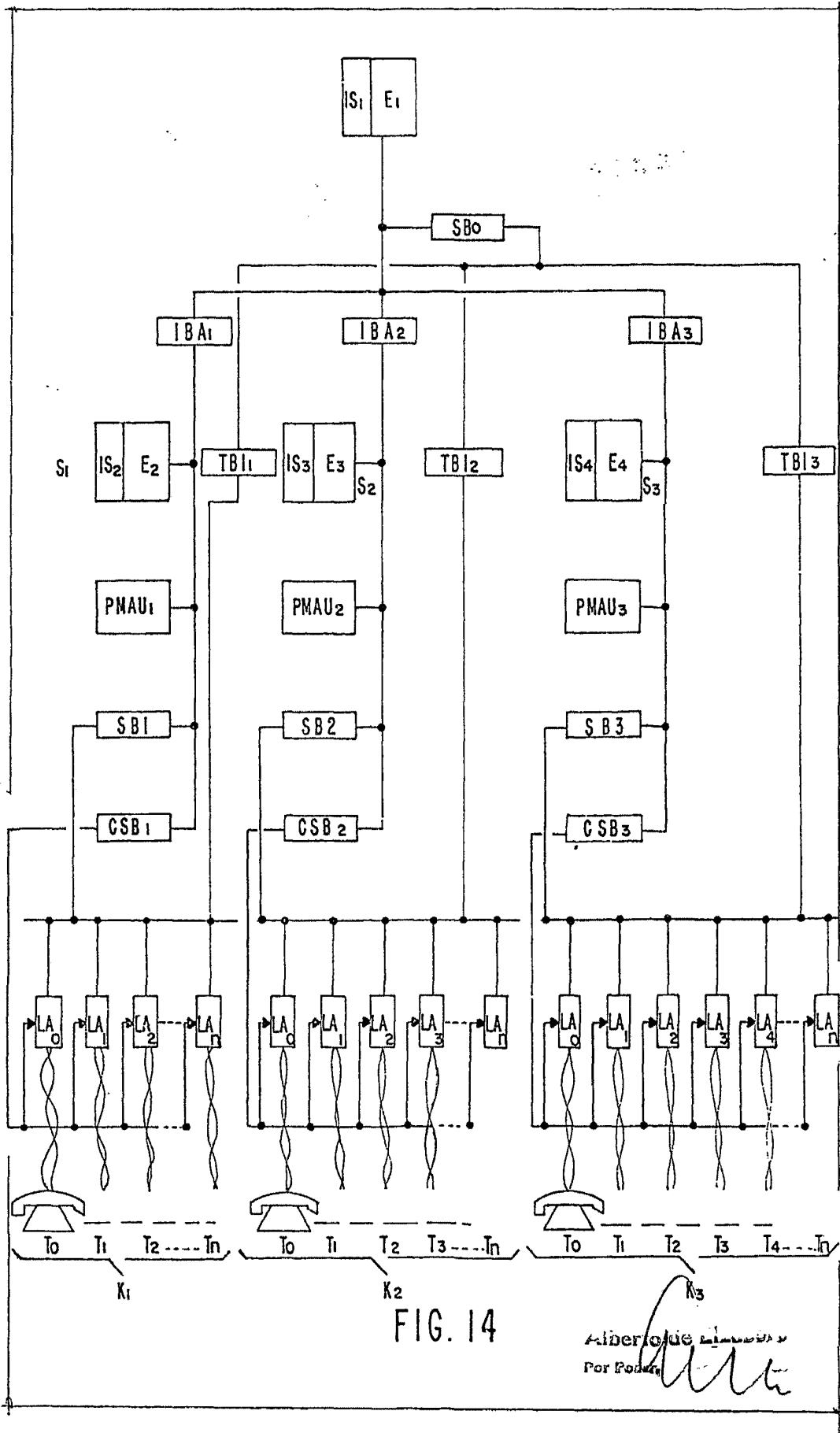


FIG. 14

Alberto de ...
Per Fod...

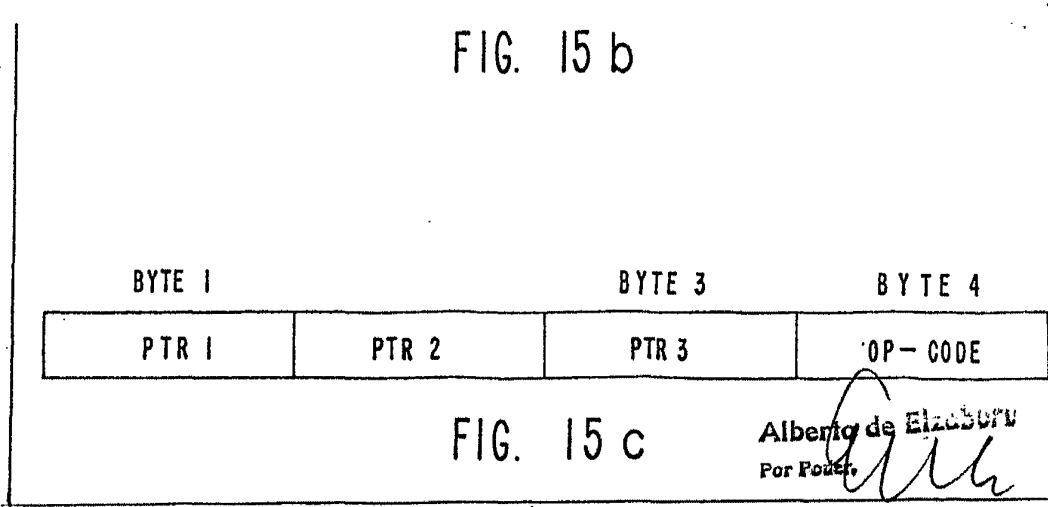
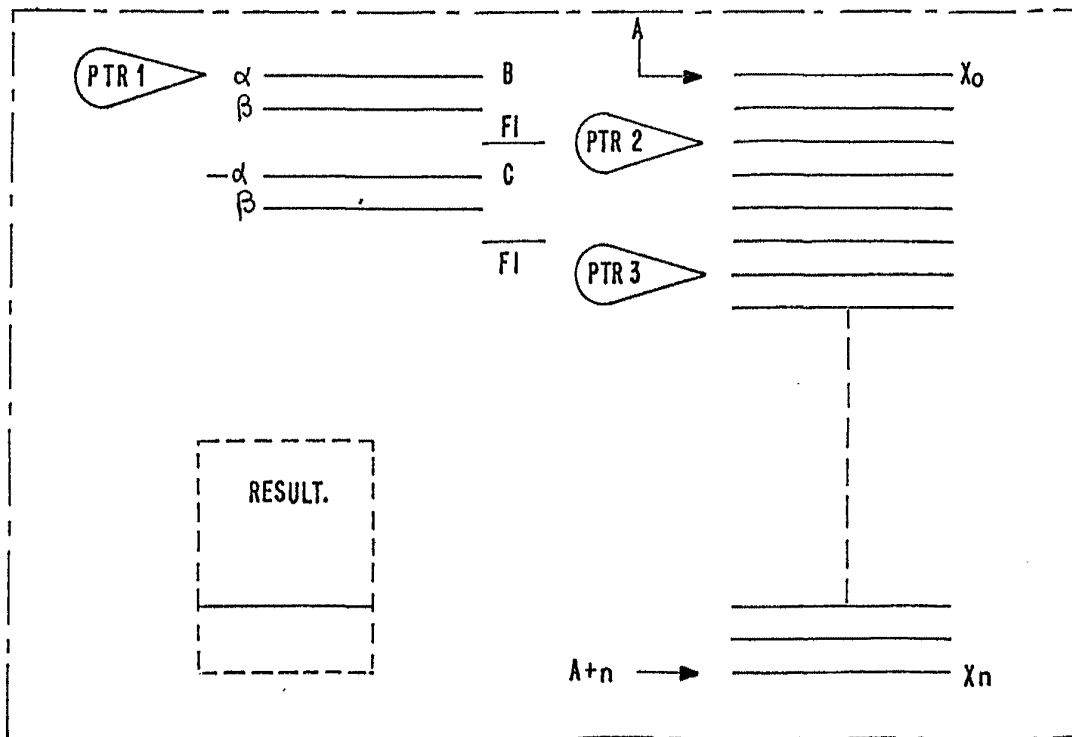
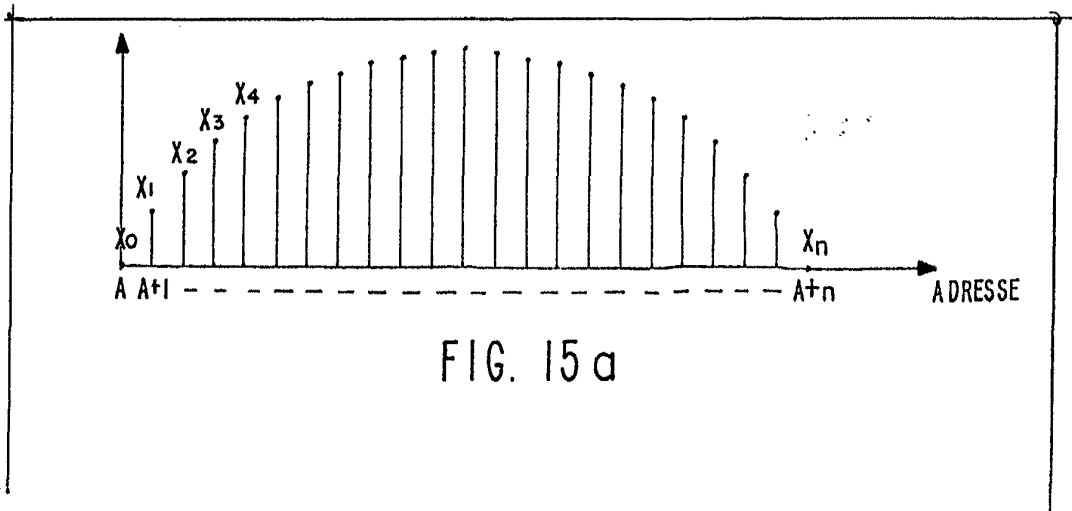
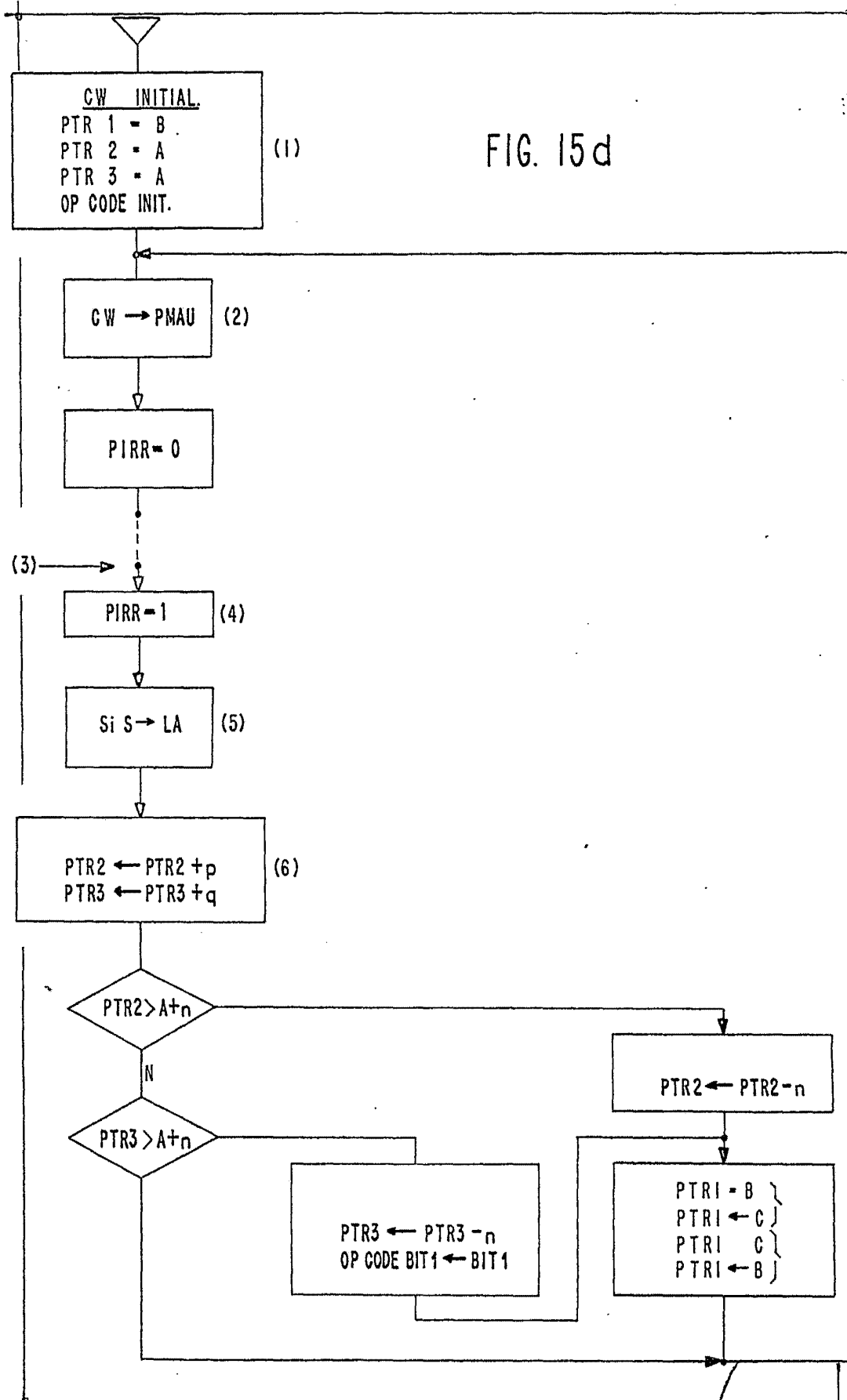


FIG. 15d



Alberio de Elvora
For Peter.

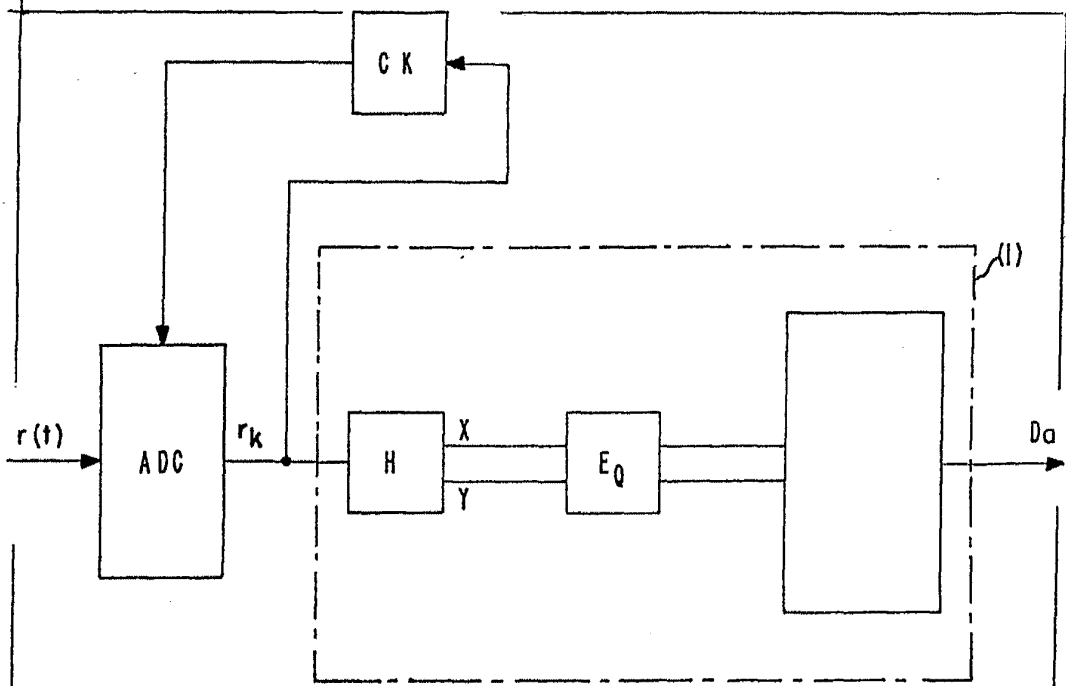


FIG. 16

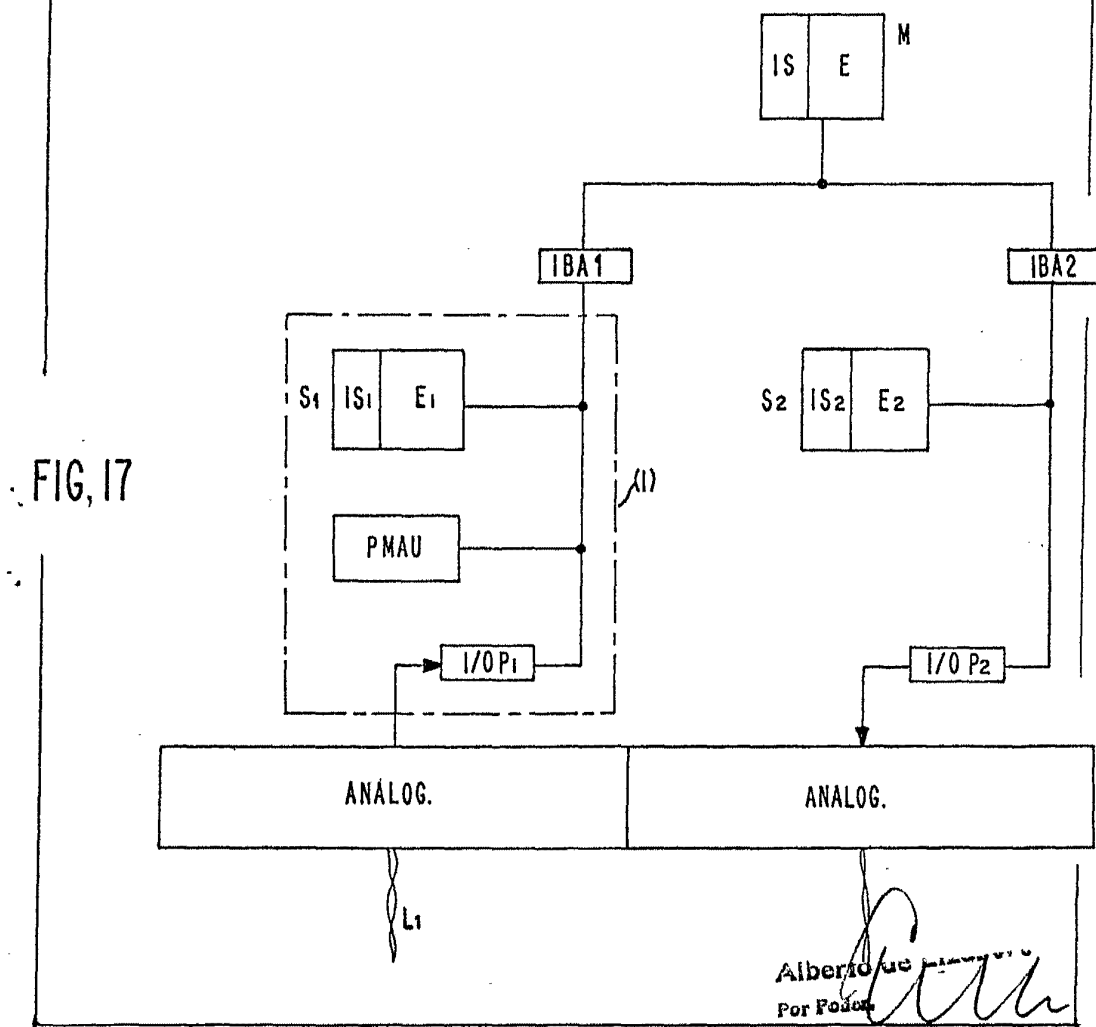


FIG. 17

Alberto...
For Fodca

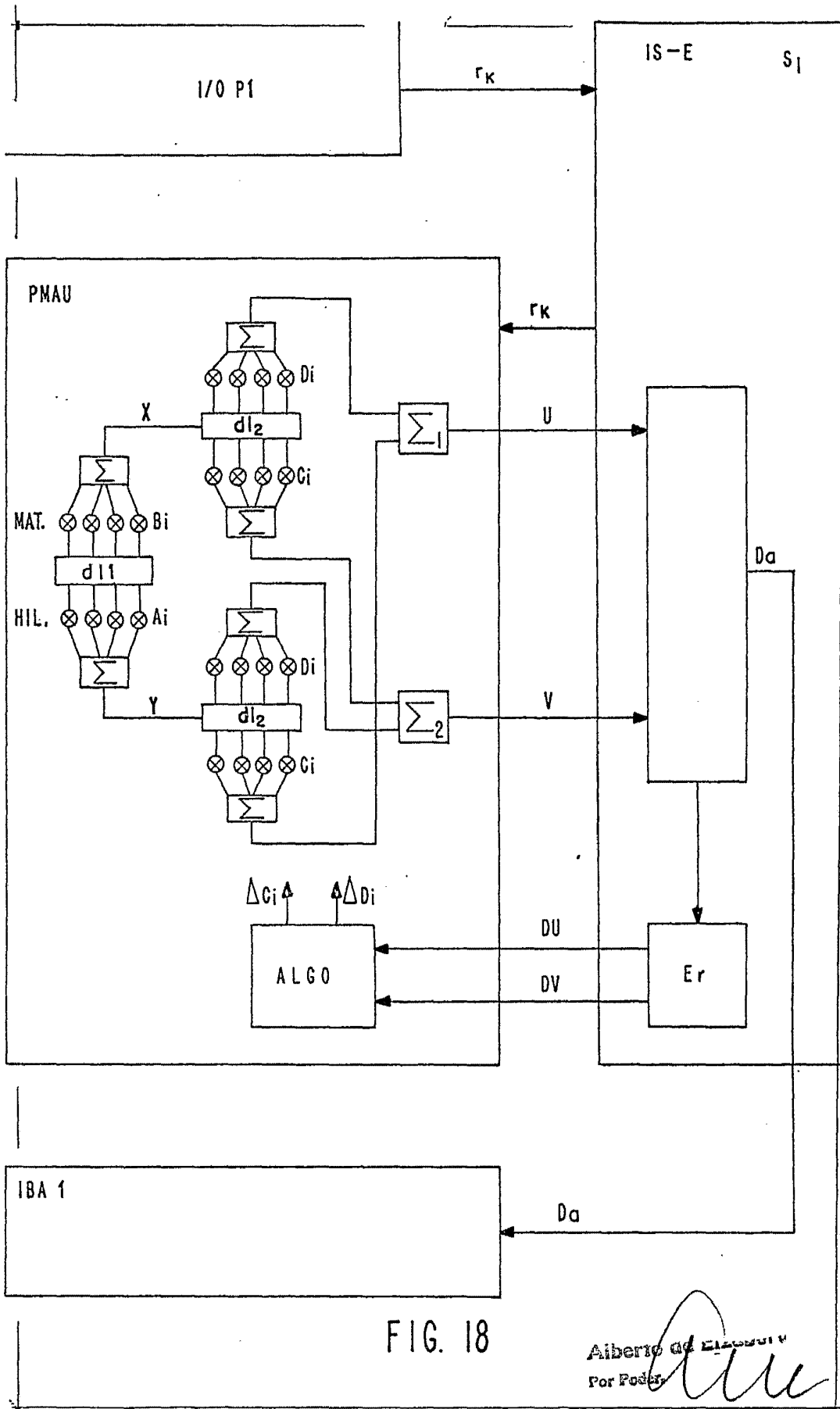


FIG. 18

Alberto G. Elzouki
For Patent