

443570

memoria descriptiva

Int. Cl. 605B11606F

CLASE DE
REGISTRO

Una Patente de Invención, por veinte años en España.

NOMBRE Y
NACIONA-
LIDAD DEL
SOLICITANTE

PANAFACOM LIMITED.
- sociedad japonesa -

RESIDENCIA
Y DOMICILIO

Nº 1015, Kamikodanaka, Nakahara-Ku.
Kawasaki-Shi, Kanagawa-Ken (Japón)

OBJETO

"Mejoras en la construcción de unidades de control de extensión de dirección en un sistema de elaboración de datos".

INVENTORES

Hiroaki IKUTA, Yoshikazu NARUKE, Yoshio NAGASAWA y
Masanori YAKUSHI, todos de nacionalidad japonesa.

PRIORIDAD

Solicitud patente japonesa Nº 145417/1974 del 18 de diciembre de 1974.

1 El presente invento se relaciona con una unidad
de control de extensión de dirección y mas particularmente a
una unidad de control de extensión de dirección para un sis-
tema de elaboración de datos, que está provisto de una memo-
5 ria, teniendo una capacidad de memoria mayor que aquella asig-
nable al contenido de un registro de dirección.

En la técnica anterior, un sistema de elaboración
de datos empleando un registro de dirección de 16 "bits", es
incapaz de una asignación de dirección de mas de 64 K y una
10 capacidad de memoria principal utilizable está limitada a 64
K. Recientemente, sin embargo, existe una demanda para incre-
mentar la capacidad de la memoria principal por la razón de
aceleración de la elaboración y de la fácil programación. Por
otra parte, en el aspecto de "software", existe una demanda
15 para el empleo de material de paso común no teniendo ninguna
conexión con la extensión de la capacidad de memoria princi-
pal, es decir, el problema de la así llamada compatibilidad
de "software".

Para cumplir con tales exigencias, el método que
20 ha sido propuesto en conexión con una unidad elaboradora de
datos de, por ejemplo, 16 bits es extender la capacidad de la
memoria principal sin incrementar el número de bits. Ejemplos
típicos de este método son un método de registro de base y un
método de banco. Sin embargo, el primero resulta pesado, tan-
25 to en términos de hardware, como de software, y esto no im-
porta en máquinas de gran tamaño, pero sigue siendo un pro-
blema sin resolver en conexión con máquinas de tamaño media-
no y pequeño. En estas últimas, puesto que una área de memo-
30 ria física de la memoria principal está dada en la unidad de

1 un banco, este método no siempre es práctico desde el punto
de vista del funcionamiento efectivo del sistema elaborador
de datos.

5 Este invento debe procurar una unidad de control
de extensión de dirección que hace uso eficaz de una memoria,
teniendo una capacidad de memoria mayor que aquella asignable
al contenido de un registro de dirección y es simple en cons-
trucción y capaz de rápida extensión de dirección en un bre-
ve tiempo de acceso.

10 De acuerdo con este invento, la unidad de control
de extensión de dirección para un sistema elaborador de da-
tos, teniendo una memoria con una capacidad de memoria mayor
que aquella asignable al contenido de un registro de direc-
15 ción, comprende medios comparadores para comparar el conteni-
do del registro de dirección en magnitud con un valor prede-
terminado fijable, un registro de dirección extensible capaz
de seleccionar una área predeterminada de la memoria de acuer-
do con el valor predeterminado, y medios de control para efec-
20 tuar un control tal que, cuando el valor del registro de di-
rección se detecta siendo mayor que el valor predeterminado,
el contenido del registro de dirección que extiende la direc-
ción, correspondiente al mismo, se suma al contenido del re-
gistro de dirección para obtener un número aumentado de bits
25 con las que se tiene acceso a una dirección predeterminada en
una área predeterminada de la memoria.

En los dibujos,

30 La fig. 1, es una representación esquemática pa-
ra explicar el contorno de un método de registro de base co-
nocido.

La fig. 2, es una representación esquemática,

1 similar a la figura 1, para explicar el contorno de un método de banco conocido.

Las figs. 3A, B y C, son ilustraciones esquemáticas para explicar los principios de la asignación de una
5 área de memoria de una memoria principal de acuerdo con este invento.

La fig. 4, es un diagrama de bloque ilustrando una ejecución de una unidad de control de extensión de dirección según este invento.

10 La fig. 5, es un diagrama de sistema ilustrando otra ejecución de este invento, según se aplica a una unidad central de elaboración y unidades de canal.

Las figs. 6 y 7, son diagramas para explicar los contenidos y funciones de dos clases de registros de dirección, que extienden dirección, según este invento, y
15

La fig. 8, es un diagrama para explicar las operaciones extendedoras de dirección en los casos de emplear los registros de dirección que extienden dirección, respectivamente.

20 El presente invento está destinado a conseguir extensión de dirección haciendo uso eficaz del área de memoria de una memoria principal. En efecto, en vista del hecho de que el área de memoria de la memoria principal está generalmente dividida en una área supervisora, una área de programa residente y una área de programa no residentes, el área
25 supervisora, por ejemplo, se usa como un bloque común y las áreas de programa residentes y no residentes se dividen en una pluralidad de bloques de segmento. En la distribución de
30 16 bits dadas al bloque común, y a los bloques de segmento,

1 la proporción de distribución puede diseñarse de acuerdo con
la magnitud del bloque común, por el que el área de memoria de
la memoria principal puede utilizarse eficazmente.

5 Con referencia a los dibujos, se describirá a con-
tinuación el presente invento.

10 En la fig. 1, el número de referencia 1 indica una
dirección lógica; 2A, 2B, designan registros de base; 3
identifica una dirección física; 4 denota el área de memoria
de una memoria principal; A, B, C y D, representan áreas en
los casos de los registros de base 2A, 2B, 2C y 2D designándo-
se respectivamente; y X muestra un registro de base designando
una parte, que se da sobre la dirección lógica.

15 En el caso del método de registro de base, la par-
te X designante del registro de base, está prevista sobre la
dirección lógica 1 y, al mismo tiempo, se procura la plurali-
dad de los registros de base 2A, 2B, ... que se designan por
la parte X designante del registro de base. Cuando se da la
20 dirección lógica 1, uno de los registros de base, por ejemplo,
2B, se designa basándose en el contenido de la parte X desig-
nante de registro de base de la dirección lógica 1 y se accio-
nan los contenidos de la dirección lógica 1 y el registro 2B
de base designado, por ejemplo, sumándose, por lo que se deter-
mina la dirección física 3. Y, con la dirección física 4, así
25 accionada, se tiene acceso a la memoria principal.

30 La dirección física 3, así obtenida, lleva tal re-
lación al área de memoria 4, que corresponde a las áreas de me-
moria A, B, C y D, respectivamente cuando los registros de ba-
se 2A, 2B, 2C y 2D se designan respectivamente.

1 Este método de registro de base difiere en deta-
lla con el número de registros de base usados, etc., pero,
en términos de hardware, requiere la provisión de los regis-
tros de base y de los circuitos de control para ello, lo que
5 ejerce influencia sobre la adición de instrucciones, la velo-
cidad elaboradora, etc. En términos de software, este método
de registro de base requiere software complicado, tal como
fijación de datos en los registros de base, ahorro y recupe-
ración de los contenidos de los registros de base, etc. Es
10 decir, que el método de registro de base es muy pesado, tanto
en hardware como en software. Esto no crea ningún problema en
máquinas de gran tamaño pero presenta varios problemas en
aquellas de tamaño mediano y pequeño.

15 En el método de banco, ilustrado en la fig. 2, los
números de referencia 5-0 y 5-1 indican registros designantes
de banco y los otros números de referencia corresponden a aque-
llos en la fig. 1.

20 En el caso del método de banco, la parte X desig-
nante de registro está prevista sobre la dirección lógica 1
y un "0" o "1" dado. Donde está dado "1", el contenido en el
lado del registro 5-1 se suma a la dirección lógica 1 para pro-
curar la dirección física 3. Y, de acuerdo con la información
designada de banco, de la dirección física 3, se designa un
25 banco nº 0 ó un banco nº 3, con una dirección en el banco, se
tiene acceso a una dirección especificada en el banco desig-
nado.

30 Este método requiere solo dar al banco designado,
información para la determinación de la dirección física 3
y, por lo tanto, es relativamente simple. Sin embargo, el

1 área usada en el curso de una cierta elaboración, se da en
la unidad de un banco, y este método no siempre se prefiere
desde el punto de vista de la operación efectiva del sistema
elaborador de datos.

5 Las figs. 3A, B y C, son explicativas de los prin-
cipios de asignación del área de memoria de una memoria de
acuerdo con este invento. Como se ilustra en la fig. 3A el
área de una memoria principal está usualmente dividida en una
área supervisora, una área de programa residente y una área
10 de programa no residente. El área supervisora cambia de mag-
nitud con el número de dispositivos de entrada/salida conec-
tado, es número de programas usados, etc., y el área de pro-
grama residente también varía el número de sus programas, su
capacidad total, etc., de acuerdo con el sistema usado. Y el
15 área de programa no residente también cambia el número de sus
niveles, el número de sus tareas, etc., de acuerdo con el
sistema usado. Por lo tanto, aún cuando el área de memoria de
la memoria principal se extendiese, es necesario satisfacer
los arriba indicados requisitos, que varían de acuerdo con el
20 sistema empleado.

A este fin, en el presente invento, por ejemplo,
se usa el 'área supervisora como un bloque común y las áreas
de programa residentes y no residentes se dividen en una plu-
25 ralidad de bloques de segmento. Y en una cierta elaboración,
el bloque común y un bloque de segmento, se usan en combina-
ción.

La fig. 3B muestra el caso, en que una área de
memoria de 64 K direcciones, accesible con información de di-
30 rección dada de 16 bits, se divide, en una dirección 32 K en

1 un bloque común y bloques de segmento y, se seleccionan algu-
no de los bloques de segmento número 0, 1 de acuerdo con
el contenido de un registro de dirección extendida EAR que se
describirá posteriormente. Puede saberse de la bit mas sig-
5 nificativa de la información de dirección, si una información
de dirección dada pertenece al bloque común o al bloque de
segmento. La figura 3C muestra el caso en que la magnitud del
bloque común puede ser pequeña. En este caso, el área de me-
memoria está dividida, en una dirección 16 K, en el bloque común
10 y en los bloques de segmento y, cuando la información de di-
rección dada es mayor que la dirección 16 K, se consigue ex-
tensión de dirección. Se determina de acuerdo con el conteni-
do, del registro de dirección de extensión, EAR, qué bloque de
segmento se usa.

15 Como se ha descrito arriba, en el presente inven-
to, el límite entre el bloque común y los bloques de segmento,
es variable con la magnitud del bloque común. En la ejecución
de cierta elaboración, una área de memoria correspondiente a
cierto bloque de segmento designado de acuerdo con el conteni-
20 do del registro de dirección extendido y una área de memoria
correspondiente al bloque común se consideran como si existie-
sen a pares sobre la memoria principal. Por consiguiente, en
el presente invento el área de memoria de la memoria principal
puede asignarse al bloque común, los bloques de segmento nº
25 0, nº 1.... de modo que el área de memoria pueda utilizarse
eficazmente en comparación con el método convencional de banco
en que el área correspondiente al bloque común necesita pro-
verse para cada banco, al objeto de disminuir la conmutación
30 de bancos durante la elaboración. Además, este invento tiene

1 una ventaja consistente en que un cambio en la magnitud del
bloque común puede resolverse fácilmente.

La fig. 4, ilustra una ejecución de este invento.
En la fig. 4, el número de referencia indica una memoria prin-
5 cipal; 7 designa una área de memoria correspondiente al blo-
que común; 8-0, 8-1, identifican áreas de memoria respec-
tivamente correspondientes a los bloques de segmento nº 0,
nº 1,; 9 representa un contador de programas; 10 denota
un circuito aritmético; 11 muestra, por ejemplo, un registro
10 de dirección de 16 bits; 12 se refiere a un generador constan-
te, que genera un valor correspondiente a una dirección máxi-
ma del área 7 de memoria, correspondiente al bloque común,
que es una dirección de límite; 13 indica un comparador, que
produce un "1" lógico cuando el contenido del registro 11 es
15 mayor que el contenido del generador constante 12; 14 represen-
ta un registro de dirección extendida que designa alguno de
los bloques de segmento nº 0 y nº 1; 15 significa un circui-
to AND; y 16 denota información de dirección para acceder
prácticamente a la memoria principal 16.

20 La asignación del área de memoria en la memoria
principal 6 corresponde a aquella ilustrada en la fig. 3C.

Por ejemplo, suponiendo que el bloque común 7 y
el bloque nº 1 de segmento 8-1 de la memoria principal 6 se
25 utilicen durante la elaboración, "la información de dirección
de la dirección 64 K" se ajusta en el registro 14 de dirección
extendida y el generador constante 12 procura "información de
dirección de la dirección 16K".

Debemos suponer, que, bajo tales condiciones, la
30 información de dirección correspondiente a 16 bits se ajuste

1 en el registro 11 de dirección por el contador de programa 9,
ó por el circuito aritmético 10. El comparador 13 compara el
contenido del registro de dirección 11 y el valor del genera-
dor constante 12 entre sí y produce un "1" lógico cuando el
5 primero es mayor que el último. En este caso, el contenido
del registro 14 de dirección extendida, se procura a través
del circuito 15 AN D, que es plural en la práctica, El conte-
nido EAR del registro 14 de extensión de dirección se suma al
contenido AR del registro de dirección 11 para procurar la in-
10 formación 16, con lo que se tiene acceso a la memoria princi-
pal 6. Puesto que el contenido EAR es la "información de di-
rección, de la dirección 64 K" como se ha mencionado arriba,
se selecciona el área 8-1 y se tiene acceso a una de las di-
recciones de esta área 8-1 de acuerdo con el contenido AR.

15 Por el contrario, en el caso en que el contenido
del registro 11 de dirección sea menor que el valor del gene-
rador 12 constante, el circuito 15 AND se mantiene en el es-
tado desconectado. De acuerdo con esto, "000...00" se ajusta
en aquella parte de la información 16, en que debería colo-
20 carse el contenido del registro 14 de extensión de dirección.
Como resultado de esto, en la memoria principal 6, se deter-
mina el área 7 y se tiene acceso a una dirección específica
en el área 7 con el contenido AR.

25 En elaboración usual con el fin de disminuir la
frecuencia de acceder a los otros bloques de segmento en la
elaboración usando el bloque de segmento nº 1, y el bloque
común, la información, que deba almacenarse en los respecti-
vos bloques de segmento, es distribuida, pero en el caso en
30 que resulte acceder a otros bloques de segmentos, el conteni-

1 do del registro 14 de extensión de dirección se modifica tem-
poralmente en aquel instante. Además, en el caso en que la
magnitud del bloque común se cambie de acuerdo con el siste-
ma usado, el valor del generador constante es alterado y la
5 magnitud de cada bloque de segmento también se modifica co-
rrespondientemente.

A continuación se dará una descripción detallada
respecto a una ejecución concreta del registro de extensión
de dirección, que es la parte principal de la ejecución de
10 la fig. 4 de este invento, y un sistema de conversión de di-
rección para extensión de dirección, que emplea el registro
de extensión de dirección.

La fig. 5, ilustra un diagrama de sistema, en el
caso, en que se conecten una unidad 21 de elaboración central
15 y unidades de canal 22₁, 22₂,, en paralelo con la memo-
ria 6, conectada a la borna de dirección en la fig. 4, y se
suministran direcciones junto con los datos. Con el fin de
indicar la función de extensión a la unidad CPU de elabora-
ción central y a las unidades de canal, se emplean los si-
20 guientes registros de extensión de dirección, EAR 0 y EAR 1.

La fig. 6, es un diagrama explicativo mostrando
el formato del registro 0 (EAR 0) de extensión de dirección.
Este registro se emplea para la designación de otro bloque
de segmento basado en una "instrucción para moverse hacia
25 dentro" y una "instrucción para moverse hacia fuera" para te-
ner acceso a otro bloque de segmento desde un bloque de seg-
mento en funcionamiento y una "instrucción de rama hacia fue-
ra" para efectuar una derivación a otro bloque de segmento.
30 Este registro se menciona como un registro móvil de extensión

1 de dirección (MV.EAR) según su modo de operación.

Este registro es capaz de acceder en programa. Por ejemplo, se encuentra en una dirección 0008 y el contenido de las bits de orden elevado 0 a 12 de las 16 bits de información de lectura, es siempre "0" y las tres bits de orden bajo se utilizan como las bits 0,1 y 2 del registro móvil de extensión de dirección (MV.EAR) y, de acuerdo con su contenido se designan los bloques de segmento SB0 a SB7.

La fig. 7, es un diagrama explicativo mostrando el formato del registro 1 de extensión de dirección (EAR 1). Un registro de canal de extensión de dirección (CH.EAR) que se designa por una bit de orden elevado, almacena el bloque de segmento (SB) designando información para acceder a una área de dirección extendida desde la unidad de canal. Un registro de extensión de dirección de unidad central de elaboración (CPU.EAR) que se designa por la bit de orden bajo, almacena el bloque de segmento (SB) designando información para acceder al área de dirección extendida desde la unidad central de elaboración.

Este registro es capaz de acceder en programa. Es una dirección 000A y el contenido de las bits 0 a 4, y 8 a 12, de las 16 bits de la información de lectura siempre es "0" y, de acuerdo con el contenido del registro de canal de extensión de dirección (CH.EAR), los bloques de segmento SB0 a SB7 se designan y, de acuerdo con el contenido del registro de extensión de dirección de la unidad de central de elaboración (CPU.EAR), los bloques de segmento SB0 a SB7 se designan.

30 Por el uso de tales dos clases de registros de

1 extensión de dirección, arriba descritas, se consigue la si-
guiente conversión de dirección.

5 Para la conversión de dirección de la unidad elabo-
radora central (CPU), un espacio de dirección lógica de 64K
bits expresado por 16 bits, se divide en un bloque común in-
cluyendo área de control de entrada/salida de 4k-bits y blo-
ques de segmento, como se ilustra en la fig. 8. Donde la di-
rección lógica exista en el bloque común, se vuelve dirección
10 física según está. Donde la dirección lógica está en el blo-
que de segmento, la misma se suma con el contenido del regis-
tro de extensión de dirección de la unidad central de elabo-
ración (3 bits) del registro de extensión de dirección (EAR 1)
para designación de segmento para procurar una dirección fí-
sica representada con 19 bits, con que se tiene acceso a la
15 memoria principal.

Las figuras 1 y 2 se refieren a la técnica ante-
riormente conocida y en ellas significan: L-A= dirección ló-
gica; F-A= dirección física; M-A= área de memoria; a= regis-
tro de base; A, B, C, D significan Base A, Base B, Base C, Base
20 D; b= dirección en banco; c= designación de banco; las refe-
rencias # 0 # 1 # 2 # 3 son bancos con dichos números; en las
figuras 3 y 4 significan: d= área supervisora; e= área de pro-
grama residente; f= área de programa no residente; g= bloque
de segmento; H= bloque común; en la figura 5 significan: i=
25 borja de datos; j= borja de dirección; k= unidad de canal;
l= unidad de memoria; m= unidad CPU; en la fig. 6 significan:
n= registro 0 (EAR 0) de extensión de dirección; o= dirección
(0008). En la fig. 7 significan p= registro 1 (EAR 1) de ex-
30 tensión de dirección; q= dirección (000A); en la fig. 8 sig-

1 nifican: r= 10 área de control; s= bloque común (CB); t= blo-
que de segmento (SB).

La conversión de dirección de la unidad de canal,
se consigue de la manera siguiente. En el caso, en que la
5 unidad central de elaboración acceda a la unidad de canal, el
contenido del registro de canal de extensión de dirección
(CH.EAR) (3 bits) del registro de extensión de dirección
(EAR 1) se emite, y un segmento, que tiene acceso a la memo-
ria directa, se almacena en el lado de la unidad de canal,
10 por lo que se realiza la conversión de dirección.

Para decirlo mas precisamente, no solo en el caso
de la unidad elaboradora central, teniendo acceso a la uni-
dad de canal, sino también en el caso de la unidad de canal
teniendo acceso a la unidad central de elaboración o a la me-
15 moria, es necesario que la unidad central de elaboración efec-
túe una preparación predeterminada usando la información en
el área de control de entrada/salida de la memoria antes del
acceso. Por lo tanto, cuando se acceda desde la unidad cen-
tral de elaboración a la memoria, respecto al área de control
20 de entrada/salida de 4k bits mostrada en la fig. 8, la uni-
dad elaboradora central automáticamente suma el registro de
canal de extensión de dirección (información de extensión de
dirección) en el registro (EAR 1) (mostrado en la fig. 7) a
la dirección lógica, en su orden elevado para procurar una di-
25 rección de 19 bits, que se emite hacia la unidad de canal.

La unidad de canal coloca en su memoria de regis-
tro de dirección un dato y, al mismo tiempo, también el con-
tenido del registro de canal de extensión de dirección (CH.
30 EAR). Después de ello, se consigue transferencia de informa-

1 ción por acceso a la memoria directa, con el uso de una direc-
ción (19 pizcas) sumada con el contenido del registro de canal
de extensión de dirección (CH.EAR).

5 En el caso de un acceso a otra área distinta al
área de control de entrada/salida, si la dirección lógica, que
designa el objeto del acceso, está fuera del área de control
de entrada/salida, la unidad elaboradora central automática-
mente suma el contenido de la unidad elaboradora central del
10 registro de extensión de dirección (CPU.EAR) (información de
extensión de dirección) (ilustrado en la fig. 7) del registro
EAR 1, a la dirección lógica en su orden elevado, para obte-
ner una dirección semi-lógica de 19 bits.

15 En una unidad de control de acceso de memoria,
cuando direcciones, desde la unidad central de elaboración y
de la unidad de canal, designan el bloque común, se ignora
la información del registro de extensión de dirección.

20 En efecto, en esta ejecución, a diferencia de la
fig. 4, el contenido de los registros de extensión de direc-
ción MV.EAR, CH.EAR y CPU.EAR se emiten siempre a la borna
de dirección, junto con la dirección lógica, sin considerar
su magnitud. Y la decisión de la magnitud de la dirección ló-
gica, se consigue en el lado de la memoria. En efecto, cuando
la dirección lógica es mayor que una dirección determina-
25 da, se accede a la memoria con el uso del contenido de los
registros de extensión de dirección (EAR) emitidos juntos con
la dirección lógica. Cuando la dirección lógica es menor que
la dirección determinada, los registros de extensión de
dirección se enmascaran para ser "000" y entonces se tiene
30 acceso a la memoria. Tal sistema es de utilidad particular

1 cuando se emplea en el sistema en que una borna común es conectada a varias unidades, es decir, la unidad elaboradora central, la memoria y los canales están conectados en común.

5 Resultará evidente, que muchas modificaciones y variaciones pueden efectuarse sin apartarse del alcance de los nuevos conceptos de este invento.

N O T A

10 La presente patente de invención, comprende las siguientes reivindicaciones:

15 1.- Mejoras en la construcción de unidades de control de extensión de dirección en un sistema de elaboración de datos, provisto de una memoria, teniendo una capacidad de memoria mayor que la capacidad asignable con el contenido de un registro de dirección, caracterizadas por comprender: medios comparadores para comparar el contenido del registro de dirección en magnitud, con un valor predeterminado ajustable; un registro de dirección extensor de dirección, 20 capaz de seleccionar una área predeterminada de la memoria, de acuerdo con el valor predeterminado; y medios de control para hacer un control tal que, cuando el valor en el registro de dirección es detectado por el medio comparador como siendo mayor que el valor predeterminado, el control del registro 25 de dirección extensor de dirección se añade al contenido del registro de dirección para obtener un número aumentado de bits, con que una dirección predeterminada, en una área predeterminada de la memoria, tiene acceso.

30 2.- Mejoras según la reivindicación 1, caracteri-

1 zadas porque el área de memoria de la memoria correspondiente
al registro de dirección, se compone de un bloque común, y
bloques de segmento en una proporción predeterminada; la me-
2 memoria comprende por lo menos el bloque común y la pluralidad
5 de bloques de segmento; y puede seleccionarse un primer blo-
que de segmento u otro bloque de segmento de acuerdo con la mag-
nitud del valor predeterminado.

3.- Mejoras según la reivindicación 2, caracteri-
zadas porque, cuando el valor en el registro de dirección es
10 mayor que el valor predeterminado, puede seleccionarse un blo-
que de segmento deseado, de acuerdo con el contenido del re-
gistro de dirección, extensor de dirección.

4.- Mejoras según la reivindicación 1, caracteri-
zadas porque el registro de dirección, extensor de dirección,
15 incluye un registro de dirección extensor de canal, teniendo
acceso al bloque de segmento del área de extensión de direc-
ción desde una unidad de canal y una unidad elaboradora cen-
tral de registro de extensión de dirección accediendo al blo-
que de segmento del área de extensión de dirección desde una
20 unidad elaboradora central.

5.- Mejoras según la reivindicación 4, caracteri-
zadas porque el registro de dirección extensor de dirección in-
cluye un registro móvil de extensión de dirección accediendo
25 a otro bloque de segmento desde el bloque de segmento en fun-
cionamiento del área de memoria de la memoria.

6.- "Mejoras en la construcción de unidades de
control de extensión de dirección en un sistema de elaboración
de datos".
30

1
5
10
15
20
25
30

Según se describe y reivindica en la presente memoria descriptiva, ilustrada en los planos adjuntos, la cual consta de diecisiete hojas foliadas y escritas a máquina por una sola de sus caras.

Madrid, a

17 DIC 1970

CARLOS ROEB
P. F.

Fdoz Pedro...

FIG. 1

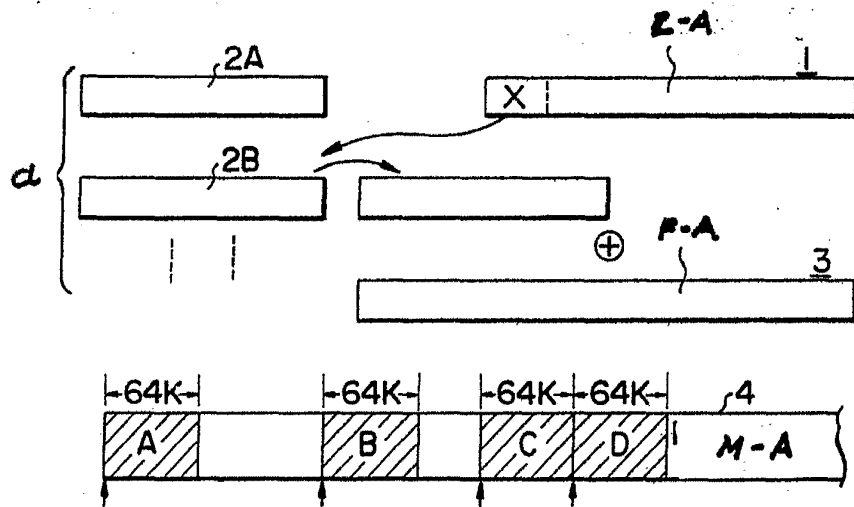
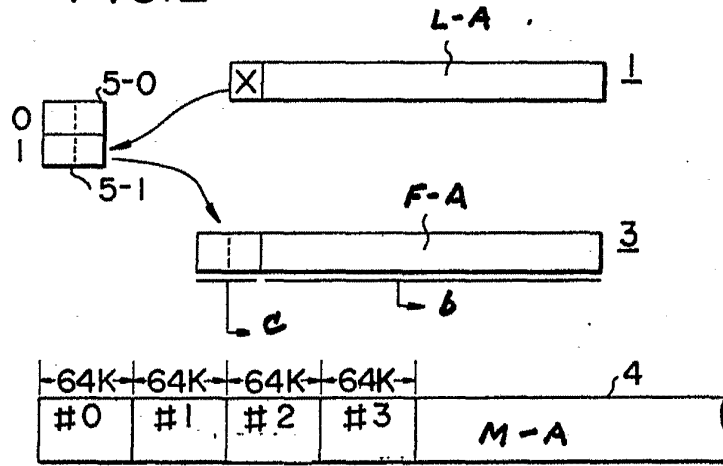


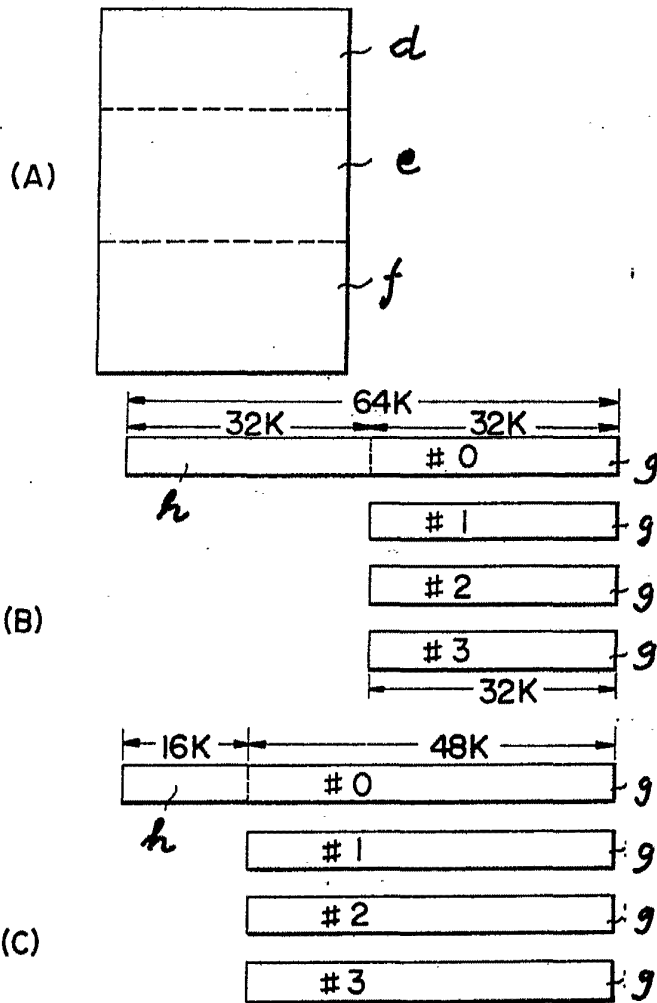
FIG. 2



ESCALA VARIABLE
 CARLOS ROEB
 R.P.

Fdo: Pedro Matamorán

FIG.3



ESCALA VARIABLE

CARLOS ROEB
P.R.

Fdo: Pedro Matamorón

FIG.4

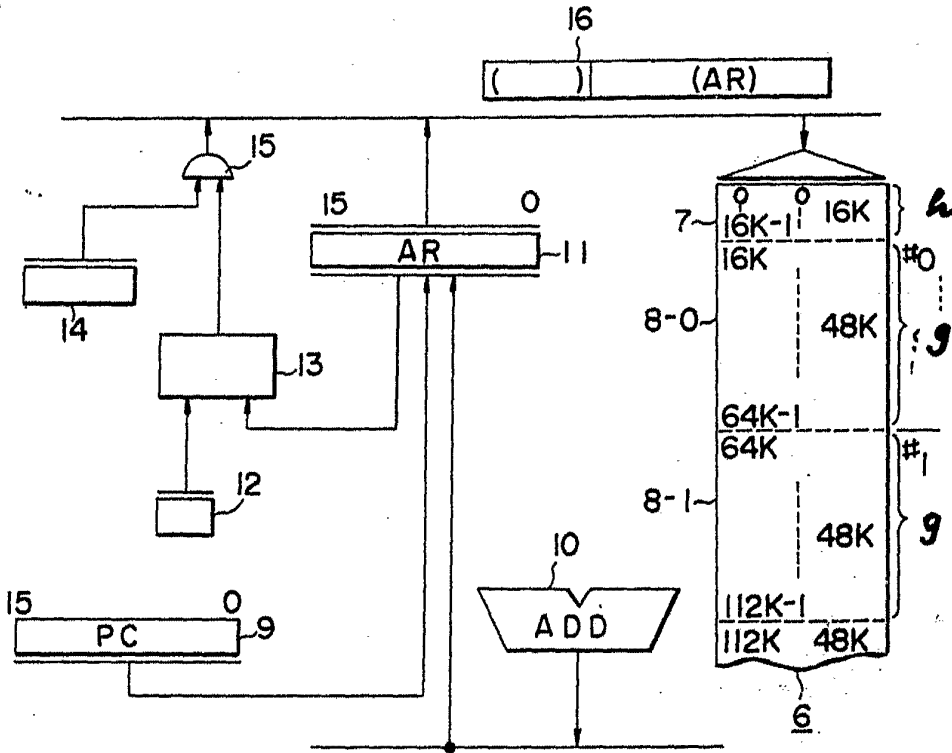
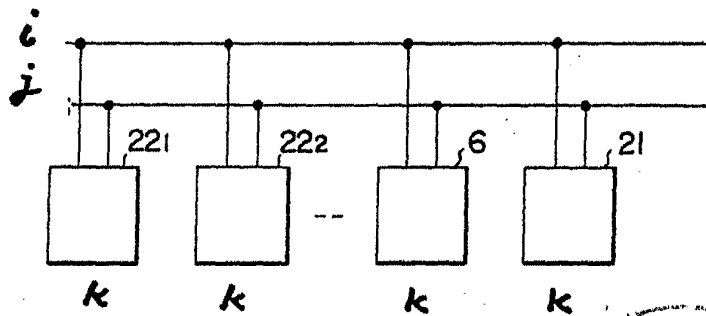


FIG.5



ESCALA VARIABLE
 CARLOS ROEB

Fdo: Pedro Matamorón

6830

ESCALA VARIABLE
CARLOS ROEB
Edo: BOLD MEXICOTON

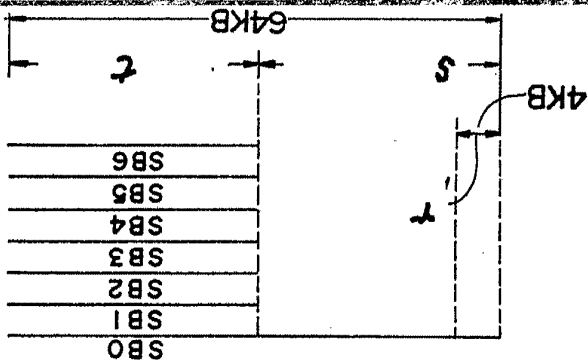


FIG.8

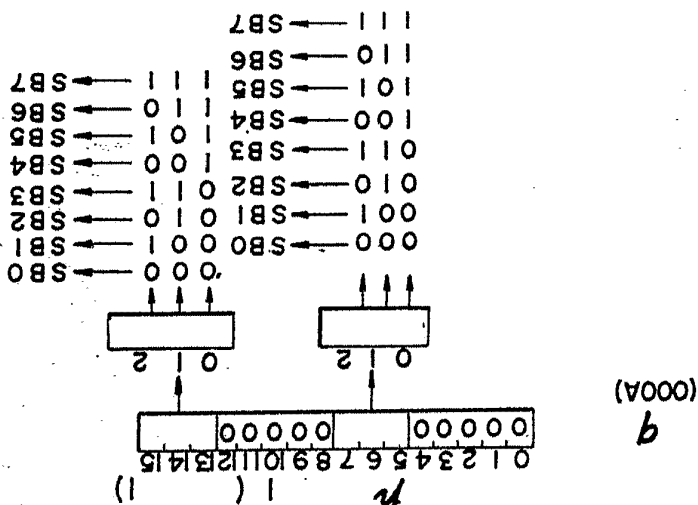


FIG.7

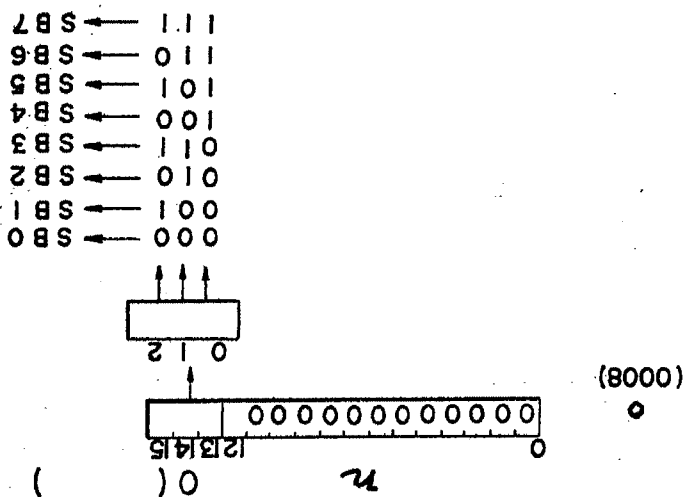


FIG.6