



ESPAÑA

(19) ES (11)
(21)

443.197
FECHA DE PRESENTACION 4-12-75

(13) A1

PATENTE DE INVENCION

(30) PRIORIDADES (31) NUMEROS 139821/74	(32) FECHA 4-12-74	(33) PAIS Japón
(4) FECHA DE PUBLICIDAD	(5) CLASIFICACION INTERNACIONAL H04R	(6) PATENTE DE LA QUE ES DIVISIONARIA
(8) TITULO DE LA INVENCION PERFECCIONAMIENTOS EN SISTEMAS PARA COMPENSAR UNA DIFERENCIA DE FASE ENTRE LAS PISTAS DE MEDIOS DE GRABACION PARA APARATOS REGENERADORES DE INFORMACION GRABADA MAGNETICAMENTE.		
(7) SOLICITANTE(S) FUJITSU LIMITED, entidad japonesa		
DOMICILIO DEL SOLICITANTE 1015, Kamikodanaka, Nakahara-ku, Kawasaki-shi, Kanagawa-ken, Japón		
(12) INVENTOR(ES) MASARU BABA, SHUHEI INAMORI.		
(7a) TITULAR(ES)		
(9) REPRESENTANTE D. JAIME GOMEZ-ACEBO Y MODET		

POOR
QUALITY

- derecha o la izquierda, y puede quedar inclinada hacia la derecha o la izquierda mientras se transporta hasta la posición de impresión. Además, las cabezas magnéticas del aparato registrador se suelen ordenar sin una diferencia de fase. Por las
5. razones expuestas, se produce una diferencia de fase entre las salidas de los datos de salida regenerados grabados en las dos pistas. O sea, una señal de salida se adelanta o se retrasa con respecto a la otra señal de salida, por lo que la señal de salida se lee con un error.
10. Un objeto del presente invento es proporcionar un sistema que evite el inconveniente mencionado y que pueda obtener información correcta a pesar de la diferencia de fase entre las pistas.
15. Para conseguir el objeto mencionado, el rasgo característico del presente invento consiste en un sistema de regeneración de información de pistas múltiples que regenera las señales grabadas en una pluralidad de pistas y que sintetizan las señales regeneradas para obtener una señal de salida de lectura. Dicho sistema proporciona un circuito de retardo que
20. retarda las señales regeneradas en cada pista. Estas señales se sintetizan; o sea, una primera señal se sintetiza a partir de dos señales regeneradas procedentes de dos pistas, y una segunda y una tercera señales se sintetizan a partir de una de las señales regeneradas procedentes de dos pistas y una de las
25. salidas de los circuitos de retardo. La primera, segunda y tercera señales sintetizadas se verifican mediante un circuito comprobador de errores y las señales de salida que se determinan correctas se envían a un terminal de salida.
30. Otras características y ventajas del presente invento resultarán evidentes por la descripción que sigue, tomando co-

mo referencia los dibujos adjuntos a los que, no obstante, el alcance del invento no queda en modo alguno limitado.

La figura 1A representa una libreta que se utiliza en el sistema del presente invento.

5. La figura 1B es una vista general del mecanismo de alimentación del aparato registrador del presente invento, para la libreta ilustrada en la figura 1A.

La figura 1C es una vista de costado del aparato registrador ilustrada en la figura 1B.

10. La figura 2 ilustra formas de ondas de señal empleadas por el presente invento.

La figura 3 es un diagrama de conjuntos del sistema según el presente invento.

15. La figura 4A es una modalidad del circuito detector de crestas y un circuito de retardo ilustrado en la figura 3.

La figura 4B representa las formas de las ondas de las señales que aparecen en las partes principales de los circuitos ilustrados en la figura 4A.

20. La figura 5A es una modalidad del demodulador de la memoria ilustrados en la figura 3.

La figura 5B representa las formas de las ondas de las señales que aparecen en las partes principales del circuito ilustrado en la figura 5A.

25. La figura 6A es una modalidad del circuito de comprobación de errores ilustrado en la figura 3.

La figura 6B representa el formato de datos que se emplea en el aparato según el presente invento.

30. Según se ilustra en la figura 1A, una libreta 1 empleada en el sistema según el invento se utiliza con una tira o banda magnética 2. Cuando se realiza una operación de depósito

- o de extracción, la libreta 1 se introduce en una abertura de introducción del aparato registrador del presente invento. La libreta se alimenta por medio de rodillos de alimentación 4a, 4b y 5a, 5b, por lo que la tira o banda magnética 2 queda situada entre una cabeza magnética 7 y un bloque de sustentación 8. La cabeza magnética 7 se sostiene por medio de un elemento de sustentación 13 que pivota hacia el bloque de sustentación 8 alrededor de un eje geométrico 6 por la fuerza de un muelle 12. El bloque de sustentación 8 pivota hacia la cabeza magnética 7 alrededor de un eje 8a por la fuerza del muelle 9. La figura 10 es una vista lateral de la figura 1B, e ilustra que la cabeza magnética 7 tiene una cabeza de escritura o grabación 7W y una cabeza de lectura o reproducción 7R. La tira o banda magnética 2 en la libreta 1 se intercala entre dichas cabezas 7W, 7R, y los rodillos de presión 10, 11 ilustrados en la figura 1C.
- Refiriendonos a la figura 2, las referencias (a_1), (b_1), (c_1) y (d_1) de la figura 2 son formas de ondas que se relacionan con la primera pista FTR, y las referencias (a_2), (b_2), (c_2) y (d_2) de la figura 2 indican formas de ondas que se relacionan con la segunda pista STR. En la figura 2, las referencias (a_1) y (a_2) son formas de ondas que se escriben o graban en la primera pista y la segunda pista, respectivamente. En (b_1) y (b_2) de la figura 2, las señales máximas que aparecen en la primera pista (que en adelante se denominará como TR_1) representan el valor "1" y las señales máximas que aparecen en la segunda pista (que en adelante se denominará como TR_2) representan el valor "0". Cuando estas señales máximas en (b_1) y (b_2) se configuran, se pueden obtener las señales que aparecen en (c_1) y (c_2) de la figura 2. La forma de la onda

5. ilustrada en (c_1) y (c_2) indica que la señal "10011100" se registra en TR_1 y TR_2 . No obstante, la diferencia de fase se puede producir entre la salida regeneradas de las señales grabadas sobre la tira o banda magnética, según indican las líneas de rayas en (a_2) y (b_2) de la figura 2. Si las señales indicadas por líneas de trazos en (a_1) y (a_2) de la figura 2 se leen de las pistas TR_1 y TR_2 , la salida que se lee de TR_1 y TR_2 es "01011010", que no es una salida correcta.

10. Por lo tanto, en el presente invento, se utilizan circuitos de retardo que retardan las ondas (c_1) y (c_2) de la figura 2, según se indican en (d_1) y (d_2) de la figura 2, y se sintetizan las señales (c_1) y (c_2) . Además, la señal regenerada (c_1) y la señal regenerada retardada (d_2) , y la señal regenerada (d_1) y la señal regenerada retardada (d_1) se sintetizan respectivamente. Las señales sintetizadas, o sea $(c_1), (d_1); (c_1), (d_2); (c_2), (d_1)$, son comprobadas por el circuito detector de errores para determinar si dichas señales compuestas son correctas o no, y se eligen las señales que se juzgan correctas.

20. La figura 3 ilustra un diagrama de conjuntos del sistema según el presente invento. Refiriendonos a la figura 3, dos cabezas magnéticas 21, 22 regeneran señales que se graban sobre las pistas TR_1 y TR_2 respectivamente. Las salidas de las cabezas magnéticas 21 y 22 se conectan por amplificadores 23 y 24, respectivamente, a detectores de crestas 25 y 26, respectivamente. Un primer terminal de salida del detector de crestas 25 se conecta a un primer terminal de entrada de demodulador 29 y un primer terminal de salida del detector de crestas 26 se conecta a un segundo terminal de entrada del demodulador 29. Un segundo terminal de salida del detector de cresp-

25.

30.

- tas 25 se conecta por medio de un circuito de retardo 27 a un primer terminal de entrada de un demodulador 30 y el primer terminal de salida del detector de crestas 26 se conecta al segundo terminal de entrada del demodulador 30. Un segundo terminal de salida del detector de crestas 26 se conecta por medio de un circuito de retardo 28 a un primer terminal de entrada de un demodulador 31 y el primer terminal de salida del detector de crestas 25 se conecta a un segundo terminal de entrada del demodulador 31. Las salidas de los demoduladores 29, 30 y 31 se conectan a los terminales de entrada de las memorias 32, 33 y 34, respectivamente. Las salidas de las memorias 32, 33 y 34 se conectan todas a un circuito comprobador de errores y también al aparato registrador.
- El retardo de los circuitos de retardo 27 y 28 se determina para proporcionar un retardo correspondiente a un retardo máximo que se anticipa entre dos señales regeneradas en las dos pistas. Por ejemplo, cuando, según indican las líneas de rayas en (a_2) , (b_2) , (c_2) y (d_2) de la figura 2, la señal en la segunda pista TR_2 se adelanta un 150 % de la longitud de un bitio y la señal adelantada se retarda en un 80 % de la longitud de un bitio, se lleva a cabo una lectura correcta. En un sistema de registro sin retorno a cero, se asegura un margen correspondiente al 100 %, o sea un bitio. El demodulador 29 recibe una señal de salida S_1 del detector de crestas 25 y una señal de salida S_2 del detector de crestas 26. El demodulador 30 recibe una señal de salida retardada DS_1 del detector de crestas 25 y la señal de salida S_2 del detector de crestas 26. El demodulador 31 recibe la señal de salida S_1 del detector de crestas 25 y una señal de salida retardada DS_2 del detector de crestas 26. Las salidas de los demoduladores 29,

30, 31 se almacenan en memorias 32, 33 y 34. El circuito comprobador de errores ECC 35 comprueba si el contenido de estas memorias proporciona o no la forma STX-DATA-ETX-BCC que está determinada por un formato predeterminado. El circuito ECC 35 comprueba también los códigos STX y ETX, y la paridad horizontal BCC y la paridad vertical, para juzgar si las señales regeneradas son correctas o no.

El circuito ilustrado en la figura 3 funciona según se describe a continuación. Las cabezas magnéticas 21 y 22 regeneran la información que está grabada en las pistas TR_1 y TR_2 y envía la señales de salida según se indica en (b_1) y (b_2) de la figura 2, por los amplificadores 23 y 24 a los detectores de crestas 25 y 26, respectivamente. Los detectores de crestas 25 y 26 generan los impulsos según se ilustra en (c_1) y (c_2) de la figura 2. Los impulsos, según se ilustra en (c_1) y (c_2) , se generan en los puntos máximos de los impulsos según se ilustra en (b_1) y (b_2) de la figura 2. Los circuitos de retardo 27 y 28 retardan los impulsos de la señal S_1 y S_2 según se ilustra en (c_1) y (c_2) de la figura 2 y dichos circuitos 27 y 28 generan impulsos retardados DS_1 y DS_2 según se ilustra (d_1) y (d_2) de la figura 2. Los circuitos retardados del detector de crestas 25 y el circuito de retardo 27 se ilustran en la figura 4A. Los circuitos y función del detector de crestas 26 y el circuito de retardo 28 son similares a los circuitos 25 y 27 y, por lo tanto, solamente se expondrá una explicación de cada tipo de circuito.

Según se ilustra en la figura 4A, el detector de crestas está compuesto por dos basculadores 40 y 41 que se activan por medio de los mismos impulsos de reloj según se indica en (f) de la figura 4B. Los impulsos de entrada MDTA, según se

ilustra en (b) de la figura 4B, que tienen la forma de la onda ilustrada por la onda máxima en "a" de la figura 4B, se alimentan al primer basculador 40. Una salida D_1 del basculador 40, según se ilustra en (c) de la figura 4B, se alimenta al segundo basculador 41. Un impulso de entrada invertido se alimenta por un inversor 42 a otro terminal de entrada del primer basculador 40. Una salida D_2 del segundo basculador, según se indica en (d) de la figura 4B, y una segunda salida del primer basculador 40 se envían por un circuito Y 43 a un terminal de salida donde la señal S_1 , según se ilustra en (e) de la figura 4B, se obtiene. Refiriéndonos a la figura 4A, el circuito de retardo 26 está constituido por un multivibrador monoestable (45). En el ejemplo ilustrado en la figura 4A, otro detector de crestas 25a se conecta después del multivibrador monoestable. La función del detector de crestas 25a es la misma que la del detector de crestas 25. La relación entre la salida del multivibrador monoestable 45 y una salida retardada 46 se ilustra en (g) y (h) de la figura 4B.

Los demoduladores 29, 30 y 31, ilustrados en la figura 3, reciben las señales S_1 y S_2 , DS_1 y S_2 , S_1 y DS_2 , respectivamente. Basándose en estas señales, se obtiene una salida demodulada "10011100" de estos demoduladores y dicha salida demodulada se almacenan las memorias 32, 33 y 34. Con respecto al demodulador y la memoria explicaremos, como ejemplo, el demodulador 29 y la memoria 32 con relación a las figuras 5A y 5B. Refiriéndonos a la figura 5A, el demodulador está compuesto por un basculador 47 activado por una señal de reloj. La señal S_1 ilustrada en (c) de la figura 5B, que se basa en la información de la primera pista, según se ilustra en (a) de la figura 5B, se alimenta a un terminal de entrada de posicionamiento S del

5. basculador 47 y la señal S_2 , ilustrada en (d) de la figura 5B, que se basa en la información de la primera pista PTR, según se ilustra en (b) de la figura 5B, se alimenta a un terminal de entrada de reposición R del basculador 47. Una señal que tiene la forma de la onda según se ilustra en (e) de la figura 5B, se obtiene en la salida del basculador. La señal de salida ilustrada en (e) de la figura 5B, se almacena en una memoria, por ejemplo el registrador de corrimiento de 512 bits 48. Las señales S_1 y S_2 se alimentan también, por un circuito 10. 0 49, como una señal de temporización TME según se ilustra en (f) de la figura 5B, al registrador de 512 bits 48, y las ondas de la señal máxima que se ilustran (a) y (b) de la figura 5B, se almacenan en la memoria en la forma ilustrada en (e) de la figura 5B.

15. La señal de salida del registrador de corrimiento de 512 bits 48 se alimenta a un circuito comprobador de errores 35, que se ilustra con detalle en la figura 6A, y el formato de datos y un ejemplo de los datos que se emplean en el circuito 35 de la figura 6A se ilustran en la tabla siguiente.

20.

TABLA 1

FORMATO DE DATO

DATO CODIGO DE CINCO UNIDADES

25.

D	S				S	B	D
M	T	D_1	-----	D_n	P	C	M
						C	

30.

DM : 00000
 ST : 11010
 D_1-D_n : DATO (5BIT:4BIT+BIT DE PARIDAD)
 COMPROBACION DE PARIDAD VERTICAL

(IMPARIDAD DE NUMERO)

SP : 1111 (CODIGO DE PARADA)

BCC : CODIGO DE PARIDAD HORIZONTAL

(VERIFICACION POR PARIDAD DE NUMERO)

5.

	b ⁰	b ¹	b ²	b ³	P
ST	1	1	0	1	0
D ₁	0	1	0	0	0
D ₂	1	1	0	0	1
SP	1	1	1	1	1
BCC	0	1	1	1	0

10.

P: BIT DE COMPROBACION DE
PARIDAD VERTICAL

15.

Refiriendonos a la tabla 1 que representa el formato de datos que se emplea en el aparato, un dato que se utiliza en el circuito 35 es un código de cinco unidades. O sea, dicho dato está compuesto por un código falso DM, un código de iniciación ST, dato D₁ - D_n, un código de parada SP y un código

20.

de comprobación de bloque BCC. Según se ilustra en la tabla 1, un código falso de DM está compuesto de cinco bits todos ceros, un código de iniciación ST es "11010", los datos D₁ - D_n están compuestos por 5 bits, uno de los cuales se emplea como bitio de paridad. El código de parada es SP está compuesto por

25.

5 bits todos unos. El código de comprobación de bloque BCC se emplea como código de paridad horizontal. Por ejemplo, en el primer bitio b₀, el valor del primer bitio b₀ del código BCC se determina de forma que la suma del número del valor del bitio "1" en el dato D₁, D₂, SP y BCC, ilustrados en el ejemplo,

30.

se conviertan en un número par.

Refiriendonos a la figura 6A, la salida del registrador de corrimiento de 512 bitios 48 se suministra a un registrador de corrimiento de 5 bitios 50 para convertir los datos de entrada en serie a una forma en paralelo. Los datos de salida en paralelo del registrador de corrimiento de 5 bitios 50 se alimentan a puertas Y 51, 52 y circuitos basculadores 53, 54, 55 y 56. La salida de la puerta Y 51 se suministra a un basculador 57 para detectar el código TCD de iniciación STX. La salida del basculador 57 repone los basculadores 53, 54, 55, 56, 58 y 59. La salida de la puerta Y 58 suministra a un basculador 58 para detectar el código de parada SCD. Un basculador 59 recibe la salida del registrador de corrimiento de 512 bitios. La salida del basculador 59 y un impulso de paridad vertical y horizontal VHPP se suministran a una puerta Y 60 para comprobar el error de paridad vertical VPE. Las salidas de los basculadores 53, 54, 55 y 56, que están compuestas por cuatro bitios, se suministran a la puerta NY 61. La salida de la puerta NY 61 y un impulso de muestreo de paridad horizontal HPSP se suministran a una puerta Y 62 para detectar el error de paridad horizontal HPE. Según se ha descrito anteriormente, el circuito de comprobación de error 35 detecta la salida del circuito de memoria.

Cuando cada circuito de retardo 27 y 28 proporcionan un retardo del 80 % y las señales regeneradas no tienen adelanto o retraso, el contenido que se almacena en las memorias 32, 33 y 34 es correcto. Cuando cada circuito de retardo 27 y 28 proporciona un retardo del 80 % y la salida regenerada de la pista TR_2 avanza 150 % del periodo entre los impulsos, según indican las líneas de trazos en (a_2) , (b_2) , (c_2) y (d_2) en la figura 2, el contenido de la memoria M_1 se convierte en

"01011010", el contenido de la memoria M_2 se convierte en "00110101" y el contenido de la memoria M_3 se convierte en "10011100". Por lo tanto, el contenido de la memoria M_3 es correcto y el contenido de las otras memorias no es correcto.

5. Cuando el retardo de la salida regenerada de la pista TR_2 es menor que el 180 % del periodo, el contenido de la última de las memorias es correcto y se puede obtener la salida correcta.

10. Según se ha mencionado anteriormente, de acuerdo con el presente invento, se pueden llevar a cabo la lectura correcta de la información almacenada en las pistas TR_1 y TR_2 , si existe un fenómeno de oblicuidad entre la cabeza magnética y el medio de registro o grabación. Además, se puede aumentar la densidad de la información registrada y, por lo tanto, se puede almacenar una mayor cantidad de datos en una tira o banda magnética que tenga una pequeña dimensión.

15. Se comprenderá que el presente invento tiene aplicación no solamente a un aparato que tenga dos pistas si no, también, a un aparato que tenga más de tres pistas. Además, se comprenderá que el presente invento tiene aplicación no solamente a un aparato de grabación magnética si no también a un aparato de grabación óptica.

NOTA

25. Descrita suficientemente la naturaleza del invento así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento
- 30.

5. corresponde a una solicitud de patente presentada en Japón con el nº 139821/74 de 4 de Diciembre de 1974, acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España sobre: PERFECCIONAMIENTOS EN SISTEMAS PARA COMPENSAR UNA DIFERENCIA DE FASE ENTRE LAS PISTAS DE MEDIOS DE GRABACION PARA APARATOS REGENERADORES DE INFORMACION GRABADA MAGNETICAMENTE; caracterizándose por lo siguiente:
10. 1.- Perfeccionamientos en sistemas para compensar una diferencia de fase entre las pistas de medios de grabación para aparatos regeneradores de información grabada magnéticamente, del tipo que regeneran las señales grabadas sobre una pluralidad de dichas pistas magnéticas y que compone y demodula dichas señales para obtener una señal de salida de lectura, caracterizados porque se disponen una pluralidad de medios de retardo para retardar señales que están grabadas en cada pista de dicho medio de registro o grabación; un primer dispositivo para componer dichas señales; una pluralidad de segundos
15. dispositivos para componer la señal retardada de una pista y las señales de cada pista excepto dicha primera pista; medios de detección para detectar si las salidas del primer y segundo dispositivos son correctas o no, y medios para elegir la salida correcta de dichas salidas del primer y el segundo dispositivos para utilizar dicha salida correcta.
20. 2.- Perfeccionamientos según la reivindicación 1, caracterizados porque las señales se graban sobre una primera y una segunda pistas; porque una primera y una segunda señales que se graban en la primera y en la segunda pistas se retardan por acción de dichos medios de retardo; porque la primera y
25. 30.

la segunda señales se componen mediante dicho primer dispositivo; porque la primera señal y una segunda señal retardada que se obtiene por los medios de retardo se componen mediante dicho segundo dispositivo; y porque la segunda señal y una primera señal retardada que se obtiene por dichos medios de retardo se componen mediante dicho segundo dispositivo.

5.

3.- Perfeccionamientos según la reivindicación 1, caracterizados porque el medio de grabación es una tira o banda magnética en una libreta de depósito.

10.

4.- Perfeccionamientos según la reivindicación 2, caracterizados porque las pistas son pistas magnéticas que están previstas en una tira o banda magnética de dicha libreta.

15.

5.- Perfeccionamientos según las reivindicaciones anteriores, caracterizados porque el aparato que compensa la diferencia de fase entre pistas magnéticas en un aparato regenerador de información grabada, comprende una primera pista donde una señal máxima representa la señal "1"; una segunda pista donde una señal máxima representa la señal "0"; un primer detector de crestas que detecta dicha señal máxima de la primera pista; un primer circuito de retardo que retarda la salida del primer detector de crestas; un segundo detector de crestas que detecta dicha señal de la segunda pista; un segundo circuito de retardo que retarda la salida del segundo detector de crestas; un primer demodulador que recibe y modula las salidas del primer y el segundo detectores de crestas; un segundo demodulador que recibe y demodula las salidas del primer circuito de retardo y el segundo detector de crestas; un tercer demodulador que recibe y demodula la salida del segundo circuito de retardo y el primer detector de crestas; una primera, segunda y

20.

25.

30.

tercera memorias que almacenan las salidas del primer, segundo

y tercer demoduladores, respectivamente, y un circuito de comprobación de errores que detecta si el contenido de la primera, segunda y tercera memorias es correcto o no, y que envía el contenido correcto de la primera, segunda y tercera memorias como señal de salida.

5.

6.- Perfeccionamientos en sistemas para compensar una diferencia de fase entre las pistas de medios de grabación para aparatos regeneradores de información grabada magnéticamente, tal y como queda sustancialmente descrito en la presente Memoria y en los dibujos adjuntos.

10.

Esta Memoria consta de dieciséis hojas escritas a máquina por una sola cara.

Madrid, 11 MAR. 1976

FUJITSU LIMITED.

J. GÓMEZ ACEBO Y CUBEL
p. p. Firmado: L. Góme Fernández

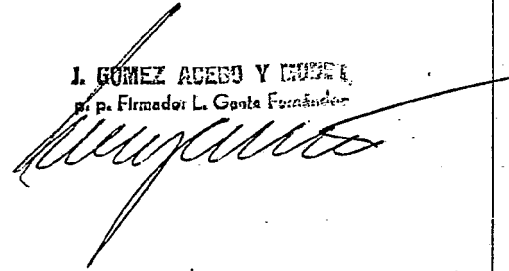


Fig. 1A

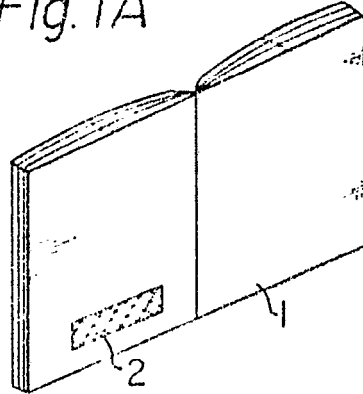


Fig. 1B

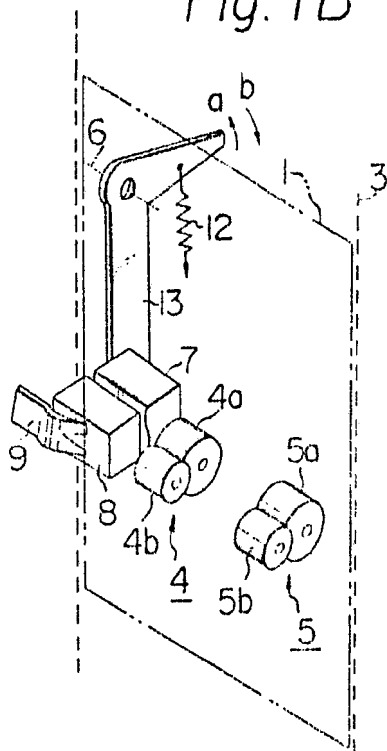
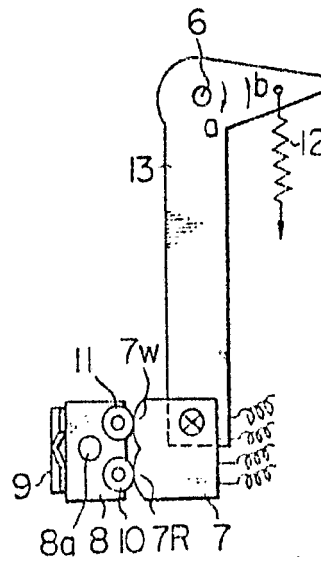


Fig. 1C



SCALA
VARIABLE

1975

Fig. 2

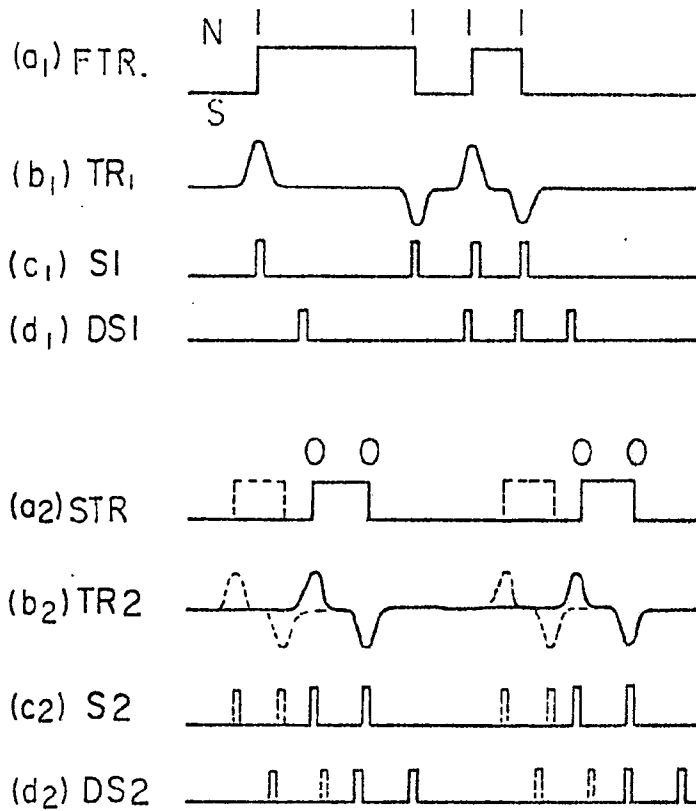
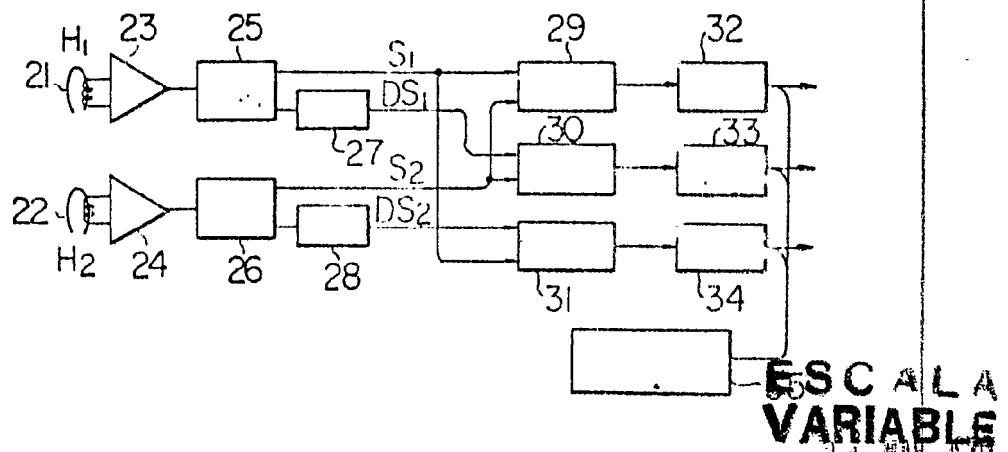


Fig. 3



Madrid

[Handwritten signature]

Fig. 4A

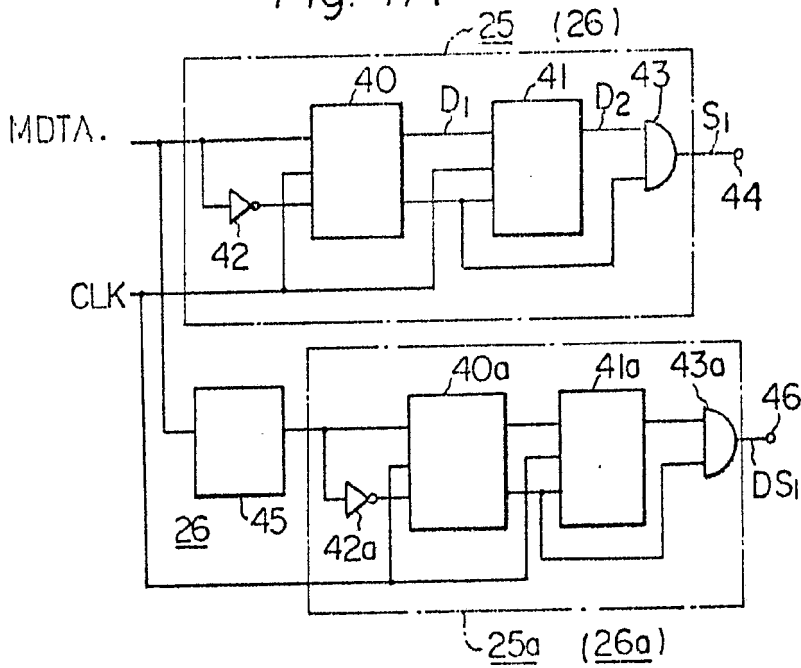
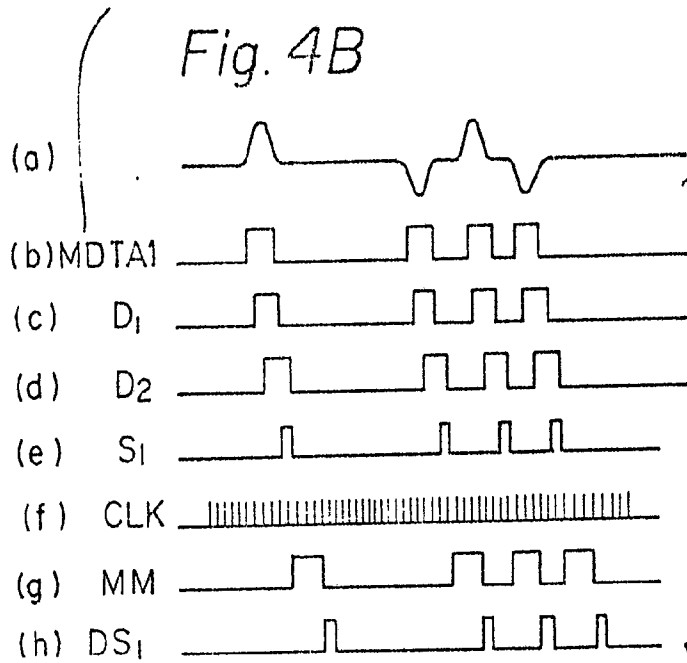


Fig. 4B



ESCALA
 VARIABLE
 14 MAR. 1975

Módulo

Fig. 5A

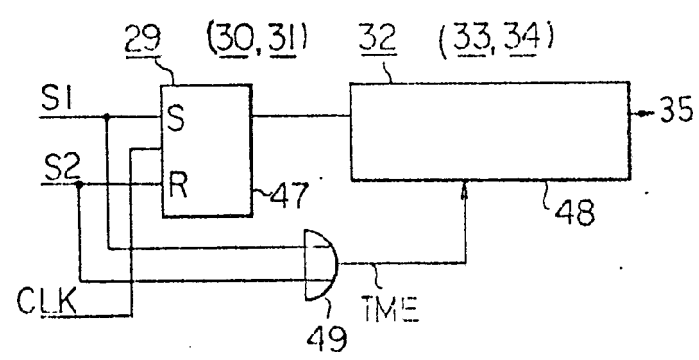
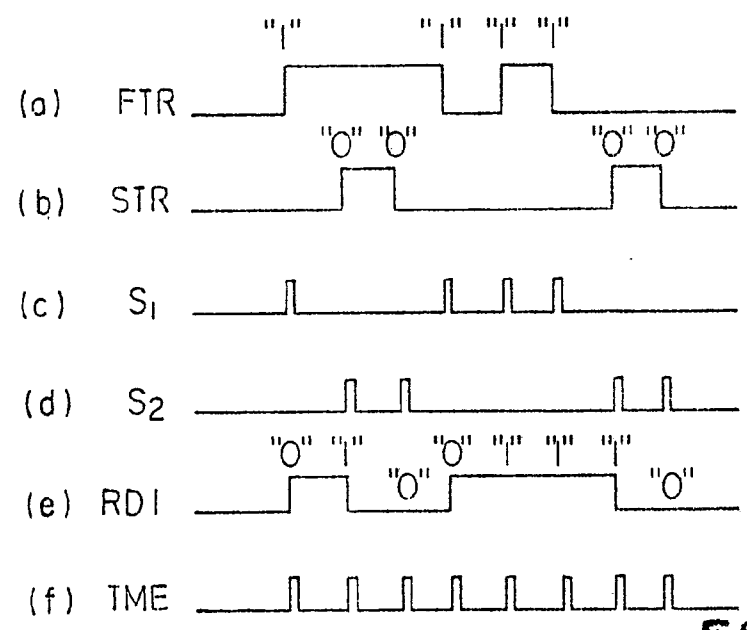


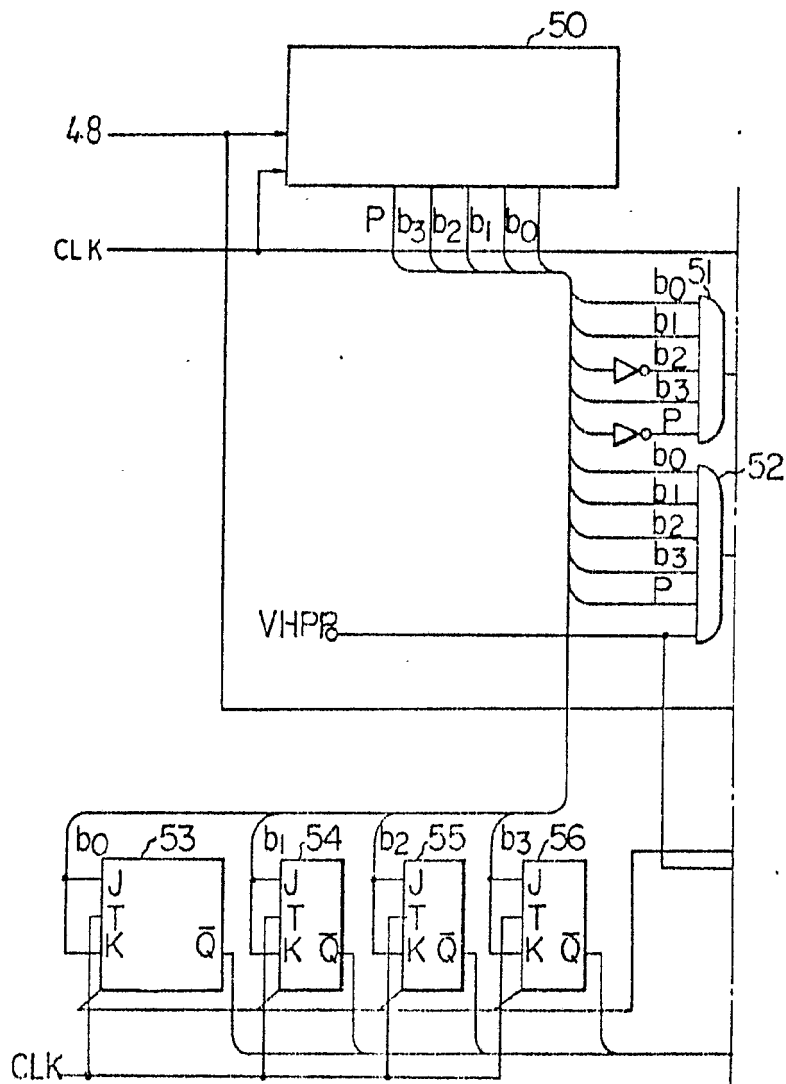
Fig. 5B



ESCALA
 VARIABLE
 MAR 1975

[Handwritten signature]

Fig. 6A(1)

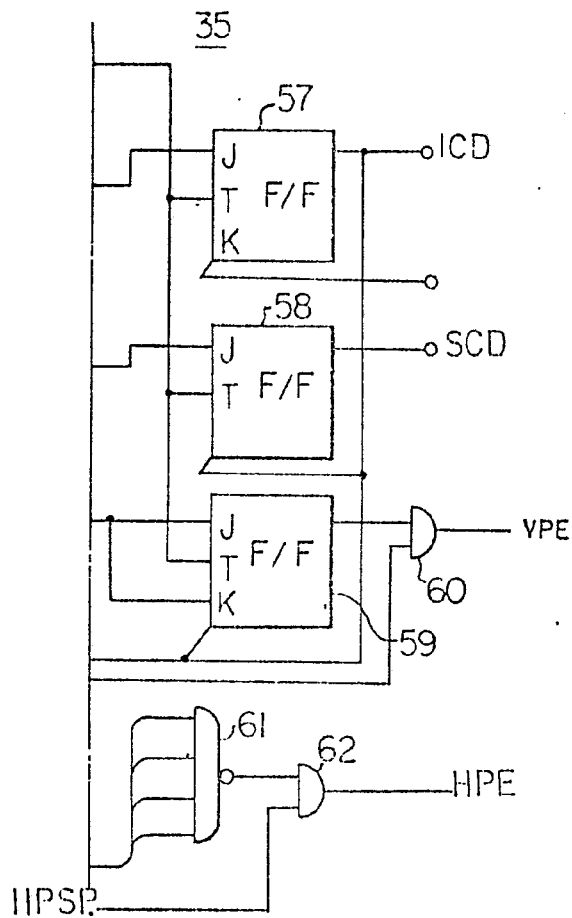


VARIABLE

11 MAR. 1976

A. GOMEZ AGUIRRE Y CA
Ingenieros de Electricidad y Electrónica

Fig. 6A (2)



ESCALA
VARIABLE

Madrid 31 MAR. 1976
L. GOMEZ AGUDO Y CIA S.A.
p.p. Firmador L. Gósta Fernández