

MINISTERIO DE INDUSTRIA
REGISTRO DE LA PROPIEDAD INDUSTRIAL



ESPAÑA

(15) ES	(11) NUMERO 442.866	(16) A1
(21)	(22) FECHA DE PRESENTACION	

PATENTE DE INVENCION

(30) FIRMIEROS (31) NUMERO 526.107	(32) FECHA 22 de Noviembre de 1.974	(33) PAIS Estados Unidos
--	--	-----------------------------

(41) FECHA DE PUBLICIDAD	(51) CLASIFICACION INTERNACIONAL H04J	(62) PATENTE DE LA QUE ES DIVISIONARIA
--------------------------	--	--

(43) TITULO DE LA INVENCION PERFECCIONAMIENTOS EN SISTEMAS MULTIPLES DE DIVISION DE TIEMPO

(64) SOLICITANTE (S) WESTERN ELECTRIC COMPANY INCORPORATED

DOMICILIO DEL SOLICITANTE Residente en 195 Broadway, New York, EE.UU. de A.
--

(72) INVENTOR (ES) John Robert Colton Robert Bruce Heick Henry Mann
--

(73) TIPO DE INVENCIÓN

(74) REPRESENTANTE GÓMEZ-ACEBO

21 DIC. 1976

CONCEDIDA

Este invento se refiere a un circuito reencuadrador para un sistema múltiple de división de tiempo.

5 Una práctica común en la transmisión digital consiste en incorporar un impulso marcador (v.g., bitio de encuadre) en una posición previamente asignada en una corriente de bitios de datos con el fin de mantener el aparato receptor en sincronismo con el aparato transmisor. Dicha sincronización es esencial para una reconstitución correcta de un mensaje y, cuando se trata de un sistema de múltiple de división de tiempo, para la distribución corriente de los diversos mensajes a los abonados a que están destinados. Con este fin, un sistema de transmisión digital comprenden invariablemente una circuitería de detección de encuadre para verificar y determinar el estado de encuadre o desencuadre de una corriente de bitio de dato digital recibida y, cuando la corriente de bitios de dato digital se desencuadra (v.g., pierde sincronización) con respecto a un patrón de encuadre generado localmente, un circuito reencuadrador realiza una operación de reencuadre para volver a capturar la sincronización de encuadre.

10

15

20 En el pasado, los terminales de datos dígitos de modulación por códigos de impulsos (PCM) han realizado la tarea de las sincronización de encuadre así como la extracción de transmisión de señales, etc, tomando como base los "bigrupos" 1x1, comprendiendo un bigrupo o grupo digital una pluralidad de mensajes de PCM multiplexados de división de tiempo y bitios de encuadre y señalización multiplexados; vease el artículo "The D3 Channel Bank" (el Banco de Canales D3) de W.B.Gaunt y J.B. Evans, Jr., Bell Laboratories Record, Agosto 1.972, páginas 229-233, y las referencias citadas en

25

30 el mismo.

Al aumentar el tráfico digital, no es infrecuente actualmente hallar proposiciones para multiplexar una pluralidad de bigrupos para transmisión a un lugar distante con un aparato de transmisión común o, variante, multiplexar una pluralidad de bigrupos recibidos sobre una barra de distribución común en un centro de conmutación. Estos dos casos son algo análogos y presentan el mismo problema con respecto al encuadre. La práctica tradicional sugeriría llevar a cabo la operación de reencuadre sobre una base de bigrupos individuales empleando reencuadradores plurales para mantener cada uno de la pluralidad de bigrupos multiplexados en sincronización de encuadre. El inconveniente de esta forma de enfocar el problema como es lógico, es su complejidad y redundancia en la circuitería de reencuadre.

La patente EE.UU. 3.770.897 de R.H.Haussmann et al, editada el 6 de Noviembre de 1.973, parece sugerir el llevar a cabo la operación de sincronización de encuadres para una pluralidad de grupos digitales multiplexados sobre una base compartida, pero esta proposición es en sí realmente un híbrido de la forma de enfocar el problema tomando como base bigrupos individuales. El sistema de la patente funciona como una máquina secuencial que comprueba y reencuadra los grupos multiplexados de una forma mutuamente exclusiva. O sea, se trata por separado, con cada grupo digital en un cierto número de encuadres para determinar el estado de encuadre o desencuadre de los mismos y para conseguir sincronización de encuadre si existe un estado de desencuadre. No obstante, mientras se maneja de este modo un grupo dado no se tiene en consideración los otros grupos digitales.

Según otro aspecto del invento, un circuito reen-

cuadrador para un sistema multiples de división de tiempo en el que una pluralidad de grupos de bitios de datos, cada uno de los cuales representa información de mensaje para un grupo respectivo de canales y que proporciona un patrón de bitios de encuadre respectivos se multiplexan sucesivamente sobre una conexión de transmisión común, se caracteriza porque comprende medios de almacenamiento de bitios de datos, medios para comparar cada uno de los bitios de datos almacenados con un bitio de dato correspondiente uno o más encuadres después en el grupo respectivo para detectar estructuras de encuadre posibles entre bitios comparados; medios de almacenamiento de idoneidad para registrar por cada grupo cual de los bitios comparados han experimentado violaciones de estructuras de encuadre y cuales no han experimentado tales violaciones; un dispositivo decodificador de corrimiento que responde a la señal de salida de dichos medios para comparar y de dichos medios de almacenamiento de idoneidad para determinar por cada grupo los corrimientos de dígitos que han de realizarse a partir del juego presente de comparaciones y a partir del registro de idoneidad pasado en dichos medios de almacenamiento de idoneidad; y medios para correr el dato almacenado de un grupo en los medios de almacenamiento de bitios de datos, para correr el dato registrado de dicho grupo en los citados medios de almacenamiento de idoneidad y para correr los bitios de datos múltiplexados de dicho grupo de acuerdo con cualquier determinación de corrimiento de dígitos de dicho grupo por parte del dispositivo decodificador de corrimiento.

En la modalidad de preferencia del invento, puede realizarse una operación de reencuadre, en el mismo cuadro de

tiempo, para cualquiera y para toda una pluralidad de grupos multiplexados de división de tiempo. Los grupos multiplexados de división de tiempo pueden conformarse todos ellos de una forma continua y mantenerse en sincronización de cuadros durante el mismo cuadro de tiempo de una central de conmutación, pero tratándose cada grupo independientemente.

La modalidad de preferencia del invento convenientemente, a título de ejemplo, en una máquina de conmutación de división de tiempo, a gran escala como es la número 4 ESS de Brill System. La pluralidad de grupos de datos digitales codificados en PCM transmitidos a la central nº 4 ESS, se almacenan respectivamente cuadro a cuadro y después se toma la lectura de almacenamiento en la secuencia necesaria para que una pluralidad (5) de grupos digitales de n-canales (n=24) se multiplexen sobre una barra de distribución común. El circuito de reencuadre de corrimiento variable utiliza una circuitería de control común para llevar a cabo una operación de reencuadre para cualquiera y para todos los bigrupos multiplexados (incluyendo un bigrupo virtual de pistas de intervalos de prueba) que están desencuadrados. Un almacenamiento de datos "antiguos" que comprenden una memoria de recirculación compartida o común se utiliza para almacenar sucesivamente un número dado de bits de datos elegidos (incluyendo el bitio de encuadre supuesto) de cada bigrupo con fines de comparación de encuadres. Un comparador de reencuadre sirve para comparar, por cada bigrupo, la salida de dato del almacenamiento de datos antiguos con el nuevo dato que aparece uno o más cuadros de tiempo después (v.g., dos encuadres). Un almacenamiento de idoneidad que comprende una memoria de recirculación compartida o común se utiliza para registrar,

5 por cada bigrupo, cual de los bitios de dato comparado han ex-
perimentado violaciones de patrón de encuadre y cuales apare-
cen como candidatos apropiados para el bitio de encuadre. Un
decodificador de corrimiento determina cuantos corrimientos
de dígitos, si los hubiera, deberán hacerse por medio del cir-
cuito de reencuadre de corrimiento variable, tomando como ba-
se el conjunto presente de comparaciones de idoneidades para
10 pasar el candidato siguiente del bitio de encuadre. Una vez
que se ha determinado un número dado de corrimientos, el al-
macenamiento de datos antiguos, el almacenamiento de idonei-
dad y el circuito lógico de localización de escritura de los
almacenamientos de datos de recepción del bigrupo o bigrupos
desencuadrados se desplazan un grupo determinado de corri-
mientos o posiciones como medida preparativa para el siguiente
15 grupo de comparaciones de bitios de datos. La operación des-
crita se repite entonces hasta que vuelve a capturarse el bi-
tio de encuadre.

Una característica de la modalidad de preferencia
del invento es el circuito lógico de compensación que se uti-
liza con el fin de compensar el circuito de reencuadre respec-
20 to a los cambios en las estructuras de encuadre introducidos
en cada uno de los bigrupos multiplexados por la máquina con-
mutadora para fines de sincronización.

Otra característica adicional es el dispositivo con
25 el que se puede llevar a cabo pruebas de mantenimiento. Me-
diante el empleo de pistas de intervalos de prueba, la cir-
cuitería de control común compartida por todos los bigrupos
se pueden probar de una forma continua, mientras está en ser-
vicio, y los fallos se pueden detectar rápidamente.

30 Otra característica más es que una forma de enfocar

el problema con un control común da lugar a sensibles ahorros en complejidad de los circuitos, y la circuitería se adapta con más facilidad a los diseños de circuitos integrados.

5

La modalidad de preferencia del invento, expuesta a título de ejemplo, se describe a continuación, con relación a los dibujos adjuntos, en los que:

10

Las figuras 1 a 3, colocadas según se ilustra en la figura 4, muestran un diagrama de conjuntos esquemáticos simplificados de una parte de la máquina conmutadora de división de tiempo que incorpora el aparato que comprende el presente invento.

La figura 5 ilustra el formato de datos de una línea multiplex entrante normal.

15

La figura 6 es un diagrama esquemático de una célula de una sola memoria donde están comprendidos todos los registradores de corrimiento de 6 bits, representados en los dibujos.

La figura 7 es un diagrama esquemático detallado del almacenamiento de temporización de errores de la figura 2.

20

La figura 8 es un diagrama esquemático del circuito de almacenamiento de datos antiguos de la figura 3.

La figura 9 es un diagrama esquemático del circuito de almacenamiento de idoneidad de la figura 3.

25

La figura 10 es un diagrama esquemático detallado del decodificador de corrimiento de la figura 3.

La figura 11 es un diagrama esquemático del comparador de reencuadre de la figura 3.

30

La figura 12 es un diagrama esquemático del circuito de compensación de deslizamiento de reencuadrador de la figura 3.

La figura 13 es un diagrama esquemático del decodificador de dirección de corrimiento de la figura 3.

La figura 14 ilustra el circuito lógico para desarrollar la señal CHFP utilizada para el detector de encuadre de la figura 2.

La figura 15 es un diagrama esquemático de conjuntos que ilustra la forma en que se desplaza la dirección de escritura de los almacenamientos de datos de recepción.

Las figuras 16a-16e representan formas de ondas que ilustran el efecto de correr la dirección de escritura para los circuitos de almacenamiento de datos de recepción de un grupo digital que está desencuadrado; y

Tomando ahora como referencia las figuras 1-3 de los dibujos, se ilustran en las mismas parte de un sistema de conmutación de división de tiempo que incorpora un circuito de reencuadre que incluye el invento. A título ilustrativo, el sistema de las figuras 1-3 incorporan muchas de las características y aspecto del aparato nº 4 ESS; vease el artículo "Nº 4 ESS - Long Distance Switching for the Future" (Conmutación de Larga Distancia para el Futuro - Nº 4 ESS) de G.D. Johnson, Bell Laboratories Record, Septiembre 1.973, páginas 226-232. No obstante, se comprenderá que los conceptos de invención expuestos en la presente memoria se pueden emplear con otros sistemas diferentes de conmutación de división de tiempo. Además, según se ha sugerido anteriormente, el presente invento puede encontrar empleo también en la situación análoga donde una pluralidad de bigrupos se multiplexan juntos para transmisión a un lugar distante para un aparato de transmisión común. La línea de transmisión entrante 11 lleva un grupo digital (bigrupo) de mensajes separados y distintos de

una forma multiplexada de división de tiempo. De nuevo, a título ilustrativo, los datos transmitidos por la línea 11 se puede suponer que tienen un formato similar al formato de datos transmitidos a la central nº 4 ESS por una línea de transmisión T1 (vease, por ejemplo, el artículo "The D3 Channel Bank" (El Banco de Canales de D3) de W.B. Gaunt et al, Bell Laboratories Record, Agosto 1972, páginas 229-233).

Este formato de datos se ilustra de una forma abreviada, en la vista expandida del bigrupo 2, en la Fig.5 de los dibujos. El formato consiste en 24 palabras de 8 bitios y un bitio de encuadre para un total de 193 bitios por cuadro. Las 24 palabras representan normalmente 24 mensajes y distintos depositados en 24 canales separados y distintos 0-23. Las palabras se codifican en PCM(modulación de códigos de impulsos) y el último bitio expresivo (v.g, octavo bitio) de un canal se dedica periódicamente para fines de señalización. Esta dedicación se expone con detalle en el artículo escrito con Gaunt et al, Supra. Las palabras de datos codificados en PCM pueden representar información de voz o de video codificada, datos digitales de un conjunto de datos, etc,. Para los fines presentes es conveniente considerar el 193 bitio de dato (v.g, el bitio de encuadre) como una parte de la última palabra (W 23) de un cuadro. Según se sugiere en la Fig. 5, y según se describirá más adelante con más detalle, 5 bigrupos de 24 canales cada uno se multiplexan sobre una barra distribuidora de 128 pistas de intervalo. De estas 128 pistas de intervalos o canales, se utilizan 120 pistas de intervalos para tráfico ($5 \times 24 = 120$) y 8 son sobrantes que se pueden emplear para comprobación de mantenimiento y otras operaciones similares.

El bigrupo recibido se envía al circuito de recuperación de reloj 12, al convertidor de datos 13. El circuito 12 recupera la temporización de línea de la línea T1 entrante 11 y sirve para generar impulsos de reloj coincidentes al ritmo de líneas entrantes (1,544 MHz). Estos impulsos de reloj se envían al convertidor de datos 13 y a la circuitería de localización de escritura 14. El convertidor de datos 13 sirve para regenerar los bitios digitales recibidos, degradados en transmisión, y los convierte además de un formato bipolar a un formato unipolar. El convertidor de datos 13 sirve para también convertir cada una de las palabras digitales sucesivas (W0-W23) a un formato de bitios en paralelo. Todas las palabras de datos excepto la última (W23) son palabras de 8 bitios y, por lo tanto, el bitio D9, en el conductor de salida del convertidor 13 designado de un modo similar es normalmente un "0" lógico o binario. El 193 bitio o bitio de encuadre (bitio D9) se considera parte de la última palabra (W23) y, por lo tanto, con la aparición de la palabra W23, este bitio D9 puede ser "un 1" o un "0" binario según sea la estructura de encuadre. El bitio D9 se introduce o escribe en almacenamiento junto con los bitios de datos D-1D-8 de la palabra de dato W23.

El convertidor de datos 13 comprende también un generador de paridad clásico (no ilustrado) que cuenta el número de bitios "1" binarios por ejemplo, en una palabra de dato y añade un bitio de paridad P cuando resulte apropiado, para fines de comprobación de paridad "impar". La propia comprobación de paridad se lleva a cabo en una etapa ulterior en la operación de conmutación, y por lo tanto, puede dejar de considerarse para los fines presentes.

Los impulsos de reloj de salida de recuperación de reloj 12 se envían en serie al circuito de dirección de escritura 14 que comprende contadores digitales y de palabras. El contador de palabras del circuito 14 cuenta hasta 24 palabras y entonces recicla. Suponiendo un estado de encuadre, este contador de palabras contará desde cero hasta 23 en coincidencia de tiempo con la aparición de palabras de dato W0 a W23 en la salida del convertidor de datos 13. Así, el contador de palabras indica la "dirección" (v.g., la posición en el cuadro) de cada palabra de dato. De acuerdo con la notación binaria, se necesita por lo menos 5 dígitos binarios para indicar un conteo de 24. Son precisamente estos 5 bits en los conductores de salida 15 los que se emplean para escribir las palabras de datos en las posiciones apropiadas en los circuitos de almacenamiento de datos.

Los circuitos de almacenamiento de datos A y B se organizan cada uno como una memoria de acceso aleatorio de 24 palabras por 10 bits por palabra. Cuando el bigrupo se encuentra en encuadre, los circuitos de almacenamiento de datos de recepción A y B almacenan cada uno un cuadro completo de datos que incluyen el bitio de encuadre, más un bitio de paridad por cada canal del cuadro. Según se ilustra simbólicamente en la figura 1, las palabras de dato W0-W23 se almacenan en filas sucesivas de cada circuito de almacenamiento junto con un bitio D9 (que es siempre un "0" binario para todas las palabras salvo la última) y un bitio de paridad (P). Los cuadros sucesivos de datos entrantes se escriben alternativamente en los circuitos de almacenamiento A y B.

Cada circuito de almacenamiento de datos de recep-

5 ción comprende un circuito de almacenamiento MOS (semiconductor de óxido metálico) estático con memoria de acceso aleatorio y circuito lógico de decodificación de localización normal. En la práctica, las matrices de almacenamiento A y B comprenderían simplemente partes separadas y distintas de una matriz de almacenamiento mayor. Las matrices de almacenamiento de datos, como es lógico, son bien conocidas en esta rama de la industria y podría emplearse con el invento un cierto número de dispositivos de almacenamiento de la tecnología anterior de una forma conveniente.

10 Según se ha indicado anteriormente, los cuadros sucesivos de datos entrantes se escriben alternativamente en los circuitos de almacenamiento A y B. La información de dirección de escritura WRAD de 5 bitios en los conductores 15 sirve para designar el lugar de almacenamiento o fila para la salida de palabras de datos en paralelo PD procedentes del convertidor de datos 13. Las palabras de datos sucesivas se escriben en lugares de almacenamiento de datos sucesivos a medida que la dirección de escritura de 5 bitios incrementa sucesivamente de 0 a 23.

20 La salida WA/WB (escritura B) del circuito 14 de dirección de escritura WRAD, sobre una base de encuadre, se activa de una forma alternativa y elige por lo tanto el circuito de almacenamiento de datos (A o B) en el que se describen las 24 palabras de cada cuadro. Así, según alterna de 25 una forma sucesiva la onda de WA/WB, los cuadros de bigrupos entrantes sucesivos se escriben alternativamente en los circuitos de almacenamiento A y B.

30 El ritmo de transmisión de líneas se da como 1,544 MHz, son 193 bitios por cuadro, y la duración de cada cuadro

de línea de 125 microsegundos, que se subdivide en canales de 5,18 microsegundos cada uno. Esta duración de cuadro, a su vez, establece la duración de cuadro interno de la central de conmutación en un periodo correspondiente de 125 microsegundos.

5 El cuadro de 125 microsegundos de la central se divide en 128 periodos de tiempo, denominado en adelante como pistas de intervalo o canales. Cinco bigrupos de 24 canales cada uno se multiplexan sobre una barra de distribución de 128 pistas de intervalos, en la forma que se describirá más adelante, dejando 8 pistas de intervalos de reserva. Estas pistas de intervalos de reserva se emplean para fines de prueba de mantenimiento, v.g., la última de las pistas de intervalos sobrantes se emplea para probar el reencuadrador de control común mientras está en servicio con bigrupos activos. Cada ciclo de escritura u operación de escritura exige un cuadro entero (125 microsegundos). No obstante, como 5 bigrupos se multiplexan sobre una barra de distribución común con la misma duración de tiempo (125 microsegundos) según se ilustra en la figura 5, el tiempo necesario para tomar la lectura de las 24 palabras de un bigrupo dado es tan solo aproximadamente de un 20% del tiempo empleado para escribir estas palabras.

10

15

20

Volviendo de nuevo a las figuras 1-3, se describe a continuación el ciclo de lectura. Entre otras señales de temporización, el reloj del sistema central (no ilustrado) genera señales de reloj GWC (código de palabras generadas) que sirven para definir las 128 pistas de intervalos del cuadro de la central. Estas señales de reloj GWC se envían por 7 conductores 21 ($2^7 = 128$) al circuito lógico de decodificación de lectura 22. El circuito lógico 22 decodifica estas señales de reloj de tal manera que los cinco conductores de salida 25 incre-

25

30

menten en un contaje de 0 a 23 durante 5 ciclos sucesivos; en una notación binaria, se necesitan por lo menos 5 dígitos binarios para un contaje de 24. En este contaje o información de dirección de 5 bits en los conductores 25 lo que se utiliza para tomar lectura de las palabras de datos de los lugares respectivos en todos los circuitos de almacenamiento de datos. Después de 5 ciclos de contajes sucesivos de 0-23 se registran en los conductores 25, la operación se interrumpe durante un periodo de 8 pistas de intervalos o canales (v.g., las pistas de intervalos 120-127 que son sobrantes) y entonces se repite. El conductor de "selección de lectura de almacenamiento" 24 se activa en uno de los cinco ciclos predeterminados y sirve para activar la lectura de datos del bigrupo particular asociado con los circuitos de almacenamiento A y B. Hay otros cuatro conductores de "selección de lectura de almacenamiento" (no ilustrado) y cada uno se activa respectivamente durante uno de los cinco ciclos dados para activar la lectura de un bigrupo dado.

El circuito de control de deriva 26 genera una señal de salida RA/RB (lectura A/lectura B) que sirve para activar alternativamente la lectura de los dispositivos de almacenamiento A y B; esta señal de salida comprende, por lo tanto, parte de la información de dirección de lectura RAD para los circuitos de almacenamiento A y B. La onda de salida RA/RB del circuito de control de deriva 26 es la necesaria para que el dato se lea normalmente de los dispositivos de almacenamiento A y B de una forma alternada y para que la lectura se desfase en general con respecto a la escritura de manera que la lectura de un circuito de almacenamiento tenga lugar simultáneamente con la escritura en el otro. No obstante, cuan-

do el ciclo de lectura deriva efectivamente en un grado pre-
determinado en una u otra dirección con relación al ciclo de
escritura, el circuito de control de deriva 26 actúa sobre
el ciclo de lectura para descartar un cuadro de datos o para
5 leer dos veces un cuadro de datos, dependiendo de la dirección
b deriva relativa entre los ciclos de lectura y escritura. Re-
sultará evidente por la descripción que sigue que el circuito
lógico decodificador 22 es común a los 5 bigrupos que se mul-
tiplexan juntos, pero que debe utilizarse un circuito de con-
10 trol de deriva 26 tomando como base un sistema de bigrupo o
bigrupo DGR.

La temporización de línea recuperada empleada para
escribir los almacenamientos de dato para una línea dada pue-
de que no estén en sincronización con la temporización de la
15 central empleada para leer estos almacenamientos y, por con-
siguiente, se puede escribir más o menos información en los
almacenamientos que lo que se toma lectura de los mismos. El
circuito de control de deriva 26 resuelve este problema des-
cartando un cuadro de datos o tomando doble lectura de un cua-
20 dro de datos, dependiendo de la deriva relativa entre los ci-
clos de lectura y escritura. De un modo más específico, si
la frecuencia de línea recuperada empleada para escribir los
almacenamientos de datos es mayor que la frecuencia de la
central empleada para leer estos almacenamientos, la onda de
25 lectura RA/RB se moverá o derivará en una dirección dada con
relación a la onda de escritura (WA/WB) este estado se deno-
mina deriva negativa. Una vez que se ha experimentado una can-
tidad predeterminada de deriva negativa, el control de deriva
26 actúa sobre el ciclo de lectura para producir una supre-
30 sión de un cuadro de dato (v.g., un cuadro de dato en el alma-

cenamiento B se descarta). Después, los almacenamientos A y B se leen de nuevo de una forma alternativa continua. Como variante, lógicamente, la frecuencia de línea recuperada puede ser algo menor que la frecuencia de la central y, por lo tanto, la onda de lectura se moverá o derivará en dirección opuesta con relación a la onda de escritura. Este estado se denomina deriva positiva. Una vez que se ha experimentado una cantidad predeterminada de deriva positiva, el control de deriva actúa sobre el ciclo de lectura para producir una doble lectura de un cuadro de dato dado (v.g., un cuadro de dato en el almacenamiento A se repite). Después, los almacenamientos A y B se leen de nuevo de una forma alternativa continua.

La determinación de esta deriva, así como su dirección, se realiza comparando el ciclo de escritura (WA/WB) del bigrupo con señales de reloj de pista de intervalos predeterminadas (v.g., TS00, TS05 y TS18) del ciclo de lectura, que se derivan del circuito lógico de lectura 22. Una operación de deriva está indicada por una señal en el conductor de salida de deriva SLP del circuito 26, y una señal de salida de deriva positiva (+) o de deriva negativa (-) indica si un cuadro se ha repetido o suprimido.

La operación de deriva descrita consigue sincronización en una central, en una red de comunicaciones esencialmente asíncrona, con un mínimo de perjuicio para las señales transmitidas. Un cuadro de datos multiplexados comprende una pluralidad de palabras de mensaje distintas en canales multiplexados distintos del cuadro y, por lo tanto, no tiene importancia una palabra digital perdida o duplicada por mensaje. Así mismo, la frecuencia de una supresión o doble lectu-

ra de cuadro es pequeña y siempre es exactamente un cuadro de dato el que se ve afectado.

5 Como los cinco conductores de "selección de lectura de almacenamiento" (v.g., conductor 24) del decodificador 22 se activan de una forma sucesiva, los almacenamientos de datos de cinco bigrupos se leen en sucesión y los bigrupos se multiplexan juntos en el multiplexador 27 para formar una corriente de bitios multiplexados según se representa en la figura 5. Así, los 24 canales del bigrupo 1 se leen, después 10 los 24 canales del bigrupo 2, y así sucesivamente para los otros tres bigrupos. Las 8 pistas de intervalo (SP) separan los datos del canal 23 del bigrupo 5 y el canal 0 del bigrupo 1. Las palabras de datos se leen de almacenamiento en un formato en paralelo y permanecen en un formato en paralelo 15 sobre la barra de distribución común 28. A excepción del circuito de control de deriva 26, los circuitos individuales mencionados anteriormente y representados en un esquema de conjuntos en la figura 1 de los dibujos, se consideran de tipo conocido puesto que se han descrito ampliamente en la literatura. El circuito de control de deriva se describe con detalle 20 en la solicitud de patente EE.UU. nº 427.068 (J.R.Colton y H. Mann) presentada el 21 de Diciembre de 1.973.

25 Los grupos de datos digitales multiplexados de división de tiempo se envían a una red de conmutación (no ilustrada) sobre la barra distribuidora múltiplex común 28. El detector de encuadre 20 compueba de una forma continua e independiente, en el punto de multiplex, todos los bigrupos (y el bigrupo virtual de las pistas de intervalos de prueba) sobre una base multiplex de tiempo. El detector de encuadre 20 30 examina cada bigrupo para sincronización de cuadro comparando

los bitios de encuadre del mismo contra una estructura de encuadre generada localmente. Si la comparación tiene éxito, el bigrupo está encuadrado y no se necesita tomar acción correctiva. No obstante, si falla la comparación se indica un estado de desencuadre y se inicia un procedimiento de "búsqueda" enviando una señal apropiada al reencuadrador 30. Como respuesta, se desarrolla una señal de "dirección de corrimiento" SHAD y se envía desde el reencuadrador 30 hasta el circuito lógico de corrimiento de reencuadre 31, de la figura 1, con el fin de alterar la operación de contaje del circuito 14 de dirección de escritura WRAD, v.g., haciendo avanzar el contaje una cantidad dada. La operación de búsqueda continúa, y el contaje del circuito 14 cambia intermitentemente, hasta que se consigue de nuevo un estado de encuadre, v.g., los bitios de encuadre del bigrupo en la barra de distribución 28 se comparan una vez más con éxito con la estructura de encuadre generada localmente. El detector de encuadre 20 se describe con detalle en la solicitud de patente EE.UU. Nº 484.414 (J.R.Colton, R.B. Heick y H.Mann) presentada el 1 de Julio de 1.974. Por consiguiente, para obtener detalles de circuito y una explicación completa del funcionamiento del detector de encuadre, deberá tomarse como referencia esta solicitud. No obstante, como el detector de encuadre 20 actúa conjuntamente con el circuito reencuadrador, que se describirá más adelante, se considera necesario exponer ciertos puntos particulares respecto al funcionamiento del detector de encuadre.

Volviendo, por lo tanto, al detector de encuadre 20, el estado de estructura de encuadre de cada bigrupo multiplexado se almacena en una memoria de recirculación compartida o común, que se actualiza continuamente de acuerdo con los cam-

bios introducidos en cada señal de bigrupo por la máquina de conmutación para sincronización (v.g., deriva + o $\bar{+}$) y para fines de reencuadre. Esta operación se lleva a cabo mediante el circuito de almacenamiento de estado de patrón de encuadre 32 que comprende un par de registradores de corrimiento de 6 bitios 33, que forman la memoria necesaria, y el circuito lógico de actualización 34, que actualiza o altera la información del estado almacenado de cada bigrupo, según sea necesario. El comprobador de estructura de encuadre 35 sirve para comparar el estado de la estructura de encuadre almacenado de cada bigrupo con los bitios de encuadre del bigrupo (D9) según aparece cada bigrupo en la barra distribuidora multiplex 28. Si falla esta comparación, se genera una señal de error (E). Un circuito de almacenamiento de temporización de error compartido o común 36 cuenta de una forma lineal las señales de error de cada bigrupo, y cuando el contaje de error de un bigrupo dado alcanza o excede un umbral predeterminado (E=15) se genera una indicación de desencuadre. El circuito de almacenamiento de temporización de error 36 comprende cuatro registradores de corrimiento de 6 bitios 37 y el circuito lógico de adición de error 38. Se necesitan 4 bitios para registrar un contaje de error que alcanza hasta 15 y, por lo tanto, la necesidad de 4 registradores de corrimiento en paralelo. El circuito lógico de adición de error 38 sirve para contar en orden ascendente o en orden descendente el contaje de error almacenado por cada bigrupo. El circuito de almacenamiento de estado de encuadre 40 mantiene un registro de tiempo real o actual del estado de encuadre o desencuadre por cada bigrupo (y el bigrupo virtual de las pistas de intervalos de pruebas). El registro de tiempo real se almacena en el

5 registrador de corrimiento de 6 bits 41. Si un bigrupo particular está encuadrado la señal de almacenamiento de estado de encuadre permanece encuadrada (IF) hasta que el circuito de almacenamiento de temporización de error 36 alcanza el umbral de conteo de error; en ese momento, el circuito lógico de cambio de estado 42 responde a una señal procedente del circuito de almacenamiento de temporización de error 36 para cambiar el estado almacenado para el bigrupo a \overline{IF} . Una vez que se ha vuelto a capturar el encuadre en la forma que se describirá más adelante, el circuito de almacenamiento de temporización de error, 36 envía una señal apropiada al circuito lógico 42 para cambiar el estado almacenado del bigrupo de nuevo a IF. Una indicación de cuadro de impulsos de encuadre (FFF) procedente del circuito de almacenamiento de estado de estructura de encuadre 32 y la señal de estado de IF/\overline{IF} procedente del circuito de almacenamiento de estado de encuadre 40 se acoplan al reencuadrador 30 en la forma y para los fines que se describirán con detalle más adelante.

20 Las líneas de transmisión T1 entrantes, como es la línea 11, transmiten información de encuadre en el 193 impulso de un cuadro sí y otro no. Por lo tanto, la estructura de encuadre que resulta es como sigue:

---1---X---0---X---1---X---0---

25 Los bits alternos "1" y "0" son, como es lógico, los bits válidos de encuadre. Los cuadros que no contienen bits de encuadre válidos se llaman subcuadros de señalización y el 193 bitio de estos cuadros se utiliza para enviar información de señalización, que se puede desconsiderar para los fines presentes. En un periodo de cuatro cuadros la estructura de encuadre de un bigrupo encuadrado se puede disponer de cual-

30

quiera de los cuatro modos siguientes:

0--X--1--X--
 X--0--X--1--
 1--X--0--X--
 X--1--X--0--

5

Por lo tanto, es evidente que se pueden emplear dos variables de estado (v.g., dos vitios de dato binarios) para definir el estado de estructura de encuadre por cada bigrupo encuadrado (y el bigrupo de pruebas). La tabla siguiente resume los cuatro estados posibles del patrón o estructura de encuadre de un bigrupo en términos de estas dos variables de estado.

10

<u>Estado</u>	<u>Variable de Estado</u>
0	00
1	01
2	10
3	11

15

En cualquier punto dado en el tiempo, el estado del patrón de encuadre de un bigrupo dado puede encontrarse en cualquiera de los cuatro estados relacionados anteriormente. Los estados respectivos de los bigrupos multiplexados (y bigrupo de prueba TB) son completamente aleatorios. O sea, cualquier bigrupo puede encontrarse en cualquier estado sin tener en consideración los estados de la estructura de encuadre de los otros bigrupos multiplexados.

20

25

Las dos variables de estado (v.g., dos dígitos binarios), que definen el estado de la estructura en el encuadre por cada uno de los bigrupos (y bigrupo de prueba), se

30

almacenan el par de registradores de corrimiento de 6 bitios
33 de la figura 2. Para almacenar el estado de la estructu-
ra de encuadre de los 5 bigrupos y el bigrupo de prueba (que
se trata como un bigrupo de 8 pistas de intervalo) se necesi-
5 ta un par de registradores de 6 bitios. En cualquier instante,
las células correspondientes del par de registradores 33 al-
macenarán temporalmente las dos variables de estado (siendo
cada variable un 1 binario o un 0 binario) para un bigrupo
dado. Los registradores 33 se desplazan o corren por señales
10 de reloj (CIK) derivadas del reloj de la central y que corren
el dato almacenado al principio de las pistas de intervalo 0,
24, 48, 72, 96 y 120. Así, por ejemplo, al comienzo de la
pista de intervalos 0 del ciclo de la central o cuadro, el
estado de encuadre de codificación binaria del bigrupo 1 apa-
15 recerá en la salida de los registradores de corrimiento 33 y
los estados almacenados de los otros bigrupos avanzarán una
posición de célula hacia la salida. El estado de codificación
binaria del bigrupo 1 se actualiza entonces por medio del
circuito lógico 34, si fuera necesario, y en la forma descri-
20 ta en la solicitud de patente EE.UU. nº 484414 (J.R. Colton
R.B. Heick y H. Mann) presentada el 1 de Julio de 1.974, su-
pra, y entonces se devuelve a la entrada de los registradores
33 donde avanza después o corre una vez más hacia la salida
del registrador. Al comienzo de la pista de intervalo 24 del
25 ciclo de la central, el estado de encuadre de codificación
binaria del bigrupo 2 se correrá hacia la salida de los regis-
tradores de corrimiento 33 de donde se acopla al circuito ló-
gico de actualización 34. Simultáneamente, los estados alma-
denados de otros bigrupos avanzan cada uno en los registrado-
30 res 33 una posición de célula. De esta manera, las dos varia-

bles de estado de todos los bigrupos, incluyendo el bigrupo de pruebas, avanzarán continuamente a través de los registradores de corrimiento 33 y después se realimentarán a las etapas de entrada de los mismos por el circuito lógico de actualización 34.

Los registradores de corrimiento 33, así como los registradores de corrimiento 37 y 41 del detector de encuadre 20, comprenden cada uno 6 células de memoria acopladas en tandem, configurada cada célula según se ilustra en la figura 6. Una célula de memoria normal consiste en un par de basculadores acoplados en tandem 61 y 62 y el circuito lógico puerta de reloj 63. Un bitio de dato binario (v.g., una variable de estado) se lee en el basculador de entrada 62 durante cada una de las últimas pistas de intervalos de bigrupo y el dato se desplaza desde el basculador 62 hasta el basculador de salida 61 durante cada una de las primeras pistas de intervalos de bigrupos. Así, el corrimiento tiene lugar durante las pistas de intervalo 0, 24, 48, 72, 96 y 120 del ciclo de la central, mientras que la lectura o "carga" de cada célula tiene lugar durante las pistas de intervalos precedentes 127, 23, 47, 71, 95 y 119 del ciclo de la central. El estado de estructura de encuadre de cada bigrupo se cronometra, por lo tanto, desde los registradores 33 durante la primera pista de intervalos de un bigrupo (v.g., TS0), revisada si fuera necesario en el circuito lógico de actualización 34, y después se descarga en las células de entrada de los registradores 33 durante la última pista de intervalos de bigrupos (v.g., TS23). El estado de la estructura de encuadre de todos los bigrupos recicla de este modo de una forma continua en el circuito de almacenamiento de estado 32, y periódicamente se actualiza e

altera según sea necesario.

La cronometración de los registradores de corrimiento 33 y la configuración de células del mismo se han expuesto con detalle anteriormente, porque los registradores de corrimiento utilizados en el circuito de almacenamiento de datos antiguos 43 y en el almacenamiento de idoneidad 45 del circuito reencuadrador 30 se cronometran y configuran exactamente de la misma manera.

El circuito lógico de actualización 34 se ilustra con detalle en la solicitud de patente EE.UU. nº 484.414 (J.R. Colton, R.B. Heick y H. Mann) presentada el primero de Julio de 1.974.

Según se ha explicado anteriormente, el circuito de control de deriva 26 de la figura 1, puede funcionar para descartar un cuadro de datos o para leer dos veces un cuadro de datos, y por lo tanto, introducirá cambios en la estructura de encuadre de un bigrupo. Dicho cambio, como es lógico, debe tenerse en consideración en la información del estado de la estructura de encuadre que se almacena en el circuito 32. Así mismo, después de una operación de reencuadre, la estructura de encuadre de un bigrupo puede diferir de la estructura antes de iniciarse el reencuadre y, de nuevo, se debe tener este punto en consideración en la información de estado de estructura de encuadre almacenada. El circuito de reencuadre 30 RF, genera una señal CHFP (patrón de encuadre de cambio), si es necesario cambiar el estado del patrón de encuadre almacenado en un almacenamiento de estado 32, el desarrollo de esta última señal se expondrá con detalle más adelante. El circuito lógico de actualización 34 sirve, por lo tanto, para cambiar la variable o variables de estado, almace-

nadas en el almacenamiento de estado de estructura de encuadre 32, según sean las señales de derivación de entrada y/o CHFP. En ausencia de deriva o de una señal para cambiar la estructura de encuadre (CHFP) procedente del circuito de reencuadre 30, el estado del bigrupo almacenado permanece igual.

El circuito lógico 34 genera una señal de cuadro de impulsos de encuadre (FPF) que sirve para distinguir aquellos cuadros de un bigrupo que comprenden bitios de encuadre procedentes de aquellos cuadros (v.g., subcuadros de señalización) que no lo comprenden. Por cada bigrupo se genera una señal FPF según aparece el cuadro de impulsos de encuadre del bigrupo en la barra de distribución multiplex 28.

La señal de salida de codificación binaria y variable en dos estados de los registradores de corrimiento 33 se alimenta al circuito comprobador de estructura de encuadre 35, que sirve para comparar la señal variable de estado de cada bigrupo con los bitios de encuadre D9 del bigrupo según aparecen estos en la barra de distribución multiplex 28. Esta función de comparación se realiza por medio de un circuito O exclusivo. Si falla la comparación (indicativa de un posible estado de desencuadre), se genera una señal de error (E); de otro modo, $E=0$ durante un cuadro de impulsos de encuadre (FPF). Según resultará más evidente, solamente se tienen en consideración aquellas señales de error (E) que se generan un cuadro de impulsos de encuadre.

La señal variable de dos estados de un bigrupo dado es virtualmente coextensiva con relación al tiempo con un cuadro del bigrupo cuando este aparece en la barra de distribución multiplex 28. Por consiguiente, en el primer caso,

5
10
15
esta comparación de encuadre parecería ser una comparación de tipo general y que no admitiera pequeños cambios o defasajes en encuadre (v.g., aquellos del orden de varias posiciones de bitios). No obstante, debido al modo en que se almacenan y se leen los datos, en paralelo, es evidente que aun un desplazamiento de un bitio de los bitios de encuadre D9 dará por resultado una señal de error (E). O sea, si los bitios de encuadre D9 se desplazan aun una posición de un bitio aparecerán, al tomarse la lectura, en una vía de salida cualquiera excepto en la vía de salida D9, la comprobación de encuadre se hará por lo tanto, contra otro bitio, con mayor probabilidad un bitio de dato, y por consiguiente, el circuito comprobador 35 generará señales de error (E).

20
25
30
Las señales de error (E) procedentes de patrón de encuadre 35 se envían a almacenamiento de temporización de error 36, representado con detalle en la figura 7 de los dibujos. El almacenamiento de temporización de error consiste en cuatro registradores de corrimiento de 6 bitios 37, un circuito adicionador binario de cuatro bitios 71 y un circuito lógico de combinación (v.g., la circuitería de puertas Y-0 no mínima de la figura 7). Los registradores 37 almacenan el conteo de codificación binaria de 0 a 15 por cada uno de los 5 bigrupos y el bigrupo de prueba. Como es lógico, son necesarios 4 bitios para registrar un conteo de error que alcance hasta 15, y por lo tanto, se necesitan 4 registradores de corrimiento en paralelo. En cualquier instante, las células correspondientes de los registradores 37, almacenarán temporalmente el conteo de error de un bigrupo dado. Los registradores 37 se copren y cargan mediante señales de reloj (CLK) exactamente de la misma manera que los registradores

de corrimiento 33.

Cada una de las células de los registradores 37 se configuran también según se ilustra en la figura 6. Para almacenar el contaje de error de los cinco bigrupos entrantes y el último bigrupa, los registradores 37 deben tener una longitud de 6 bits. El circuito adicionador binario 71 se utiliza para incrementar y decrementar el contaje de error acumulado de cada bigrupa. El circuito lógico de combinación envía señales al adicionador binario 71 para sumar 7 contajes (+ 7), o restar un contaje (-1) del contaje acumulado para cada bigrupa. La resta de un contaje se realiza por adición del complemento a dos de 0001 (o 1111). El circuito adicionador binario 71 se puede poner también en el estado 1111 por medio del conductor de sobrepasada de "puesta a 15". Los adicionadores binarios son bien conocidos y, por lo tanto su descripción detallada no se considera necesaria. Además, resultará también evidente a los expertos en la materia que el incremento de contaje indicado (+7) y el decremento de contaje (-1) son solamente ilustrativos. Dependiendo de las estadísticas de las señales recibidas, errores anticipados, etc., se pueden emplear otros incrementos y/o decrementos de contaje diferentes.

Mientras un bigrupa dado está en cuadro, el circuito lógico de combinación Y-0 sirve para incrementar o decrementar el contaje de error almacenado en respuesta a señales de error (E) proporcionadas por el comprobador de estructura de encuadre 35. Las otras señales de entrada al circuito lógico de combinación comprenden una indicación de cuadro de impulsos de encuadre (FPF), las señales de encuadre (IF) o desencuadre (\overline{IF}) derivadas de almacenamiento de estado de en-

cuadre, 40 y señales de corrimiento SH procedentes del reen-
cuadrador 30, de la figura 3. Cuando un bigrupo particular
está encuadrado (IF) y se registra un error ($= 1$) por parte
del comprobador de encuadre 35 durante un cuadro de impulso
de encuadre (FPF) de dicho bigrupo, el circuito lógico de
combinación añade 7 contajes ($+ 7$) al estado de almacenamien-
to de temporización de error. La puerta Y 72 ejerce esta fun-
ción. Si un bigrupo particular está en cuadro (IF) y el com-
probador de patrón de encuadre 35 no registra error (\bar{E}) du-
rante un cuadro de impulsos de encuadre (FPF), se resta un
contaje ($- 1$) del estado de almacenamiento de temporización
de error a menos que el almacenamiento de temporización se
encuentre ya en el estado de todo ceros (T MIN) Tm. Esta
señal de decremento ($- 1$) se obtiene gracias a la puerta Y 73
cuya salida se acopla por la puerta O 74 y la puerta 75 al
adicionador binario 71. Si la señal de salida de los regis-
tradores de corrimiento 37 se encuentra en estado de todo
ceros ($T_0 = T_1 = T_2 = T_3 = 0$) la puerta Y 76 se activa para
generar una señal de T MIN Tm. La señal de T MIN Tm, por lo
tanto, indica el hecho de que el contaje de error es 0 para
el bigrupo. Un contaje de decremento ($- 1$) en este punto
produciría una ejecución de la célula menos expresiva en los
registradores de corrimiento 37, lo cual debe evitarse. El
inversor 77 se utiliza para realizar esta función. Si existe
una condición de todos cerca (T MIN = 1) la salida del in-
versor 77 sirve para desactivar la puerta Y 75 y evitar, por
lo tanto, la resta de un contaje. La puerta Y 75 se desacti-
va cuando el contaje de error y solamente cuando el contaje
de error es cero (T MIN = 1). Si la adición de un contaje
 $+ 7$ a almacenamiento de temporización de error produce la

5 ejecución de la célula más expresiva, se genera una señal de rebose (OV) y el circuito adicionador binario 71 se coloca en el estado 1111 por medio de la señal de control de "colocación a 15". Esta señal de "colocación a 15" se genera por la puerta Y 78. Cuando el conteo de error del almacenamiento de temporización se encuentra en el estado de todos unos (1111), la puerta Y 79 se activa para generar la indicación TMAX TM. Las señales T MIN Tm y T MAX TM se acoplan al almacenamiento de estado de encuadre 40.

10 Cuando el bigrupo particular está desencuadrado (IF) durante un cuadro de impulsos de encuadre (FPF) v.g., durante una operación de reencuadre, el conteo de error del almacenamiento de temporización de error 36 se incrementa o decrementa por señales de corrimiento procedentes del reencuadrador 30. Las señales de corrimiento (SH1, SH2 ... SH8) son indicativas del hecho de que el reencuadrador se encuentra todavía en la operación de "busca" y el bigrupo se encuentra, por lo tanto, todavía desencuadrado; por el contrario, la señal de corrimiento SHO es indicativa del hecho de que se pueda volver a capturar el cuadro. El desarrollo de estas señales de corrimiento por el circuito reencuadrador 30 y la significación del mismo se abarcarán con detalle más adelante. cualquiera de las indicaciones de corrimiento SH1 - SH8 se pueden utilizar con el circuito lógico de combinación apropiado para generar una señal de "colocación a 15" mientras que una indicación SHO decrementará el conteo de error en 1 (-1).

25
30 Por consiguiente, cuando un bigrupo particular está desencuadrado (IF) durante un cuadro de impulso de encuadre (FPF) y el reencuadrador 30 genera una señal SHO (indi-

cativa de una posible nueva captura de cuadro), se resta un
contaje del estado del almacenamiento de temporización de
error. Esta señal de decremento se genera por la puerta Y 68;
que se acopla al adicionador binario 71 por la puerta O 74
5 y la puerta Y 75. El contaje de error, de esta manera se de-
crementará continuamente a cero, en cuyo punto la puerta Y 75
se desactiva según se ha descrito. No obstante, si se genera
una de las señales de corrimiento SH1 -SH8 por acción del
reencuadrador mientras el contaje de error del bigrupo desen-
10 cuadrado (\overline{IF}) se encuentra en proceso de ser decrementado a
cero, la puerta Y 69 se activa para enviar una señal de "co-
locación a 15" al adicionador binario 71. Durante los
cuadros (\overline{FPF}), se vuelve a poner en circulación el estado de
la temporización de error almacenada.

15 El contaje de error de cada bigrupo, incluyendo el
bigrupo de pruebas, sale de los registradores 37 durante la
primera pista de intervalo de bigrupo (v.g., TSO), revisada
por suma o resta según sea necesario en el adicionador bina-
rio 71, y después se alimenta o carga en las células de en-
20 trada de los registradores 37 durante la última pista de in-
tervalos del bigrupo (v.g., TS23).

El almacenamiento de estado de encuadre 40 registra
el estado de encuadre (IF) o desencuadre (\overline{IF}) de cada bigru-
po activo, así como del bigrupo de prueba. Este registro se al-
25 macena en el registrador de corrimiento de 6 bitios 41, que se
cronometran (CLK) y configura de la misma manera que se ha
descrito anteriormente con relación a los registradores de
corrimiento de 6 bitios 33 y 37. Para un bigrupo encuadrado
se almacena un bitio binario (IF = 1), mientras que para un
30 bigrupo desencuadrado se almacena un cero binario ($\overline{IF} = 0$).

Si un bigrupo particular está encuadrado (IF), el estado del bigrupo almacenado permanece encuadrado hasta que el almacenamiento de temporización de error 36 alcanza el estado 1111 (T MAX), y en dicho instante el estado almacenado de bigrupo cambia a \overline{IF} por acción del circuito lógico 42. Si un bigrupo está desencuadrado (\overline{IF}), permanece en dicho estado hasta que el reencuadrador ha situado el bitio de encuadre corrector y ha contado 15 bitios de encuadre consecutivos sin violación de estructura. Esto, como es lógico, da por resultado un conteo de almacenamiento de temporización de error de 0000 (T MIN), que hace que el estado almacenado del bigrupo cambie a IF, por medio del circuito lógico de cambio de estado 42. Durante los subcuadros (FPF) de un bigrupo, se vuelve a poner en circulación el estado del bigrupo.

En la figura 3 de los dibujos se ilustra en forma esquemática de conjuntos un circuito de reencuadre, de corrimiento variable y control común, así como en los diagramas esquemáticos detallados de las figuras 8-14. Tomando como referencia en primer lugar la figura 3, el reencuadrador 30 verifica continuamente, en el punto de multiplex, todos los grupos digitales y sirve para llevar a cabo una operación de reencuadre, en el mismo cuadro de tiempo, para todos y cualquiera de los grupos digitales multiplexados de división de tiempo que están desencuadrados. El almacenamiento de datos antiguos consiste en una memoria 43, que comprende 8 registros de corrimiento de 6 bitios, y un circuito lógico clásico 44 que se conecta en "juego fijo" a los conductores D1-D7 de la barra de distribución común 28 (se recordará que el dato leído de los almacenamientos A y B de la figura 1 tiene un formato paralelo). El almacenamiento de datos auxiliar

47 y el comparador de reencuadre 48 se conectan también a conductores respectivos de la barra de distribución común 28, para los fines que se describirán más adelante. El almacenamiento de datos antiguos se utiliza para almacenar un número dado (8) de bitios de datos elegidos (v.g., bitios D2-D9 de TS23), de cada grupo, para dos cuadros con fines de comparación de encuadre. El circuito lógico de almacenamiento de datos antiguos 44 sirve para desplazar o correr el dato almacenado en respuesta a señales de corrimiento generadas por el decodificador de corrimiento 49 durante una operación de reencuadre y sirve además para actualizar el dato almacenado en respuesta a señales INH, INV y REC desarrolladas por el circuito de compensación de deriva del reencuadrador 52. El comparador de reencuadre 48 sirve para comparar, por cada bigrupo, la salida de almacenamiento de datos antiguos (D2-D9) con nuevos datos (D2-D9) o sea dos cuadros después. Los resultados de las comparaciones de bitios de datos (v.g., bitios C2-C9) se acoplan al circuito lógico de almacenamiento de idoneidad 46 y al decodificador de corrimiento 49. El almacenamiento de idoneidad consiste en una memoria 45, que comprende 7 registradores de corrimiento de 6 bitios, y un circuito lógico de combinación 46 y se utiliza para registrar, por cada bigrupo, cual de los bitios de datos comparados ha experimentado violaciones de estructuras de encuadre y cual permanece como candidato apropiado para bitio de encuadre. El almacenamiento de idoneidad registra, de hecho, los resultados del conjunto presente de comparaciones (v.g., C2-C9) así como las anteriores. Al igual que con el almacenamiento de datos antiguos, los datos almacenados en almacenamiento de idoneidad se corren de posición, y según se

describirá más adelante, en respuesta a señales de corrimien-
to generadas por el decodificador de corrimiento 49 durante
una operación de encuadre. El decodificador de corrimiento
49 determina cuántos corrimientos de bitios de datos deberá
hacer el reencuadrador, si es que debe hacerlo tomando como
base el conjunto presente de comparaciones (C2-C9) y pasadas
idoneidades (S2-S8), para pasar el candidato siguiente del
bitio de encuadre. Una vez que se ha determinado el número
de corrimientos, el almacenamiento de datos antiguos, el
almacenamiento de idoneidad y el circuito lógico de dirección
de escritura para el bigrupo desencuadrado corren el número
determinado de dígitos como medida preparatoria para el con-
junto siguiente de comparaciones de bitios de datos. La ope-
ración descrita continúa intermitentemente y las operaciones
de comparación y corrimiento se repiten sucesivamente hasta
que se vuelve a capturar el bitio de encuadre. El almacena-
miento de datos auxiliar 47 consiste en 7 células de memoria
que almacenan respectivamente los bitios D2-D8 de la plata de
intervalo anterior (v.g., TS 22) para un posible corrimiento
de la misma en el almacenamiento de datos antiguos. El deco-
dificador de dirección de corrimiento 51 sirve para convertir
el número de corrimientos en un código binario y sirve además
para activar el circuito lógico de corrimiento de reencuadre
31 de solamente un bigrupo en cualquier instante. Así, el
decodificador de dirección de corrimiento 51 genera la señal
de dirección de corrimiento apropiada y la envía al circuito
lógico de recepción de bigrupo apropiado DSHL. Como indica
el nombre, el circuito de compensación de deriva 52 sirve
para compensar el reencuadrador de los efectos de la deriva.
El circuito de compensación genera señales de recirculación

5

10

15

20

25

30

(REC), inhibición (INH) e inversión (INV) que son utilizadas por el circuito lógico de almacenamiento de datos antiguos 44 para actualizar los datos almacenados; la señal de INV se acopla también al circuito lógico de almacenamiento de idoneidad 46 y al decodificador de dirección de corrimiento 51 con los fines que se describirán más adelante.

Volviendo ahora a los diagramas esquemáticos detallados de las figuras 8 a 14, el primer número del primer par de números de un numeral de referencia indicará la cifra en que se pueda hallar el componente referenciado. A pesar de que un bigrupo dado esté encuadrado, el bitio de encuadre supuesto D9 y los bitios de datos D2-D8 del canal 23 de dicho bigrupo se almacenan en la memoria de estado de datos antiguos 43, de las figuras 3 y 8. Para almacenar los bitios D2-D9, se necesitan 8 registradores de corrimiento en paralelo cada uno de ellos con una longitud de 6 bitios. En cualquier instante las células correspondientes de los registradores de corrimiento almacenarán temporalmente 8 bitios de un bigrupo dado. Los 8 registradores de corrimiento de 6 bitios del almacenamiento de datos antiguos se cronometran y configuran de la misma manera que los registradores de corrimiento de 6 bitios descritos anteriormente. Así, los bitios de datos almacenados de cada bigrupo, incluyendo el bigrupo de prueba, salen de los 8 registradores de corrimiento 43 durante la primera pista de intervalos de bigrupo (v.g., TSO) desplazados de posición o actualizados según sea necesario en el circuito lógico de almacenamiento de datos antiguos 44, y después se alimentan o cargan en las células de entrada de los registradores de corrimiento durante la última pista de intervalos de bigrupo (v.g., TS23).

Para simplificar, el funcionamiento del circuito de reencuadre se describirá inicialmente no teniendo en consideración los efectos de deriva; después se introducirán los efectos de deriva. En el estado de encuadre supuesto inicialmente de un bigrupo, los bitios D-2D9 de la pista de intervalo TS23 de dicho bigrupo se cargan en la memoria de almacenamiento de datos antiguos 43 por las puertas Y 801, de la figura 8. Según se describirán más adelante, para un bigrupo de encuadre la señal de corrimiento SHO-1 y las puertas 801 se activan para enviar los bitios D2-D9 a los 3 registradores de corrimiento 43-2 a 43-9 por las puertas O 802, las puertas Y 803 y las puertas O 804. En el estado supuesto inicialmente sin deriva, las señales de compensación de deriva INH e INV son 0. Como la deriva es un caso relativamente infrecuente, el estado normal es $\overline{INH} = \overline{INV} = 1$. Por lo tanto, sin deriva, las puertas Y 803 se activan durante cada cuadro de impulsos de encuadre (FPF = 1) para acoplar los bitios D2-D9 a los 8 registradores de corrimiento respectivamente, que se cargan entonces durante la última pista de intervalos de bigrupo (TS23).

Los bitios almacenados en la memoria de almacenamiento de datos antiguos 43 se ponen de nuevo en circulación (REC) durante los subcuadros de señalización (FPF = 0) por acción de las puertas Y 805. Volviendo por el momento a la figura 12, sin deriva ($\overline{INV} = 1$), se genera una señal REC = 1 durante los subcuadros (FPF = 1) por medio de la puerta Y 1201. Esta señal de recirculación (REC) activa las puertas Y 805, y la señal de salida del almacenamiento de datos antiguos (Øs- Ø9) se reacopla por lo tanto a las células de entrada por las puertas 805 y 804. Así mismo, mientras un bigrupo está

5 encuadrado, se cargan unos en el almacenamiento de idoneidad para iniciar todos los bitios D2-D8 como candidatos apropiados para el bitio real de encuadre, en el caso de que el bigrupo se desencuadrara. Esta iniciación se origina por acción de la señal de encuadre (IF) que se alimenta a las puertas 0 901 del circuito lógico de idoneidad de la figura 9. Al igual que en los registradores de corrimiento anteriores, los 7 registradores de corrimiento 45-2 a 45-8 de la memoria de almacenamiento de idoneidad 45 se almacenan durante la última pista de intervalo de bigrupo (TS23). Los 7 registradores de corrimiento de 6 bitios empleados para almacenar bitios de datos de idoneidad de cada bigrupo, se cronometran y configuran de la misma manera que los registradores de corrimiento de 6 bitios descritos anteriormente.

15 Cuando un bigrupo se desencuadra, el circuito de reencuadre continúa buscando el bitio de encuadre durante los (mismos) cuadros de impulsos de encuadre (FPF). En ausencia de deriva durante el reencuadre, la señal FPF permanece sin cambiar; v.g., $FPF = 1$ un cuadro si y otro no. No obstante, la operación de reencuadre introduce cambios en el ciclo de dirección de escritura según se describirá, lo cual puede inducir a una deriva que cambia, en un cuadro, la aparición del impulso FPF, de acuerdo con lo expuesto anteriormente. El detector de cuadros 20 de la figura 2 controla la generación de las señales FPF y el circuito de compensación de deriva de la figura 12 compensa al reencuadrador de los efectos de deriva. Según se ha indicado anteriormente, se supone en la descripción anterior que no existe estado de deriva. A continuación se expondrá los efectos de la deriva.

30 Durante el reencuadre ($IF=0$, $\overline{IF}=1$), se realizan

5 varios procesos simultáneamente cuando FPF = 1. El dato antiguo almacenado ϕ_9 y $\phi_2 - \phi_8$ se compara con el nuevo dato D9 y D2-D8 mediante operaciones pareadas de disyunción exclusiva. Los resultados de comparaciones anteriores aparecen disponibles en forma de señales de idoneidad S2-S8 procedentes de almacenamiento de idoneidad. Tomando como base esta información presente y la información pasada el decodificador de corrimiento determina el número de corrimientos que debe realizar el circuito de reencuadre para proseguir el candidato siguiente a bitio de encuadre. La comparación del dato antiguo almacenado ϕ_9 y $\phi_2 - \phi_8$ con el nuevo dato D9 y D2 - D8 se realiza por medio del comparador de reencuadre de la figura 11 que comprende 8 puertas O exclusivas 1101. De hecho, el circuito lógico comparado de reencuadre sirve para 10 comparar los bitios D2-D9 actualmente en la barra de distribución 28 con los bitios correspondientes que tienen lugar dos cuadros antes. Durante el reencuadre, si D9 difiere de ϕ_9 , 15 persiste entonces un reencuadre válido (se recordará que la estructura de encuadre es 10101 ...) y C9 = 1; así mismo, se genera una señal SHO (C9=SHO, figura 10). En estas condiciones, el circuito de reencuadre no realiza corrimientos, los nuevos bitios de datos D9 y D2-D8 se cargan en almacenamiento de datos antiguos por las puertas Y 801, y se determina las nuevas idoneidades $\hat{S}2 - \hat{S}8$ a partir de las idoneidades antiguas 25 S2-S8 y comparación C2-C8 y se cargan en la memoria de almacenamiento de idoneidad 45. Así mismo, la memoria de almacenamiento de temporización de error 36 de la figura 2 se decrementa en un contaje para registrar la comparación satisfactoria. Se verá que aunque se inicia una operación de reencuadre para un bigrupo por el estado aparentemente de desen-

20

25

30

cuadre del bigrupo, todavía se puede producir una comparación de encuadre válido ($C9=1$) entre los bitios D9 y $\emptyset9$. Esto puede ser simplemente fortuito o, de hecho, puede ser que nunca se haya perdido realmente el encuadre sino simplemente aparezca como tal debido a impulsiones de ruido u otras anomalías. El dato de idoneidad almacenado en la memoria de almacenamientos de idoneidad registra, por cada bigrupo, cual de los bitios de datos comparados (D2-D8) han experimentado violaciones de estructura de encuadre y cuales permanecen como candidatos apropiados al bitio de encuadre. Además de la comparación de los bitios D9/ $\emptyset9$, los bitios de datos antiguos almacenados $\emptyset2 - \emptyset8$ se comparan con los nuevos bitios de dato D2-D8 en las puertas O exclusivas 1101 del comparador de reencuadre de la figura 11. Si cualquiera de los bitios de dato D2-D8 difieren de $\emptyset2-\emptyset8$ en la comparación presente y fueran idóneos para comparaciones pasadas, se puede decir que eximen una estructura de encuadre válida y, por lo tanto, continúan siendo candidatos idóneos al bitio de encuadre. Los resultados de estas comparaciones se acoplan al circuito lógico de almacenamiento de idoneidad 46 de la figura 9 y, de un modo más particular, a las puertas Y 902.

Los bitios S2-S8 se inician todos en 1, según se ha descrito anteriormente, y para los fines presentes supondremos que $C9 = 1$. Así con $SH0 = 1$ y S2 a S8 = 1, al menos inicialmente, cada una de las puertas y 902 se activarán respectivamente y su entrada de señal de comparación es un uno binario (v.g., C2, C3,, C8), pero solamente si es un uno binario. Por ejemplo, si D8 difiere de $\emptyset8$, $C8=1$ y el nuevo bitio de idoneidad S8 será un uno binario. Las puertas 902 se acoplan a las células de entrada de los siete

5 registradores de corrimiento 45 por las puertas O 901 y 903
y las puertas Y 904, que se activan durante cada cuadro de
impulso de encuadre (FPF). Si cualquiera de los nuevos bi-
tios de datos D2-D8 son iguales que $\bar{D}2-\bar{D}8$, se indica una
violación de estructura de encuadre y el bitio o bitios de
comparación $C_j = 0$. En estas condiciones, el bitio o bitios
de idoneidad almacenados cambiarán a un cero binario. Por
ejemplo, si D8 es igual que $\bar{D}8$, $C8 = 0$ y la puerta Y superior
902, figura 9, se desactiva de este modo para cambiar el nue-
vo bitio de idoneidad $\hat{S}8$ a un cero binario. Si un bitio de
idoneidad S_j se establece en cero binario, una comparación
de encuadre válida ulterior ($C_j=1$) no tiene disponibilidad,
puesto que cada una de las puertas Y 902 exige también un
bitio de idoneidad binario S_j para poder activarse. De este
modo, cuando uno o más de los bitios de idoneidad se estable-
ce en cero permanecen en dichos estado a pesar de que aparez-
can comparaciones de cuadro aparentemente válidas.

10
15
20 Durante el reencuadre, si el bitio D9 y el bitio $\bar{D}9$
son iguales, $C9 = 0$, se indica una violación de estructura
de encuadre, y el circuito de reencuadre para un corrimiento
de uno a ocho bitios. El número de corrimientos que se rea-
liza estará determinado por el decodificador de corrimiento
de la figura 10. Con $C9=0$, $\overline{SH0} = 1$. Ahora, si D8= es apropia-
do (v.g., $S8=1$) y si la comparación presente es favorable
25 ($C8=1$), entonces se indica un corrimiento de uno ($SH1$) por
activación de la puerta Y 1001. Si no indica un corrimiento de
uno ($\overline{SH1}=\overline{SH0}=1$) y D7 es apropiado ($S7=1$) y $C7 = 1$, se indica
un corrimiento de dos ($SH2=1$); y así sucesivamente. Si $\overline{SH0}$
a $\overline{SH7} = 1$, se indica un corrimiento de ocho por activación
30 de la puerta Y 1008; este es el número máximo de corrimientos

que se puede realizar en un momento. Las señales de corrimiento SH1-SH8 tienen importancia solamente durante el reencuadre, por ejemplo, si una de las señales SH1-SH8 se generarán fortuitamente por parte del decodificador de corrimiento 49 mientras un bigrupo está en encuadre, esta señal no es tomada en cuenta por el funcionamiento del decodificador de dirección de corrimiento 1, que se explicará más adelante.

Una vez se ha determinado el número de corrimientos para un bigrupo el circuito de almacenamiento de datos antiguos, el circuito de almacenamiento de idoneidad, y la dirección de escritura 14 para los circuitos de almacenamiento de datos A y B del bigrupo deben desplazarse en este número de dígitos como preparación para el siguiente intervalo FPF=1. Asimismo, el circuito de almacenamiento de temporización de error 36 se inicia en su contaje máximo. El dato en el circuito de almacenamiento de datos antiguos se desplaza por medio de su circuito lógico de combinación 44. En lugar de cargar D_j en el lugar j , el circuito lógico de combinación carga D_j en el lugar $j + t$ donde t es el número de dígitos de corrimiento. Por ejemplo, sin la señal de corrimiento SH1 se genera por acción del decodificador de corrimiento 49, el bitio D8 se carga por la puerta Y 811 en el registrador de corrimiento 43-9 en lugar del registrador de corrimiento 43-8 y cada uno de los otros bitios de dato D2-D7 se corren de una forma similar o se desplazan en una posición del registrador de corrimiento. Simultáneamente, el bitio D1 del canal 23 del bigrupo se carga en el registrador de corrimiento 43-2 por medio de la puerta Y 812. Como variante, si se genera la señal de corrimiento SH2 los bitios de datos se desplazan o corren dos posiciones del registrador (v.g., D7 desde

el registrador 43-7 hasta el registrador 43-9); y así sucesivamente.

Como se pueden cargar hasta ocho nuevos dígitos en el circuito de almacenamiento de datos antiguos por operación de corrimiento deben encontrarse disponibles D1 del canal 23 y $\hat{D}2 - \hat{D}8$ del canal 22 de dicho bigrupo. Durante la última pista de intervalos (TS23) en el ciclo de lectura, D1 aparece en la barra de distribución multiplex 28 y $\hat{D}2-\hat{D}8$ se obtienen del circuito de almacenamiento de datos auxiliar 47, que es esencialmente un circuito de retardo de pista de intervalos fijado por el reloj de la central. El dispositivo de almacenamiento de datos auxiliar 47 consiste en siete células de memoria, configuradas según se ilustra en la figura 6, que almacenan respectivamente los bitios de dato D2-D8 LD de la pista de intervalos anterior TS22. Los bitios de dato se cargan en los basculares de entrada de las células de la memoria durante la pista de intervalos TS22 y después se corren hasta los basculares de salida al comienzo de la pista de intervalos TS23. Así, los bitios de datos TS22 ($\hat{D}2-\hat{D}8$) se han retardado de una forma efectiva una pista de intervalos y quedan disponibles para posible carga en el circuito de almacenamiento de datos antiguos durante TS23. Si la señal de corrimiento SH8 fuera generada por el descodificador de corrimiento 49, el bitio D1 de la pista de intervalos TS23 se cargará en el registrador de corrimiento 43-9 por la puerta Y activada 813, cargandose el bitio $\hat{D}8$ de la pista de intervalos 22 en el registrador de corrimiento 43-8 por medio de la puerta Y 814 y el bitio $\hat{D}8$ de la pista de intervalos 22 en el registrador de corrimiento 43-8 por medio de la puerta Y 814 y el bitio $\hat{D}2$ de TS22 se co-

5
10
15
20
25
30

rrerá en el registrador de corrimiento 43-2 por medio de la puerta Y astivada 815.

De una manera análoga a la operación de corrimiento descrita anteriormente, las idoneidades se desplazan por medio del circuito lógico de combinación 46 asociado con la memoria de almacenamiento de idoneidad 45. Así, en lugar de cargar el bitio de idoneidad recién computado \hat{S}_j en el lugar j , el circuito lógico de combinación lo carga en el lugar $j + t$, donde t es el número de dígitos de corrimiento. Por ejemplo, si la señal de corrimiento SH1 se genera por el decodificador de corrimiento 49, el bitio de idoneidad recién computado \hat{S}_7 se carga por la puerta Y 907 en el registrador de corrimiento 45-8 en lugar de hacerlo en el registrador de corrimiento 45-7, y cada uno de los otros bitios de idoneidad \hat{S}_2 - \hat{S}_6 se corren de una forma similar o se desplazan una posición del registrador de corrimiento. Si se genera la señal de corrimiento SH2, los bitios de idoneidad se corren o desplazan dos posiciones de registrador, y así sucesivamente. El nuevo dato (D_1 y \hat{D}_2 - \hat{D}_8) que se ha corrido en el circuito de almacenamiento de datos antiguos se encontrará inicialmente disponible en el circuito de almacenamiento 45 cargando un uno en el lugar de almacenamiento de idoneidad correspondiente. Por ejemplo, la señal SH1 carga el bitio D_1 del canal 23 en el circuito de almacenamiento de datos antiguos, registrador de corrimiento 43-2; por lo tanto, se debe cargar un uno en el registrador de almacenamiento de idoneidad correspondiente 45-2. Esto se consigue acoplando el bitio SH=1 en la puerta O inferior 903 de la figura 9. Para las señales de corrimiento SH7 o SH8, se cargan unos en cada uno de los registradores de corrimiento de idoneidad enviando las señales

SH7 o SH8 a la entrada de cada una de las puertas 0 903. La dirección de escritura para los circuitos de almacenamiento de datos del bigrupo desencuadrado se desplaza por medio del decodificador de dirección de corrimiento 51, en la forma que se describirá con más detalle más adelante.

Para cualquier intervalo FPF=1, el bitio de "cabeza" en el registrador de corrimiento 43-9 del circuito de almacenamiento de datos antiguos se supone de una forma tentativa que es un bitio de encuadre válido. Si esta posición de bitio satisface la estructura de encuadre alterna durante 15 cuadros, el circuito de almacenamiento de temporización de error 36 cuenta en sentido descendente hasta TMIN y el circuito de almacenamiento de estado de encuadre 40 de la figura 2 registra un estado de encuadre (IF=1), señalando el final del procedimiento de reencuadre. Por el contrario, si el bitio de cabeza no satisface la estructura de encuadre alterna, se genera una señal de corrimiento para correr el bitio de encuadre siguiente en la posición de bitio de cabeza. La operación descrita anteriormente es una operación continua y las operaciones de comparación y corrimiento se repiten hasta que aparece el verdadero bitio de encuadre en la posición de bitio de cabeza (v.g., registrador de corrimiento 43-9) en el circuito de almacenamiento de datos antiguos 43.

Durante el reencuadre (IF=1), se genera una señal de corrimiento SHO siempre que D9 difiere de Ø9, siendo esto indicativo, al menos tentativamente, de una estructura de encuadre válida. Si se genera una señal de error (E) en este instante por acción del comprobador de la estructura de encuadre 35, ello indica que la estructura alterna de los bitios D9 está desfasada con la onda generada localmente utilizada

por este bigrupo. En este caso, la puerta Y 1401 de la figura 14 se activa para generar una señal CHFP que cambia el estado de estructura de encuadre almacenado en el circuito de almacenamiento de estado 32, según se describe anteriormente. Así, cuando se consigue la condición de encuadre para un bigrupo, la variable de estado de estructura de encuadre es correcta para el bitio de encuadre que se ha hallado.

Para compensar los efectos de deriva, la memoria de estado de estructura de encuadre 32 de la figura 2 experimenta transiciones entre sus estados, según se ha descrito anteriormente. El efecto de estas transiciones en el circuito de reencuadre es cambiar el lugar FPF de forma que el siguiente impulso de encuadre válido se encuadre después de la deriva. No obstante, en ciertas condiciones de deriva se necesitará una compensación adicional. Cuando tiene lugar una deriva negativa con bitios de encuadre en el circuito de almacenamiento B, un bitio de encuadre (D9) y un conjunto de bitios D2-D8 para el canal 23 se pierden completamente. Cuando se produce esta situación el circuito de reencuadre debe complementar el contenido del circuito de almacenamiento de datos antiguos para que el dato almacenado ($\phi 2-\phi 9$) sea correcto para la siguiente comparación. Esto es necesario porque cada uno de los bitios de encuadre sucesivos es normalmente el complemento del bitio de encuadre precedente, pero la deriva negativa alterará temporalmente la estructura complementaria de los bitios de encuadre sucesivos. Cuando tiene lugar una deriva positiva con los bitios de encuadre en el circuito de almacenamiento A, se añade un bitio de encuadre redundante D9 y un juego de bitios de datos D2-D8 se añaden a la corriente de bitios multiplex. Cuando ocurre es-

ta situación, el circuito de reencuadre compensa no teniendo en consideración la información redundante. Para las demás condiciones de deriva no se necesita compensación adicional.

La circuitería que ejecuta la compensación adicional, según se ha indicado anteriormente, se describe a continuación tomando como referencia las figuras 8, 9 y 12 de los dibujos. Si se produce una deriva negativa ($\bar{+}$) durante un intervalo $FPF=1$, ello indica que los bitios de encuadre se encuentran en el circuito de almacenamiento B, que el bitio de encuadre D9 y los bitios de datos D2-D8 del canal 23 se han perdido por lo tanto y que el contenido del circuito de almacenamiento de datos antiguos se debe complementar para compensar esta deriva. Para las condiciones anteriores, la puerta Y1202 de la figura 12 se activa para generar la señal $INV=1$. Durante el reencuadre (\bar{IF}) y cuando $INV=1$, el dato ($\bar{D2}-\bar{D9}$) y se carga entonces en el circuito de almacenamiento de datos antiguo por las puertas Y 817. Si se produce una deriva positiva (deriva +) durante un intervalo $FPF=1$, ello indica que los bitios de encuadre se encuentran en el circuito de almacenamiento A, que un bitio de encuadre redundante (D9) y un conjunto de bitios D2-D8 se han añadido en la corriente de bitios múltiplex, y que el circuito de reencuadre debe compensarlo suprimiendo o no teniendo en consideración la información redundante. En las condiciones anteriores, la puerta Y 1203 se activa para generar la señal DEL (supresión) $=1$. Esta señal de DEL se acopla a la puerta O 1204 para producir la señal de REC (recirculación) $=1$, que hace que el dato verídico se ponga de nuevo en circulación en el circuito de almacenamiento de datos antiguos por las puertas Y 805.

En la figura 12, si $INV=1$ ó $DEL=1$, entonces INH

(inhibición)= 1; Esto dá por resultado la recirculación de las idoneidades almacenadas y una inhibición de las puertas activadas del decodificador 51 de la figura 13. En la figura 9, la señal $INH=1$ se acopla por las puertas 0 911 a las puertas Y 912, para activarlas y recircular las idoneidades almacenadas S2-S8. En este instante, $INH=0$ y las puertas Y 904 se desactivan. Así, para cualquiera de las condiciones de deriva expuestas anteriormente, el circuito de almacenamiento de idoneidad no se altera y los bitios almacenados simplemente se ponen de nuevo en circulación. Asimismo, con $INH=0$ se desactivan las puertas activadas 1301-1306 del decodificador de dirección de corrimiento 51. Después de haberse efectuado una operación de deriva y haberse compensado el reencuadrador según se ha descrito anteriormente, la señal de deriva pasa a cero y por consiguiente $DEL=INV=INH=0$.

Solamente se necesita la compensación descrita para las condiciones de deriva especificadas, y solamente tienen importancia durante el reencuadre. Para la situación normal de encuadre, el reencuadrador se desactiva de una forma eficaz, mientras que en encuadre, $IF=1$, $IF=0$ y las puertas activadas 1301-1306 del decodificador 51 se desactivan. Asimismo, con $IF=1$, los unos se cargan continuamente en el circuito de almacenamiento de idoneidad por las puertas 0 901.

La dirección de escritura para los circuitos de almacenamiento de datos de recepción del bigrupo o bigrupos desencuadrados se desplaza por medio del decodificador de dirección de corrimiento de la figura 13. El decodificador 51 comprende un convertidor de dirección de corrimiento 1310, que codifica el número de dígitos que se ha de correr en código binario, y activa las puertas 1301-1306, que eligen el bigru-

5 po o bigrupos que se han de correr. Por ejemplo, si el primero de los bigrupos multiplexados (DG1) está desencuadrado (IF) y el reencuadrador (SHO=1) a generado la señal de corrimiento SH1-SH8, la puerta n 1301 se activará durante la pista de intervalos TS23 de un cuadro de impulsos de encuadre (FPF) a menos que el reencuadrador esté sujeto a compensación por deriva (INV=1 ó DEL=1 y INH=0). A título de ejemplo adicional, en ausencia de deriva (INH=1) la localización de escritura del bigrupo 5 (DG5) desencuadrado (IF=1) se desplazará
10 de 1 a 8 dígitos (SHO=1) durante la pista de intervalos TS119 de un cuadro de impulso de encuadre (FPF=1), para las condiciones especificadas la puerta Y 1305 se activa como es lógico.

15 El corrimiento de la dirección de escritura de los circuitos de almacenamiento de datos de recepción de un bigrupo que está desencuadrado hace avanzar el dato de forma que la pista de intervalos (v.g., la "ventanilla" TS23) se puede emplear siempre para reencuadre. De hecho, el dato se mueve por la pista de intervalos estacionaria o ventanilla durante el proceso de búsqueda efectuándose la dirección de este
20 movimiento en la dirección de reducción de números de canal. El resultado de este corrimiento es un movimiento relativo entre los ciclos de escritura y de lectura para el bigrupo. Como la dirección de escritura avanza siempre el número requerido de corrimientos, los ciclos de escritura parece que retroceden con respecto a los ciclos de lectura estacionarios. Por lo tanto, la acción del circuito de reencuadre aumenta
25 la frecuencia aparente del reloj de escritura con relación al reloj de lectura, simulando de este modo las condiciones
30 de una deriva negativa. El que el proceso de reencuadre intro-

5 duzca una deriva dependerá de la alineación inicial de los ciclos de escritura y de lectura, de la relación de la frecuencia de línea recuperada y la frecuencia de la central, del tiempo necesario para el reencuadre, y del número de corrimientos necesarios para hallar el bitio de encuadre. Si el reencuadrador investiga el número máximo (385) de bitios antes de localizar el bitio de encuadre, se pueden inducir dos derivas en la dirección negativa. Como el número máximo de corrimientos es de 8 dígitos, el corrimiento del ciclo de escritura es razonablemente gradual, y la deriva puede hallar oposición o ayuda por la relación natural entre las frecuencias de línea y de la central.

10 En lugar de hacer avanzar el dato, resultará evidente a los expertos en la materia que las señales de corrimiento podrían emplearse como señales de inhibición para retardar los ciclos de escritura. Esto reduciría la frecuencia aparente del reloj de escritura con relación al reloj de lectura, simulando de este modo las condiciones de una deriva positiva. Según se describirá más adelante, la dirección de escritura se desplaza haciéndola avanzar el número de corrimientos necesarios. No obstante, queda dentro de los conocimientos del experto en la materia el diseñar un circuito que desplace la dirección de escritura retardándola (v.g., inhibiendo la operación de contaje) en el número necesario de corrimientos.

15 Por consiguiente, se comprenderá que los medios específicos descritos para correr o desplazar la dirección de escritura en respuesta a las señales de corrimiento generadas por el aparato reencuadrador del invento son simplemente ilustrativos.

20 Las señales de dirección de corrimiento se acoplan

desde el decodificador de dirección de corrimiento 51 de la figura 3 hasta el circuito lógico de corrimiento de reencuadre 31 de la figura 1. El circuito lógico de corrimiento 31 se diseña tomando como base bigrupos individuales y, según se ilustra en la figura 15, comprende cuatro basculadores de almacenamiento 1501-1504. La señal de "bigrupo uno activado", por ejemplo, se almacena en el basculador 1501 y la localización de corrimiento de codificación binaria SADO, SADI, SAD2 (que se puede correr de 1 a 8 dígitos) se almacena en los basculadores 1502-1504. El circuito de dirección de escritura 14 comprende un contador de dígitos 1505 y un contador de palabras 1506. Los impulsos de reloj procedentes del circuito de recuperación de reloj 12 se acoplan a la entrada del contador de dígitos 1505. El contador 1505 cuenta normalmente de 0 a 7 y después recicla. La salida de la célula más expresiva del contador 1505 se acopla como señal de reloj al contador de palabras 1506. Así, el contaje en el contador de palabras 1506 incrementa por cada ciclo del contador digital 1505. El contador de palabras 1506 cuenta hasta 24 palabras (W0 - W23) y después recicla. Es precisamente este contaje en los conductores de salida 15 lo que se emplea para escribir las palabras de datos en las posiciones apropiadas en los circuitos de almacenamiento de datos. Durante la última palabra (W23) del ciclo del contador de palabras, se acopla una señal de nuevo al contador digital 1505 para perturbar el ciclo de contaje de este último de forma que cuente de 0 a 8. Así, el contador digital cuenta de 0 a 7 durante 23 ciclos y entonces de 0 a 8 el ciclo 24 (v.g., el ciclo W23).

Los estados elegidos de los contadores digital y de palabras se utilizan para activar el circuito lógico de

puerta 1510 para leer el contenido de los circuitos de almacenamiento de basculadores 1501 - 1504 y ponen los contadores 1505 y 1506 en consonancia con los mismos. De un modo más particular, la puerta lógica 1510 se activa durante el último

5 donta je del ciclo de conta je de dígitos (dígito 7) para todas las palabras excepto W23, siendo la expresión Booleana: Dígito $7 \cdot \overline{W23}$. Durante W23, el contador digital 1505 se perturba por acción de la señal de realimentación procedente del contador de palabras 1506, por lo que conviene no perturbar el contenido

10 en este instante; de aquí la entrada $\overline{W23}$ al circuito lógico puerta 1510. Durante el conta je del dígito 7, la información de corrimiento almacenada en los basculadores 1501 - 1504 se utiliza para poner previamente en condiciones el contador digital 1505 de forma que con el siguiente impulso de reloj de

15 entrada, el conta je avance una cantidad correspondiente a los dígitos de corrimientos requeridos. Por ejemplo, la señal de corrimiento almacenada SH1 pondrá previamente en condiciones el contador digital de forma que el siguiente impulso de reloj de entrada haga avanzar el conta je al dígito 1 en lugar del

20 dígito 0, como ocurriría en ausencia de corrimiento. La señal SH2 pondrá previamente en condiciones el contador digital, durante el conta je del dígito 7, por lo que la cronometración de entrada siguiente hace avanzar inmediatamente el conta je a 2, y así sucesivamente. La señal SH8 pone previamente en condiciones el contador de palabras 1506 por lo que avanza un

25 conta je extra en respuesta a la siguiente señal de reloj de entrada del contador 1505. Una señal SH8 solamente modifica el conta je en el contador de palabras y produce efecto alguno en el contador digital. Después de haberse efectuado una operación

30 de corrimiento, se repone un basculador de activación 1501 del

bigrupo para inhibir, mientras tanto, cualquier avance adicional del ciclo de escritura. La escritura en los basculares 1502 - 1504 es destructiva, v.g., una nueva escritura de corrimiento destruye la información de corrimiento previamente almacenada.

La figura 16 ilustra el efecto de cambiar bruscamente (v.g., correr) la dirección de escritura de las memorias de almacenamiento de datos de recepción de un bigrupo que esta desencuadrado. En cada caso, durante la parte WA de cada onda de ciclo de escritura WA/WB, se escribe un cuadro de dato en almacenamiento A y durante la parte WB se escribe un cuadro en almacenamiento B. Las ondas RA/RB corresponden al ciclo de lectura del bigrupo. Durante la parte RA de cada onda RA/RB, se lee un cuadro de datos de almacenamiento A, y durante la parte RB de la onda se lee el almacenamiento B. Asimismo, en cada caso, el corrimiento está indicado por la flecha y el símbolo asociado SH y, por lo tanto, el área sombreada indica el instante antes de efectuarse el corrimiento de localización. Las flechas verticales asociadas con cada onda RA/RB indican la pista de intervalos o ventanilla operativa del reencuadrador (v.g., TS23) y, por lo tanto, implícitamente indican también cuadros de impulsos de encuadre (FPF). La figura 16a representa un corrimiento durante una fase de lectura A en un instante en que se escribe almacenamiento de recepción mientras se lee el otro. Las flechas dirigidas desde la onda RA/RB hacia la onda WA/WB relacionan el cuadro leído con el cuadro escrito. Por la figura 16a se verá que se escribe todo el almacenamiento A (WA) correctamente entre las indicaciones FPF, por lo que el intervalo FPF siguiente después del corrimiento hallará la información corregida (v.g.,

los bitios del dato desplazados) en el lugar apropiado (v.g., fila W23) de la memoria de almacenamiento de datos. Las figuras 16b y 16c ilustran el efecto de los corrimientos que tienen lugar inmediatamente antes de una deriva y durante la misma en la dirección negativa. En la figura 16b, el último canal (v.g., W23) del almacenamiento A se escribe (WA) con la información corregida (v.g., los bitios de datos corridos) entre los periodos FPF, por lo que la información corregida queda disponible para el FPF que sigue el corrimiento. En la figura 16c, se produce una deriva negativa durante un intervalo FPF y, por lo tanto, se descarta un cuadro de dato en almacenamiento B según indican las flechas dirigidas desde RA/RB hasta WA/WB. Como el último canal (v.g., W23) del almacenamiento A se escribe antes que TS23 del intervalo FPF-1 siguiente se dispone de información corregida para el impulso FPF que sigue al corrimiento. Las figuras 16d y 16e representan los efectos de los corrimientos que tienen lugar antes de una deriva o durante una deriva en la dirección positiva. En la figura 16d, el último canal del almacenamiento A se escribe inmediatamente antes de TS23 del periodo FPF que sigue al corrimiento, asegurando de este modo un dato corregido. En la figura 16e, se produce una deriva positiva durante un periodo FPF y se repite por lo tanto un cuadro del dato en la memoria de almacenamiento A. Como el circuito de reencuadre suprime el intervalo FPF (redundante) siguiente, el canal 23 de la memoria de almacenamiento A se escribe con el dato corregido (v.g., corrido) antes del intervalo siguiente efectivo FPF, asegurando de este modo un dato corregido. En resumen las ondas de las figuras 16 muestran, en cada caso, que el último canal (v.g. W23) se escribe en la memoria del almacenamiento con la informa-

5

10

15

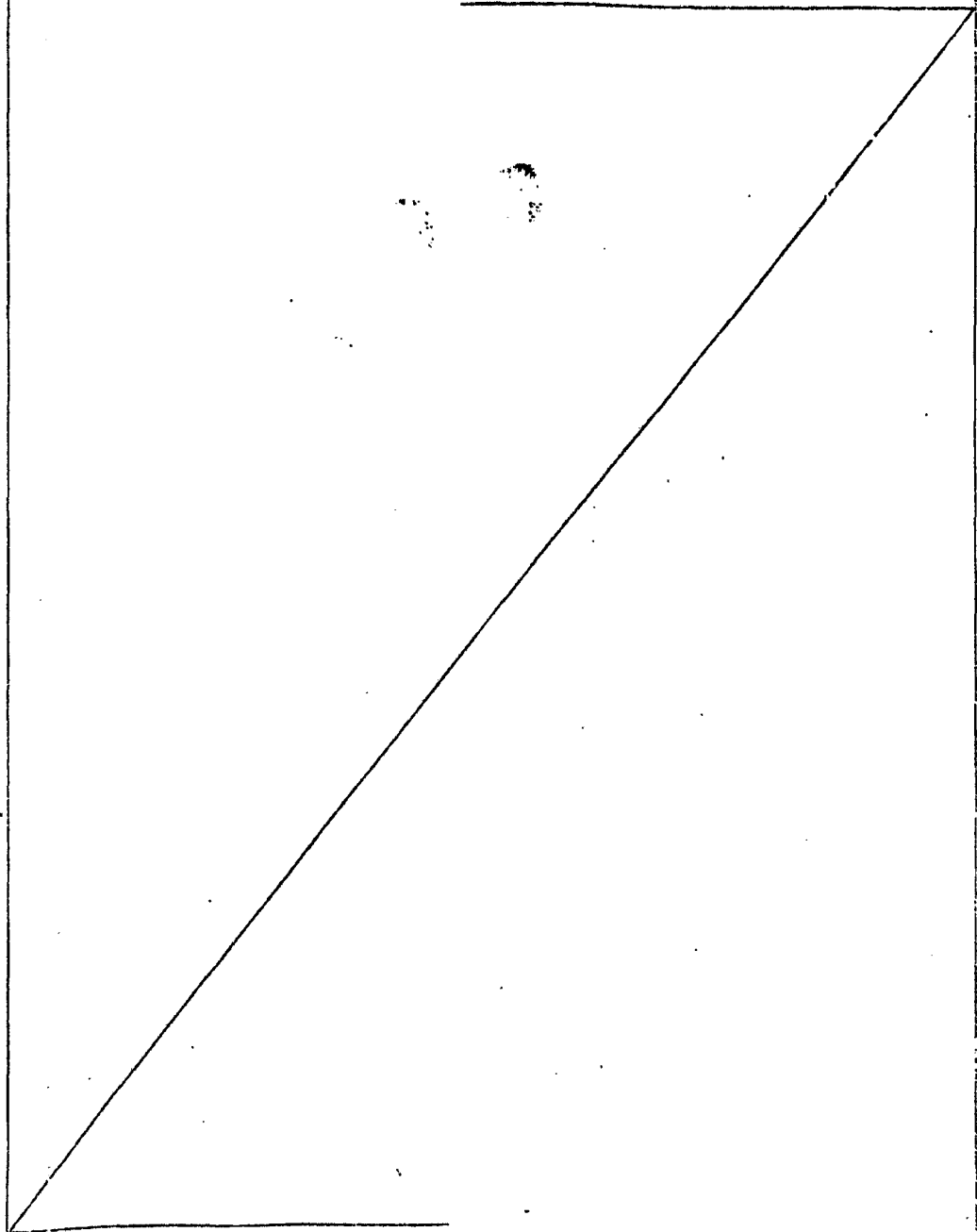
20

25

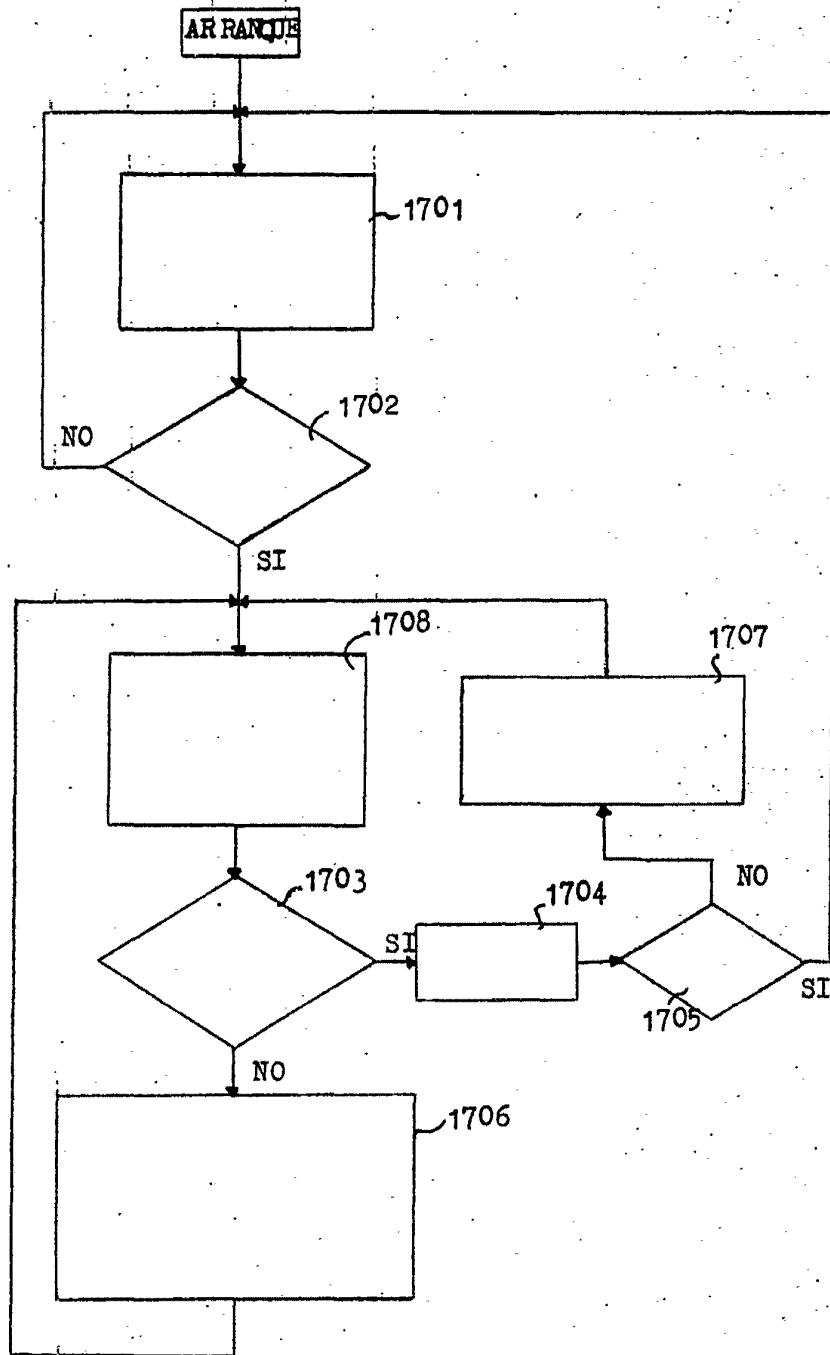
30

ción corregida (v.g., los bitios del dato corridos) en un punto que precede a la lectura y elaboración de reencuadre del mismo durante el intervalo siguiente FPF; v.g., durante TS23 del FPF. Esto ocurre cualquiera que sea el número de dígitos de corrimiento o la aparición de deriva.

5



T A B L A I



La tabla A es un esquema de programación que ilustra el algoritmo de reencuadre del circuito reencuadrador del invento. El algoritmo de reencuadre ilustrado en esta tabla se refiere a una sola entidad (v.g., un bigrupo) y debe tenerse en cuenta, por lo tanto, que el reencuadrador realiza la misma operación de reencuadre para todos los bigrupos, simultáneamente en el mismo cuadro de tiempo. Cuando el sistema está encuadrado, los bitios de encuadre entrante (D9) se comparan contra un patrón de encuadre generado localmente (FP1), según se indica en la casilla 1701 del esquema. Si la comparación es satisfactoria si el conteaje en almacenamiento de error se decrementa o se mantiene a cero; si falla la comparación, el conteaje en almacenamiento de error se incrementa. Esta operación de comparación se realiza mediante el comprobador de estructura de encuadre 35, y las funciones de decremento e incremento de conteaje son realizadas por el circuito lógico de adición de error 38. El procedimiento de comparación continua hasta que el conteaje en la memoria de almacenamiento de error alcanza un máximo (TMAX), en cuyo instante se indica un estado de desencuadre (\overline{IF}) y se inicia un procedimiento de búsqueda. Según se indica en el esquema de programación, la elaboración de encuadre continua en tanto que la memoria de almacenamiento de error no indique un estado de desencuadre; no obstante, si se indica un estado de desencuadre, se inicia el procedimiento de reencuadre por el estado afirmativo de la casilla de decisión 1702. Durante la operación de búsqueda o caza, el bitio de encuadre supuesto y 7 de los bitios del dato (los supuestos D2-D8 del canal 23) se cargan en la memoria de almacenamiento de datos antiguos 43 de la figura 3. Después de haber pasado dos cuadros, el bitio de encuadre supuesto recién recibido se compara

5

10

15

20

25

30

5 con el antiguo (Ø9) en el comparador 48, según indica la casilla de decisión 1703 en el esquema de programación. Si la comparación es satisfactoria, el almacenamiento de error se decrementa según indica la casilla 1704. Asimismo, los otros bitios en la memoria de almacenamiento de datos antiguos (Ø2-Ø8) se comparan pareados con sus contrapartidas recién recibidas (D2 - 10 D8) para registrar cual de estos bitios es todavía idóneo para el bitio de encuadre; esta comparación se indica en la casilla 1707, y el ciclo de comparación satisfactorio se reconstruye repetidamente hasta que el contaje de almacenamiento de error = 0. Cuando el bitio de encuadre supuesto es apropiado para un número suficiente de comparación (15), el contaje de almacenamiento de error 0 y el reencuadrador vuelve al estado de encuadre, según indica la casilla de decisiones 1705 del esquema de programación. Si falla una comparación sobre el bitio de 15 encuadre supuesto (casilla de decisión 1703) durante el estado de desencuadre, el reencuadrador corre por el resto de los bitios almacenados para hallar el bitio siguiente que sea todavía apropiado, según indica la casilla 1706. El reencuadrador se corre por lo tanto al bitio siguiente que es todavía apropiado, y el proceso retrocede a la casilla 1708. Si todos los bitios demuestran ser inapropiados, se cargan 8 nuevos bitios en la memoria de almacenamiento de datos antiguos y se repite el proceso.

20
25 Para este algoritmo, se transmite el dato a través del terminal durante el proceso de reencuadre. El encuadre se vuelve a establecer cuando el bitio de encuadre válido pasa a ser el bitio de cabeza en el reencuadrador.

30 El sistema descrito en las figuras 1 - 3 es de sincronización automática. Cuando se activa un bigrupo o se pone

5 en línea, su estructura de encuadre puede o no coincidir con el estado de estructura de encuadre en la memoria de almacenamiento de estado 32. El estado de estructura de encuadre almacenado se encontrará en uno de los cuatro estados aleatorios y, por lo tanto, es improbable que la estructura de encuadre del bigrupo coincida con el mismo. Por consiguiente, el comprobador de estructura de encuadre 35 generará inmediatamente señas de error (E) que iniciarán una acción de reencuadre. El reencuadrador 30 avanza sucesivamente en la operación de conteo del 10 circuito de dirección de escritura y en un periodo de tiempo relativamente corto (por término medio 25 microsegundos) se supone un estado de encuadre y la estructura de encuadre se cesa con el estado de la estructura de encuadre almacenado.

15 Es una ventaja particular, que se consigue con el circuito de reencuadre de control común del invento, que se pueda realizar pruebas de mantenimiento con gran facilidad.

20 Por ejemplo, se puede insertar un vector de prueba (v.g., bitios de datos de prueba D1 -D8 y bitios de prueba D9) en la última pista de intervalos (TS127) del bigrupo de prueba y comprobarse el comportamiento de la circuitería de control común, por lo tanto, en puntos elegidos durante el funcionamiento. El vector de prueba se inserta en el punto multiplex alimentado, por ejemplo, los bitios almacenados en una memoria ROM (memoria de lectura solamente). Los bitios de prueba, como 25 es lógico, se pueden insertar también bajo control del procesador central. Resultará igualmente evidente que se pueden emplear bitios de prueba para simular deriva o $\overline{+}$, simulan un estado de desencuadre (\overline{IF}) en el bigrupo de pruebas, etc. La circuitería de reencuadre de control común se verifica en puntos elegidos 30 (v.g., la salida C₃ del comprobador de reencuadre 48, la salida

5 del decodificador de corrimiento 49, la salida del decodificador de dirección de corrimiento 51, etc) y los fallos se pueden detectar y aislar por lo tanto con gran rapidez. Un punto de gran importancia es que estos procedimientos de mantenimiento pueden realizarse de una forma continua con el equipo en funcionamiento normal.

10 La pista de intervalos estacionaria o ventanilla por la que se mueven los datos durante el reencuadre se puede alterar, evidentemente, de tamaño para adaptarla a las necesidades de una aplicación particular. Como es lógico esto exigirá registrador de corrimiento adicionales para la memoria de almacenamiento de datos antiguos y la memoria de almacenamiento de idoneidad así como un circuito lógico adicional, si se aumenta el tamaño de la ventanilla. Como variante, se necesitan menos registradores de corrimiento y menos circuitos lógico si se reduce el tamaño de la ventanilla. Si se aumenta el tamaño de la ventanilla, v.g., se examinan más bits de dato en un momento, se conseguirá un tiempo de reencuadre más rápido, pero con un aumento de complejidad de circuitos. Si se reduce la ventanilla, la complejidad de la circuitería se reduce pero sacrificando el tiempo de reencuadre. La circuitería descrita representa, para la finalidad que se persigue, un compromiso conveniente entre complejidad de circuito y tiempo de reencuadre.

25 También resultará evidente por la descripción expuesta que el reencuadrador tiene igual aplicación a una corriente de bits multiplexados que comprende un menor o mayor número de grupos digitales multiplexados. La única limitación práctica en el número de grupos digitales que se puede manejar por el reencuadrador es el régimen de bits de los bigrupos y el límite superior que exista respecto a la velocidad de fun-

30

cionamiento de la circuitería lógica.

5 Descrita suficientemente la naturaleza del invento así como la manera de realizarse en la práctica debe haberse constar que las disposiciones anteriormente indicadas son susceptibles de modificaciones de detalle en cuanto no alteren su principio fundamental.

REIVINDICACIONES

=====

10 1º.- Perfeccionamientos en sistemas múltiplex de división de tiempos, del tipo en los que una pluralidad de grupos de bitios de datos, cada uno de los cuales representa información de mensaje para un grupo respectivo de canales y que proporcionan una estructura de bitios de encuadre respectivo, se multiplexan sucesivamente sobre una conexión de transmisión común, caracterizados porque el circuito recuadrador comprende
15 medios de almacenamiento de bitios de datos medios para comparar cada uno de los bitios almacenados con un bitio de dato correspondiente uno o más cuadros después en el grupo respectivo para detectar posibles patrones de reencuadre entre bitios comparados: medios de almacenamiento de idoneidad para registrar por cada grupo cuales de los bitios comparados han experimentado violaciones en estructura de encuadre y cuales no han experimentado tales violaciones; medios decodificadores de corriente que responden a la señal de salida de dichos medios, para comparar, y a dichos medios de almacenamiento de idoneidad, para
20 determinar, por cada grupo los corrimientos de dígitos que se han de realizar a partir del conjunto presente de comparaciones y a partir del último registro de idoneidad en dichos medios de almacenamiento de idoneidad; y medios para correr los datos almacenados de un grupo en los medios de almacenamiento
25 de bitios de datos, para correr el dato registrado de dicho

5

10

15

20

25

30

grupo en los medios de almacenamiento de idoneidad, y para
correr los bitios de datos multiplexados de dicho grupo de
acuerdo con cualquier determinación de corrimiento de dígi-
tos para dicho grupo realizada por los medios descodificadores
de corrimiento.

5

2º.- Perfeccionamientos según la reivindicación
1, caracterizados porque las memorias comprenden registrado-
res de corriente que se disponen para bloquearse a coincidir
en tiempo con la aparición de grupos multiplexados sobre la ba-
rra de distribución.

10

3º.- Perfeccionamientos según la reivindicación
2, caracterizados porque cada uno de los registradores de
corrimiento comprende una pluralidad de células que exceden
en uno el número de grupos multiplexados.

15

4º.- Perfeccionamientos según cualquiera de las
reivindicaciones 1 a 3, caracterizados porque el dispositivo
decodificador de corrientes se organiza para generar indica-
ciones de corriente de dígitos para un grupo digital desen-
cuadrado de una forma repetida hasta que el bitio real de
encuadre del mismo ocupa una posición predeterminada en los
medios de almacenamiento de bitios de datos.

20

5º.- Perfeccionamientos según cualquiera de las
reivindicaciones 1 a 4, caracterizados, porque comprende me-
dios para compensar los cambios de estructura, de encuadre in-
troducidos en cada uno de los grupos digitales multiplexados
durante el reencuadre y para aquellos introducidos por el sis-
tema múltiple para fines de sincronización.

25

6º.- Perfeccionamientos según cualquiera de las
reivindicaciones 1 a 5, caracterizados, porque los bitios de
encuadre se sitúan en un cuadro si y otro no de cada grupo

30

y porque el dispositivo de almacenamiento detallado se organiza para almacenar los bitios de datos elegidos de cada grupo digital para dos cuadros con fines de comparación de cuadros, sirviendo los medios comparadores por lo tanto para comparar por cada grupo los bitios de datos que se encuentran separados cuadros.

7º.- Perfeccionamientos según cualquiera de las reivindicaciones 1 a 6, caracterizados porque una indicación de corrimiento de dígitos desde dicho dispositivo decodificador de corriente sirve, en la práctica, para correr uno o más nuevos bitios de datos de un grupo desencuadrado en los medios de almacenamiento de bitios de datos, correspondiendo el número de nuevos bitios de datos insertados a dicha indicación de corrimiento de dígitos.

8º.- Perfeccionamientos según la reivindicación 7, caracterizados porque la indicación de corrimiento de dígitos de dicho dispositivo decodificador de corrimiento sirve, en la práctica para iniciar los medios de almacenamiento de idoneidad para dichos nuevos bitios de datos.

9º.- Perfeccionamientos según cualquiera de las reivindicaciones 1 a 8, caracterizados porque cinco grupos digitales, en la práctica, se multiplixan sobre la barra de distribución común, sirviendo el circuito reencuadrador para mantener sincronización de encuadre para cada uno de dichos cinco grupos digitales y un grupo de prueba simultáneamente en el mismo cuadro de tiempo.

10º.- Perfeccionamientos según cualquiera de las reivindicaciones 1 a 10, caracterizados porque el almacenamiento de bitios de datos en los medios de almacenamiento de bitios de datos, el registro de idoneidad en los medios de al-

macenamiento de idoneidad y el corrimiento de dígitos en los bitios de datos multiplexados de un grupo desencuadrado tienen lugar todos durante la última pista de intervalos del grupo multiplexado.

5

11º.- Perfeccionamientos en sistemas múltiplex de división de tiempos, tal y como queda sustancialmente descrito en la presente Memoria.

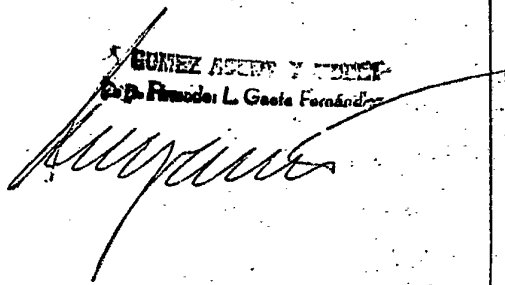
Esta Memoria consta de 62 hojas escritas a máquina por una sola cara.

10

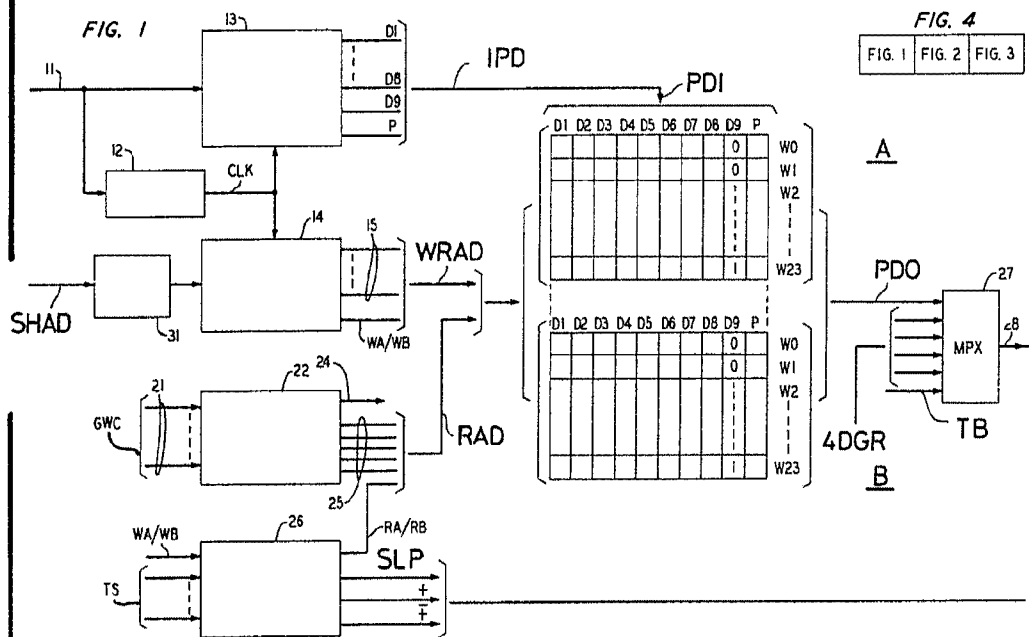
Madrid, 13 ABR. 1976

WESTERN ELECTRIC COMPANY INCORPORATED,

GONZALEZ AGUIRRE Y CAÑAS
Exp. Fideles L. Gascó Fernández



ESCALA
VARIABLE



Madrid
19 NOR. 1970
DÍEZ ABEDE Y F.
Paseo de L. G. García Ferrás

FIG. 16A

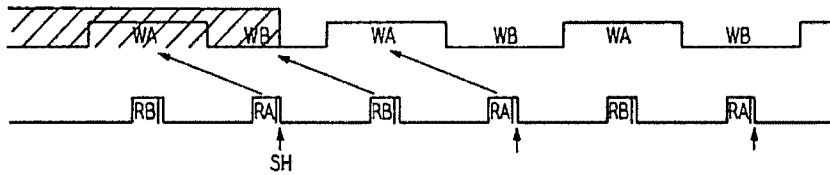


FIG. 16B

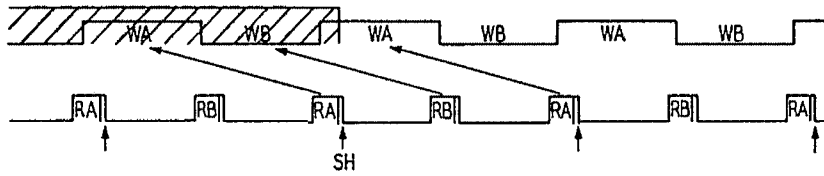


FIG. 16C

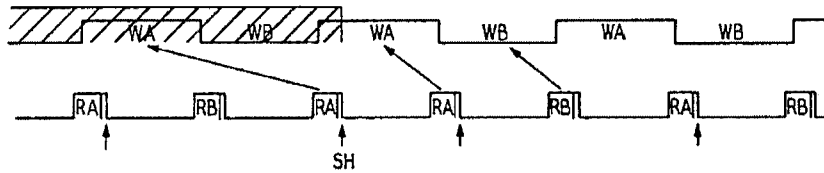


FIG. 16D

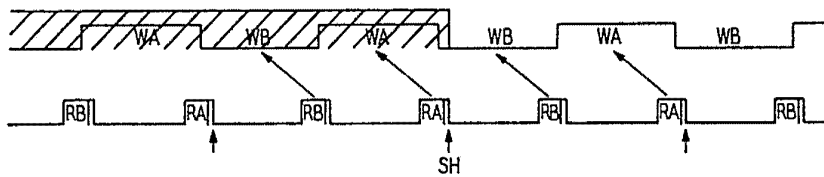
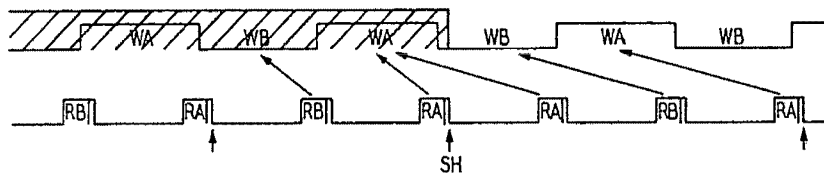


FIG. 16E

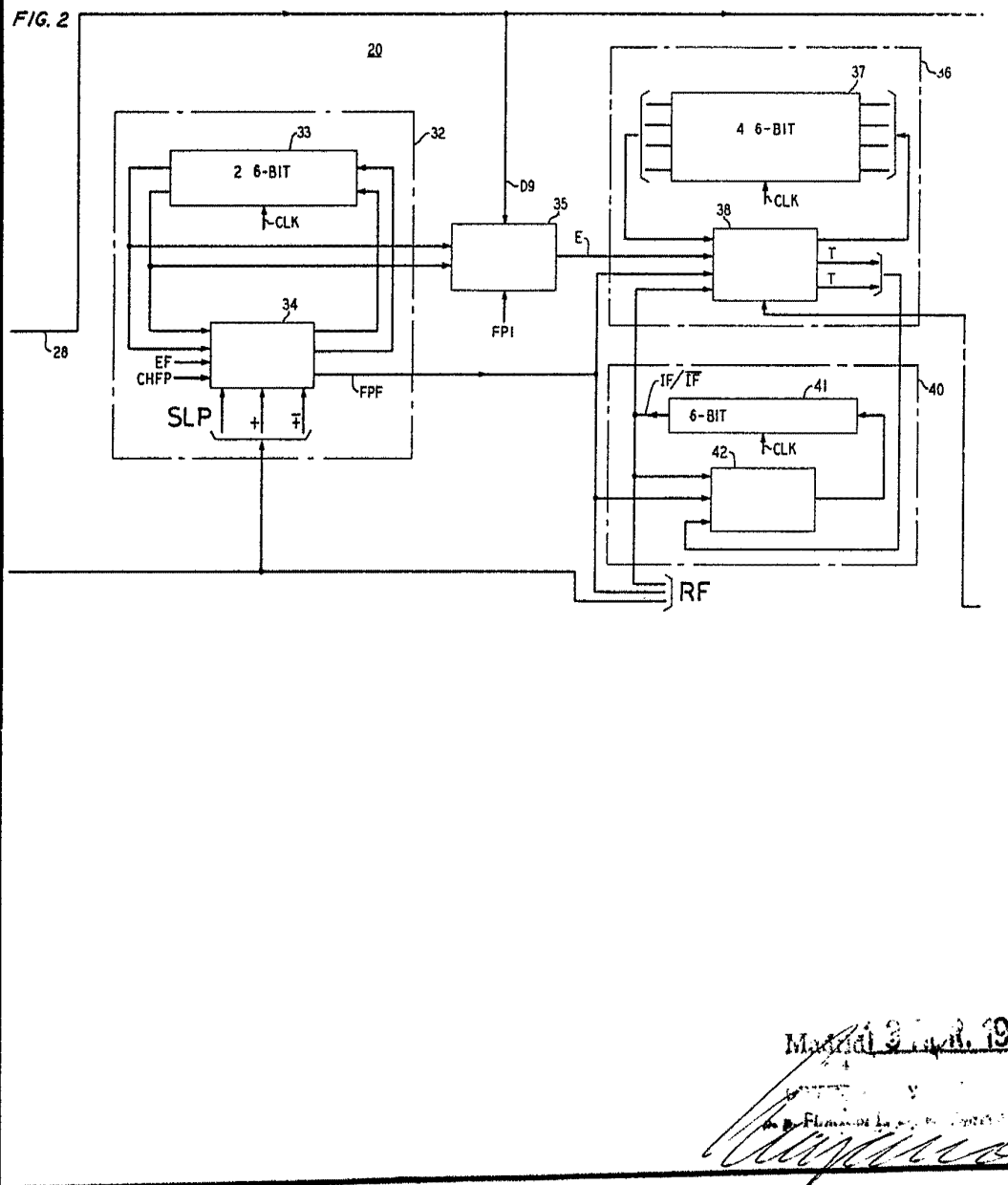


Madrid

GOMEZ

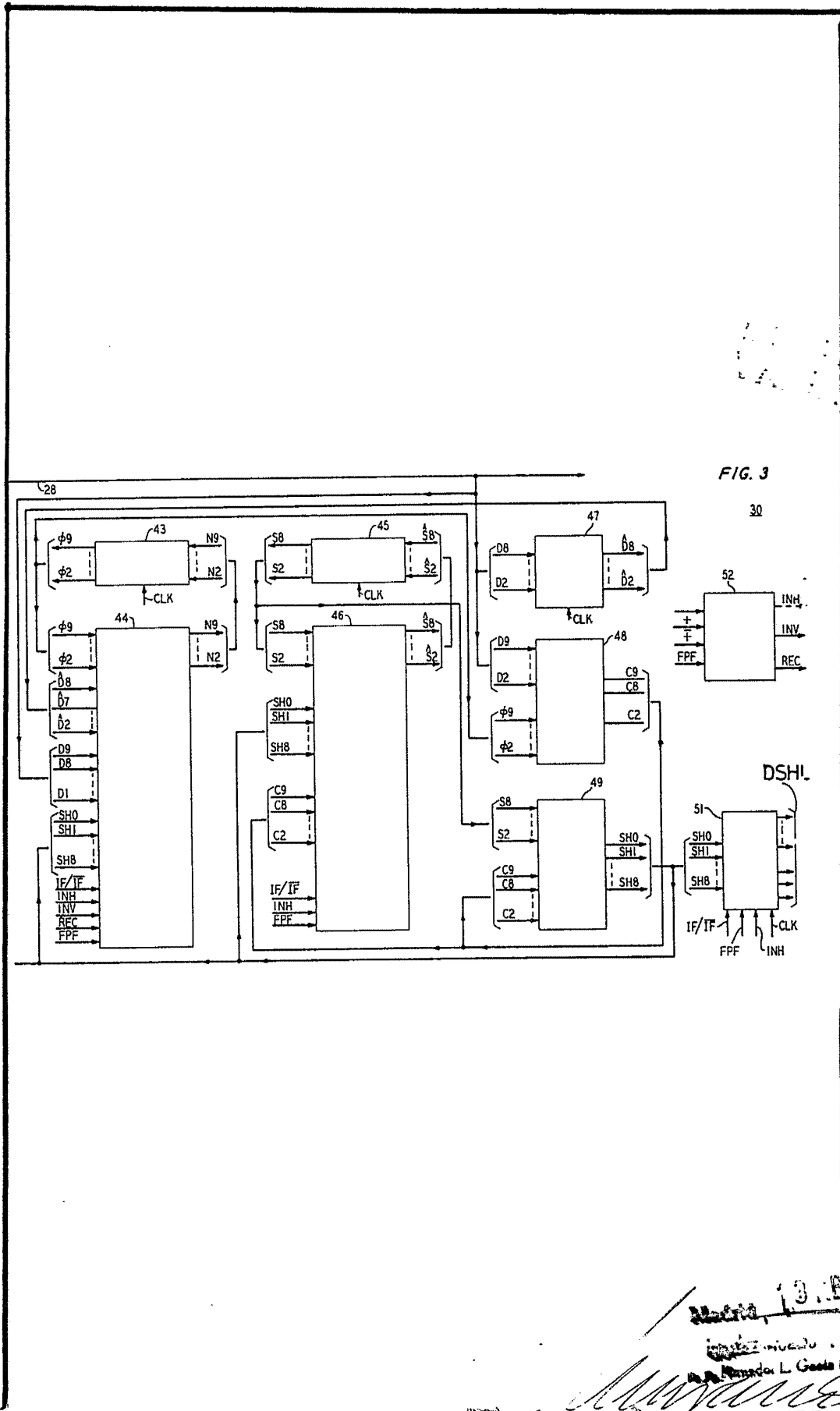
Flamenco

FIG. 2



Patented 3 APR. 1976

WESTERN ELECTRIC COMPANY, INCORPORATED
A Division of Bell Telephone Laboratories, Inc.
[Handwritten Signature]



March 13, 1976
L. G. Gault

FIG. 5

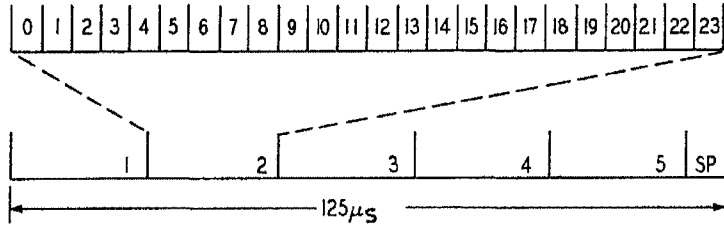
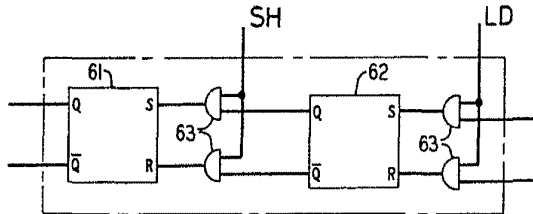
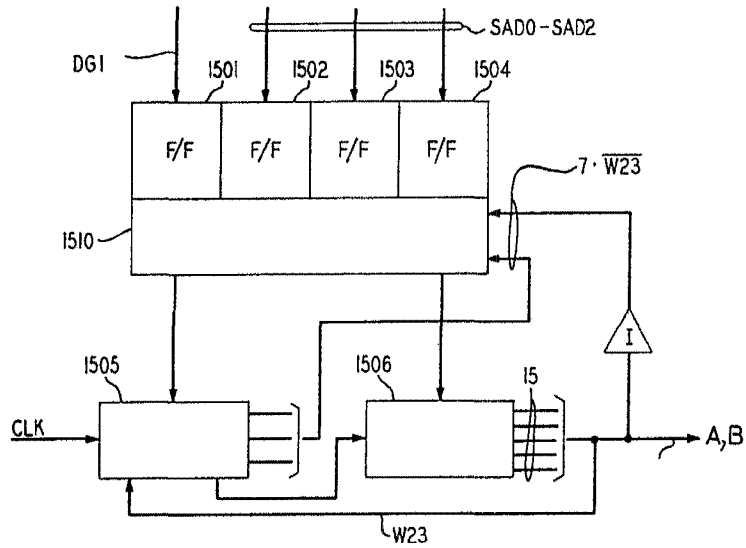


FIG. 6



RECEIVED
MAY 1964

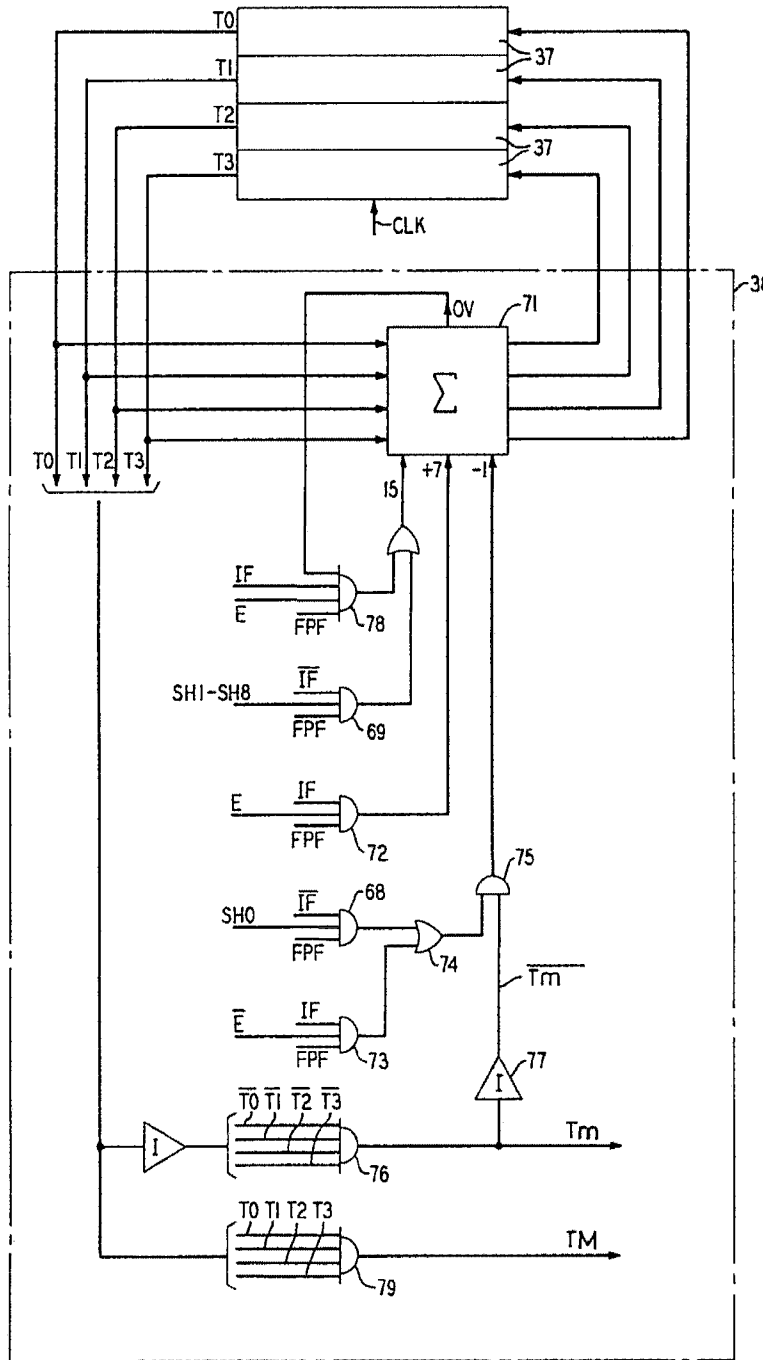
FIG. 15



[Handwritten signature]

FIG. 7

4 6-BIT

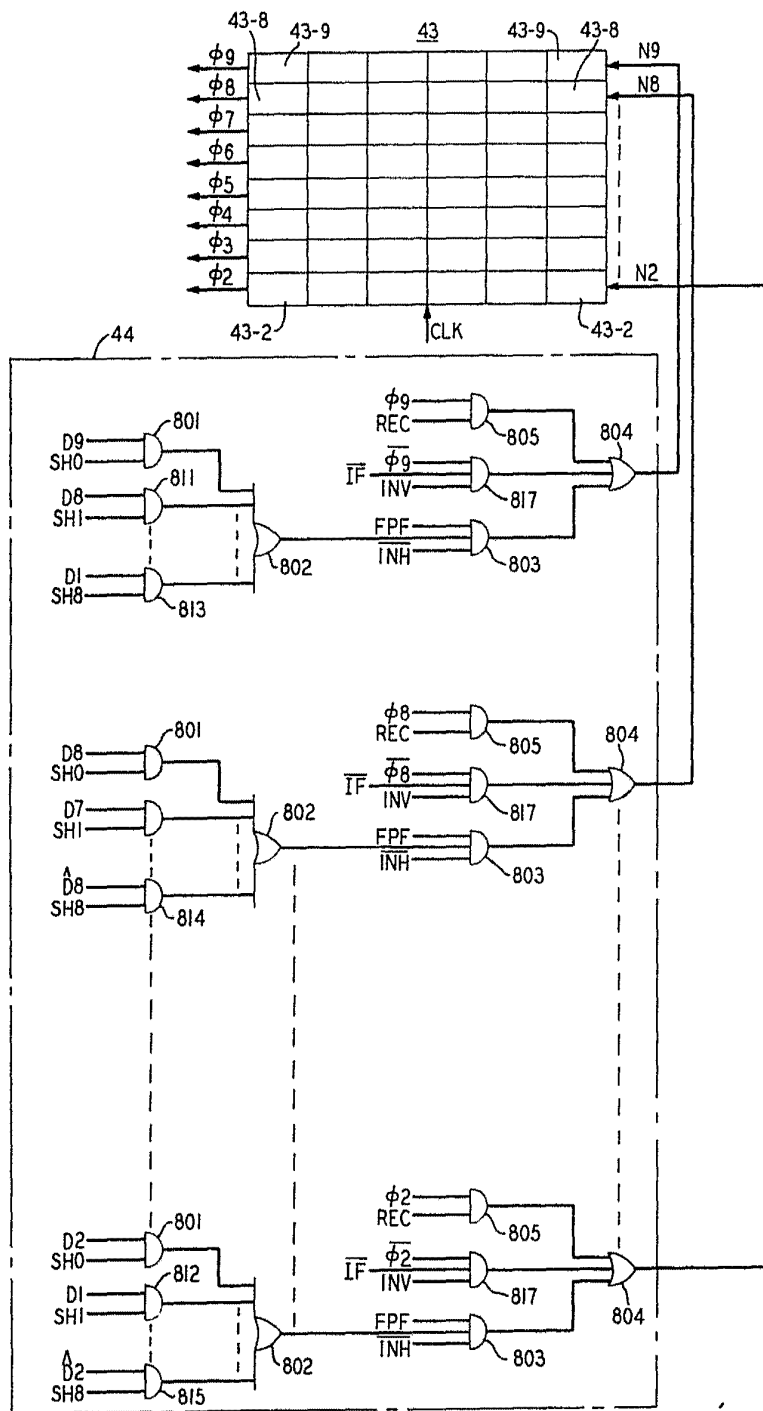


38
MIA

Handwritten signature and notes at the bottom right of the page.

FIG. 8

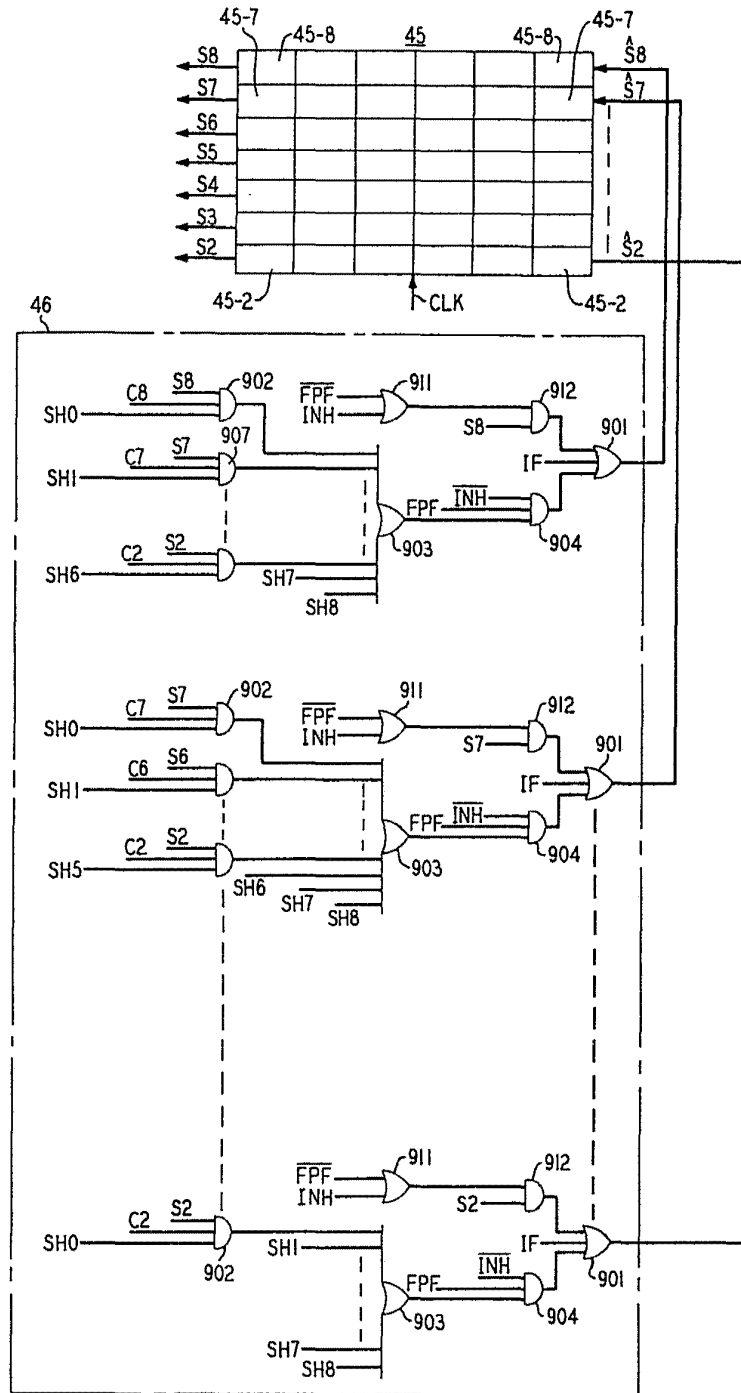
8 6-BIT



Madrid
1945

FIG. 9

7 6-BIT



Madrid, 1976

p. Hamedo, L. Gato

FIG. 10

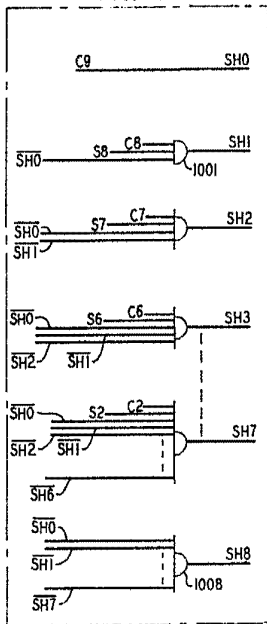


FIG. 11

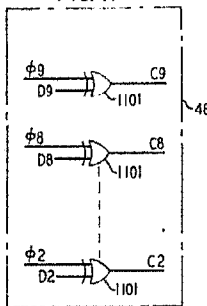


FIG. 12

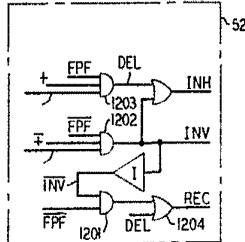


FIG. 13

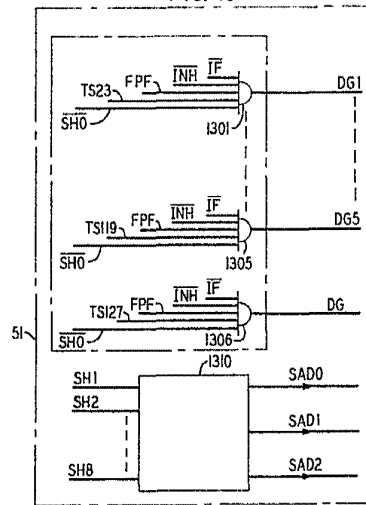
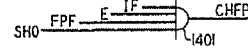


FIG. 14



Madrid

1976

GOMEZ
Fernando L. Costa Ferrás