

3 10 71
44284 PATENTE DE INVENCION
AGRAZ-GUERENA J 2-3-I-(CRW)

20 DIC. 1976

CONCEDIDA

Memoria Descriptiva

sobre:

PROCEDIMIENTO DE FABRICACION DE DISPOSITIVOS SEMICONDUCTORES INTEGRADOS.

Int. Cl.: H01M

Solicitante: WESTERN ELECTRIC COMPANY, INCORPORATED, entidad norteamericana, residente en 195 Broadway, New York, N.Y. 10007, EE.UU. de América.

Esta invención se refiere al procedimiento de fabricación de dispositivos semiconductores integrados.

De acuerdo con la presente invención se formen dispositivos semiconductores verticales de tres elementos.

de un sustrato de tal manera que las zonas colectoras y emisora respectivas se extienden a superficies respectivas de la capa epitaxial y la zona de base correspondiente es intermedia entre dichas zonas emisora y colectoras y no se extiende a la superficie expuesta de la capa epitaxial.

Preferentemente, pueden disponerse pluralidades de tales dispositivos en relación espaciada formando complejos de circuitos lógicos, y la zona de baja resistencia del sustrato puede utilizarse ventajosamente para distribuir energía a las estructuras verticales. Además, pueden utilizarse dispositivos laterales de tres elementos, también en la capa epitaxial, para conectar energía a los elementos intermedios de las estructuras verticales sin necesidad de interconexiones superficiales metálicas.

Los dispositivos semiconductores según la presente invención se logran por medio de un proceso que incluye, pero sin limitación, las siguientes fases que se realizan sobre un recorte que comprende una capa epitaxial de un tipo de conductividad que cubre una zona de sustrato resistente del mismo tipo de conductividad:

1.- Establecer en la capa epitaxial una zona del tipo de conductividad opuesta que se extiende a través de la capa epitaxial al sustrato y conformada para que circunde una zona seleccionada de la capa epitaxial.

2.- Implantar una zona de dicho tipo de conductividad opuesta entre, pero espaciada de las superficies de la capa epitaxial, formando por ende en cada zona circundada un dispositivo semiconductor vertical de tres elementos.

3.- Formar para cada zona circundada un correspondiente contacto metalizado en la superficie expuesta de la capa --

epitaxial y cubrir y una parte de la correspondiente zona circundada.

5 Ventajosamente, los dispositivos semiconductores formados por estas fases muestran un alto grado de simetría de rendimiento eléctrico en razón de la simetría del perfil de impureza de la zona de base implantada. Por consiguiente, en los dispositivos semiconductores así formados. Los elementos que se hallan en la superficie expuesta de la capa epitaxial pueden utilizarse como colectores o emisores sin inconveniente para el rendimiento eléctrico. En el caso de que sea deseable la asimetría de rendimiento eléctrico, es teóricamente posible a través de sucesivas implantaciones crear la asimetría deseada. No obstante, con sucesivas implantaciones se produce una ampliación de la zona de la base que puede resultar indeseable.

10 Dada la simetría de los dispositivos verticales de tres elementos lograda de acuerdo con esta invención, es ventajosamente posible crear disposiciones complejas de circuitos lógicos en las cuales los colectores de los dispositivos pueden hallarse ya sea en la superficie expuesta de la capa epitaxial o en la superficie de la capa epitaxial que se extiende contigua al sustrato. Así, pueden fabricarse eficientes dispositivos de circuitos lógicos como los representados en las figuras 3 y 6.

15 En una forma de realización ilustrativa de la invención una capa epitaxial de tipo-N cubre un sustrato N⁺ y las estructuras verticales que comprenden dispositivos NPN se hallan rodeadas por correspondientes zonas de bajas resistencia tipo P que sirven para interconectar los elementos P de las estructuras verticales entre sí y a la fuente de señales.

25 Ventajosamente, las estructuras verticales de tres elementos descritas anteriormente permiten la aplicación de con-

tactos metalizados en la superficie de la capa epitaxial de tal manera que pueden formarse selectivamente contactos ohmicos y contactos de diodo Schottky de baja resistencia.

5 Los dispositivos semiconductores verticales de tres --
elementos que se consiguen segun esta invención muestran un --
tiempo de respuesta mejorado comparado con los dispositivos --
verticales de tres elementos de la técnica anterior que poseen
sus colectores en las superficies epitaxiales expuestas. Su --
tiempo de respuesta se mejora sin un aumento de potencia de la
10 señal aplicada y su tiempo de respuesta final con mayor potencia es menor que el tiempo de respuesta de los dispositivos anteriores. Por otra parte, la posibilidad de la inclusión de dispositivos de diodo Schottky, conocidos en la técnica, en los colectores de estos dispositivos verticales reduce la necesidad de interconexiones en los complejos de circuitos lógicos y facilita niveles de señales lógicas reducidos.

15 El tiempo de respuesta de los dispositivos verticales de esta invención se mejora como resultado directo de los perfiles de impureza de tales dispositivos en comparacion con las estructuras dobles verticales difusas anteriormente conocidas. La base implantada de la presente invención posee un perfil simetrico de impureza con relacion a las zonas emisoras y colectoras y esta simetria tiende a eliminar el campo retardador con que se tropieza en las dobles estructuras verticales difusas
20 que utilizan la capa epitaxial expuesta como zona colectoras.
25 Por otra parte, la carga en la zona emisora de las estructuras verticales dobles difusas anteriormente conocidas es sensiblemente mayor que la carga en la zona emisora de los dispositivos segun la presente invención. Esta reduccion en carga tambien tiende a mejorar el tiempo de respuesta de estos dispositi
30

5 tivos. Las zonas colectoras de los dispositivos verticales producidos mediante el proceso de doble difusión anteriormente conocido poseen menor resistividad que las zonas colectoras de los dispositivos verticales producidos de acuerdo con la presente invención y por consiguiente estos dispositivos anteriores poseen una más elevada capacitancia de colector a base que -- tiende a aumentar su tiempo de respuesta.

10 Aun cuando la presente invención se ilustra por medio de una capa epitaxial de tipo-N que cubre un sustrato N + conviene hacer observar que es posible practicar esta invención a través del uso de una capa epitaxial que cubra un sustrato P + Las estructuras verticales PNP resultantes muestran más largos tiempos de respuesta que los correspondientes dispositivos NPN del ejemplo ilustrativo aquí dado a conocer en razón de la inferior movilidad inherente de orificios comparados con electrodos. Además, la serie de metales idóneos para producir diodos Schottky en la superficie expuesta de los dispositivos PNP es mucho más limitada.

15 Breve descripción del plano.

20 La figura 1, es un diagrama esquemático de un dispositivo de la industria anterior que comprende un transistor de colectores múltiples y una fuente de corriente lateral de tres elementos conectada a la base;

25 La figura 2, es una sección transversal de la estructura física del circuito de la técnica anterior de la figura 1.

 La figura 3, muestra dos de las disposiciones de circuitos de la figura 1, en cascada con adición de un diodo Schottky en cada uno de los colectores;

30 La figura 4, es una sección transversal de una estructura física del circuito de la figura 3.

La figura 5, muestra un posible instalación de una pluralidad de dispositivos tales como los representados en las figuras 3 y 4, junto con las disposiciones para la distribución de energía y señales.

5 La figura 6, es un diagrama esquemático de una variante del circuito de la figura 3, en el cual un solo colector señaliza asociado con tres diodos de barrera Schottky.

La figura 7, es una sección transversal de una estructura física del circuito de la figura 6.

10 Las figuras 8 y 9, son secciones transversales de una variante de la estructura de la figura 4 para formar transistores aislados.

15 Los circuitos lógicos tales como el circuito de la técnica anterior de la figura 1, y los circuitos según la presente invención como los representados en las figuras 3 y 6, van típicamente conectados en cascada en instalaciones complejas para lograr funciones lógicas deseadas. Típicamente, un colector p.e. A1 del circuito de la figura 1, va conectado a un terminal de entrada o de base A de un circuito subsiguiente. El estado de -
20 conducción del transistor de colectores múltiples 102 que comprende el emisor conectado a tierra, la base conectada al terminal A, A2 y A3, respectivamente, es regulado por el estado del circuito que acciona la base del transistor 101 se halla continuamente en estado conductor. La corriente que se produce en el
25 colector del transistor 101 sirve para activar el transistor 102 a menos que la corriente colectora del transistor 101 sea desviada a través de una trayectoria de impedancia inferior tal que el potencial en la base del transistor 102 sea menor que el voltaje de conexión del transistor 102. Típicamente, el voltaje de conexión de conexión del transistor 102 es de 0,6 a 0,7 vol

tios. Si el transistor conectado al terminal A en la figura 1, se halla en estado conductor, se desviará la corriente desde el colector de la fuente de corriente 101 a través de una trayectoria que incluye las uniones colector a base y base a emisor del transistor impulsor a tierra. En el estado conductor el potencial en el colector del transistor impulsor sería del orden de 0,05 a 0,1 voltios. La magnitud del descenso de voltaje depende de la construcción del dispositivo y puede controlarse dentro de límites razonables durante la fabricación. Por consiguiente, la corriente procedente de la fuente respectiva 101 será desviada a tierra a través del transistor impulsor y el transistor 102 se mantendrá en el estado FUERA de conducción.

Si el transistor impulsor se halla en estado no conductor, la impedancia del recorrido a tierra por medio de las uniones del colector la base y de la base al emisor será extremadamente alta y muy poca cantidad de la corriente procedente de la fuente de alimentación 101 será desviada a tierra a través de dicho recorrido. Por consiguiente la corriente procedente de la fuente de alimentación 101 circulará la unión de la base del transistor 102 para establecer el estado conectado o en circuito de conducción del transistor 102.

En esta disposición de circuito de la técnica anterior que comprende dos circuitos o fases tales como los que se muestran en la figura 1, es cascada, el voltaje en el nodo A del transistor excitado varía, entre aproximadamente 0,05 voltios y aproximadamente 0,7 voltios. El control que se ejerce sobre el transistor excitado 102 se logra principalmente dirigiendo la corriente entre la unión base a emisor del transistor excitado y el circuito colector del transistor impulsor o excitado. Dado que se prevé que los transistores excitador y excitado existan

en un solo trozo en el cual no exista ninguna fuente de ruido -
significativa, la variación anteriormente descrita en la señal
de aproximadamente 600 milivoltios en el nodo A es excesiva y es
incompatible con una rápida conexión y, en un menor grado, una
5 rápida desconexión del transistor excitado.

La demora en la conexión del transistor excitado es di-
rectamente proporcional a la magnitud de la oscilación de volta-
je en la entrada p.e., base del transistor impulsado. Según se
explica aquí anteriormente, la velocidad de funcionamiento de -
10 los dispositivos construidos de acuerdo con la presente inven-
ción, constituye una mejora significativa sobre las estructuras
de la técnica anterior. Esto, según se indica anteriormente es
debido a los perfiles de impureza mejorados. Una mejora adicio-
nal en el rendimiento de los circuitos puede atribuirse a la -
15 presencia de diodos Schottky según se muestra en la disposición
de circuito de la figura 3. En la figura 3, se representa un --
transistor impulsado 302, la fuente de alimentación de corriente
301, para el transistor 302, un transistor impulsor 312, una --
fuente de corriente 311 para el transistor impulsor 312, y una
20 pluralidad de diodos Schottky, por ejemplo 313 y 303, dispuestos
en los circuitos colectores de los transistores impulsor e im-
pulsado 312 y 302 respectivamente. Según se muestra en la figura
3 el terminal colector A1 del transistor impulsor 312 va conec-
tado al nodo A' que constituye el terminal base del transistor
accionado 302. Un diodo Schottky, por ejemplo 315 típicamente
25 posee una caída de voltaje umbral del orden de 0,4 a 0,5 vol-
tios. La magnitud de la caída de voltaje puede determinarse y -
regularse en fabricación. La caída de voltaje hacia adelante -
del diodo 315, cuando se agrega a la caída de voltaje del tran-
sistor impulsor 312 en el estado CONECTADO, se traduce en un po
30

tencial entre 0,45 y 0,6 voltios para el estado CONECTADO del transistor 312.

Según se explica anteriormente las pérdidas de voltaje reales del diodo y del transistor son controladas mediante diseño y a través de control de fabricación. El potencial máximo en el nodo A está determinado por la pérdida de voltaje base e emisor del transistor accionado 302 y, según se indica anteriormente, esta pérdida de voltaje es del orden de 0,7 voltios. Por consiguiente, es posible que el voltaje en el nodo A pueda variar entre 0,45 y 0,7 voltios para definir los estados DESCONECTADOS y CONECTADO del transistor accionado 302. Esta oscilación de 0,45 a 0,7 voltios o 250 milivoltios es sensiblemente inferior que la oscilación de señales en los circuitos de la técnica anterior representados en la figura 1. Por consiguiente los tiempos de puesta en circuito de los transistores accionados de la configuración de circuito de la figura 3, son sensiblemente menores que los tiempos de conexión de los circuitos de la figura 1. La oscilación de 250 milivoltios se calcula sobre la base de pérdida de voltaje mínima en el circuito colector del transistor impulsor y la pérdida de voltaje activo mínima del diodo Schottky en el colector del transistor impulsor. Es razonable esperar que en una situación real el voltaje en el nodo A del transistor accionado oscilará por diseño aproximadamente 100 milivoltios entre un voltaje DESCONECTADO de 0,6 voltios y un voltaje CONECTADO de aproximadamente 0,7 voltios. Esta oscilación se traduce en una reducción muy significativa en el tiempo de respuesta. Por consiguiente, la disposición de circuito de la figura 3, proporciona un aumento sustancial en la velocidad de operación para un determinado nivel de potencia y para una determinada estructura de transistor.

5

10

15

20

25

30

Las funciones lógicas pueden ejecutarse uniendo entre -
si los terminales colectores de dos fases independientes. Tales
transistores interconectados sirven para proporcionar una fun--
cion AND. Si los dos (o mas) transistores cuyos colectores se -
5 unen entre si se hallan ambos en estado no conductor, la corrien-
te procedente de la fuente de alimentación respectiva de la fa-
se accionada será conducida para CONECTAR el transistor de la -
fase mencionada, Sin embargo, si uno u otro transistor impulsor
se halla en estado conductor, el transistor accionado se manten
10 drá en estado DESCONECTADO. Como es bien sabido en la técnica -
anterior, otras funciones lógicas, por ejemplo, OR, pueden eje-
cutarse mediante el uso de inversión y esta unión basica de los
terminales colectores para formar una función AND.

En la disposición de circuito de la figura 3, el tran-
15 sistor 302 nunca se encuentra en el estado plenamente no conduc-
tor. Es decir, si se varia el voltaje en el terminal de base -
respectivo típicamente entre 0,6 y 0,7 voltios la corriente del
colector variará entre un bajo nivel de conducción, por ejemplo
1 ó 2, por ciento de saturación y una corriente de nivel relati
20 vamente alto, por ejemplo un miliamperio. Por consiguiente, un
diodo Schottky en un circuito colector del transistor 301, por
ejemplo el diodo 305, para todos los estados de conducción del
transistor 302, será polarizado hacia adelante y no habrá gran-
des oscilaciones de señales en el colector del transistor 202.

Las caidas de voltaje asociadas son los transistores, -
25 por ejemplo 302 y 312, y asociadas con los diodos Schottky, por
ejemplo 303, 304 y 305, son típicos para un valor particular de
corriente alimentada por el transistor de fuente de alimenta--
ción 301. Las caidas de tensión en los transistores, por ejem-
30 plo 312, y en los diodos Schottky p.e. 315, se relacionan ambas

de manera similar con la magnitud de la corriente suministrada por el transistor 301. Si la corriente procedente de la fuente de alimentación 301 es variada por diseño u otras circunstancias dentro de límites razonables, las caídas de tensión producidas por el transistor y por los diodos Schottky siguen sensiblemente trayectorias a escala paralelas. Por consiguiente, la magnitud de la diferencia entre los voltajes CONECTADO y DESCONECTADO en la base del transistor accionado tienden a permanecer constantes independientemente de la magnitud de la corriente suministrada por la fuente 301. De modo similar, las caídas de tensión en el transistor p.e. 312, y en el diodo Schottky, p.e. 315, siguen sensiblemente trayectorias a escala paralelas en función del cambio de temperatura dentro de límites razonables, la disposición de circuito de la figura 3, tiende a mantener una diferencia constante de tensión en la base del transistor 302. Como resultado de ello, la disposición de circuito de la figura 3, es auto-compensatoria en presencia de variaciones razonables en magnitud de corriente suministrada por la fuente 301 y compensatoria por variaciones razonables en la temperatura de los dispositivos.

En la figura 4, se muestra una vista lateral de un dispositivo típico p.e. el transistor de alimentación de corriente 301 y el transistor excitado 301. La invención, ilustrada en la figura 4 utiliza una capa epitaxial tipo-N 401, que cubre un sustrato N + 403. Los elementos de la vista lateral de la figura 4, pueden comprenderse mejor mediante referencia a la vista superior correspondiente de la figura 5, y el circuito de la figura 3. Las placas indicadoras de letras utilizadas en el circuito de la figura 3., son consistentes con las utilizadas en los planos de aparato de las figuras 4 y 5.

Los elementos del dispositivo semiconductor de tres elementos se denominan por lo comun arbitrariamente el emisor, la base y el colector de acuerdo con la mejor forma de funcionamiento del dispositivo. Esto es en reconocimiento del hecho de que los dispositivos semiconductores de tres elementos no son generalmente simétricos en estructura y en conducta eléctrica. La asimetría comun presente en un dispositivo semiconductor de tres elementos se halla en la zona de base del dispositivo y relativa adulteración de colector y emisor. Por ejemplo, en la estructura de la técnica anterior de la figura 2 la zona de base 204 se halla más notablemente adulterada en las porciones más próximas a la superficie expuesta de la capa epitaxial que la porción que se encuentra más próxima al substrato 203. Dado que en la disposición de la técnica anterior de la figura 2 el gradiente de impureza en la zona de base 204 es en la dirección del emisor que está formado por la capa epitaxial 201, este dispositivo desde un punto de vista de terminología aceptada es accionado en forma inversa. Es decir, la geometría de las zonas identificadas anteriormente en la figura 2 y los perfiles de impureza en las identificaciones en la figura 2, son tales que el rendimiento eléctrico es mejor cuando se utiliza uno de los elementos 205, 206, 207 como emisor y la porción de la capa epitaxial 201 que forma un elemento activo del dispositivo de tres elementos se utiliza como colector. Así, en la forma de operación avanzada del dispositivo de la figura 2, es posible poseer múltiples emisores pero no múltiples colectores como es preciso para los circuitos lógicos de las figuras 1 y 3. Dado que el dispositivo de la figura 2 debe accionarse de forma inversa para lograr la disposición de circuito de la figura 1, el rendimiento eléctrico de dicha disposición de circuito su-

5

10

15

20

25

30

fre con respecto a ganancia y tiempo de respuesta.

El transistor de fuente de corriente 101 de la figura 1 se compone en la figura 2, de la zona de emisor 208, una porción de base activa de la capa epitaxial 201 y una porción de colector activa de la zona 204. En la estructura de la figura 2, la zona emisora 208 del transistor de fuente de corriente 101 de la figura 1, está completamente rodeada por material epitaxial tipo-N mientras que en la estructura de la figura 4 la zona emisora 404 del transistor de fuente de corriente lateral 311 de la figura 3, está unida al sustrato resistivo. Dado que la zona emisora 404 se halla rodeada por material N + en el sustrato y en la superficie expuesta de la capa epitaxial, la inyección se limita a la zona N lateral 406 de la capa epitaxial. Esto reduce la carga acumulada en el transistor PNP lateral. Además, la zona resistiva N + 405 que se muestra en la figura 4, mejora el rendimiento eléctrico del transistor de fuente de corriente lateral 311 ya que tiende a evitar la recombinación de vehículos portadores minoritarios en la superficie expuesta y por ende aumenta la ganancia del transistor de la fuente de corriente lateral.

En la figura 5, se representa una posible disposición física de varios transistores de colectores múltiples. En la figura 5 se aplicó potencia (+ V) en la superficie expuesta de la capa epitaxial y se distribuye por medio de canales P + que se extienden a través desde la superficie de la capa epitaxial al sustrato. Por consiguiente, los emisores de los transistores de fuentes de corrientes lateral p.e. 301 y 311, se hallan interconectados por los canales P + y un solo contacto metalizado es suficiente para aplicar potencia excepto en los casos en que se emplean conexiones adicionales para reducir la re

5 existencia del circuito. De modo similar, la conexión a tierra -
es distribuida por medio del sustrato N + que va unido a los
emisores, p.e. 402 de la figura 4. Según se muestra en las figu-
ras 4 y 5, las zonas de base, B de los tres transistores verti-
cales de la figura 4 se hallan interconectadas por los canales
que se extienden totalmente P + y que rodean los transistores -
verticales. Una porción activa de este canal P + comprende el -
colector del transistor de corriente lateral y el resto del ca-
10 nal P + sirve para interconectar dicho colector con las zonas de
base de los tres transistores verticales de las figuras 4 y 5.
La configuración de transistor representada en la figura 4, pue-
den conectarse uno al otro por medio de conexiones superficia-
les metalizadas que cubren una capa no conductora, p.e. una ca-
pa de óxido o pueden conectarse a otros dispositivos dentro o -
15 fuera del espacio o trozo respectivo.

En las figuras 6 y 7 se muestra una posible variación -
de la estructura física de las figuras 3, 4 y 5. En la figura -
6 se representa un circuito que utiliza un transistor vertical
con un solo emisor, una sola base, y un solo colector con una
20 pluralidad de diodos Schottky conectados al mismo. Los transis-
tores 302 y 312 representados en la figura 3 se ilustran como
comprendiendo un solo emisor y una sola base y múltiples colec-
tores; sin embargo, como se muestra en la figura 4, existen, de
hecho, tres transistores verticales separados que poseen sus e-
25 misores y bases interconectadas de manera que estos tres tran-
sistores verticales tienden a operar como una unidad. Según se
muestra en la figura 7, el circuito de la figura 6 se consigue
por medio de una sola estructura vertical NPN que posee tres -
contactos Schottky metalizados a la zona colectoras respectiva.
30 En la figura 7 se representa un transistor de fuente de corrien-

te lateral que comprende el emisor 704, la base 706, y un colector que comprende una porción activa del canal P + 717 junto con un transistor vertical que comprende la zona colectora 718 zona de base implantada 719, y zona emisora 720. La estructura de la figura 7, corresponde a la estructura de la figura 4, excepto por la omisión de dos de las tres estructuras verticales de la figura 4, y la inclusión de tres contactos metalizados en la zona colectora 718. El circuito de la figura 6 muestra características eléctricas similares a las de la figura 3.

Una posible variación de la estructura básica de la figura 4, se halla ilustrada en las figuras 8 y 9. En las figuras 8 y 9 el transistor vertical de tres elementos está formado sobre una zona N + que fué establecida en un sustrato tipo-P. La zona N + 830 puede formarse en el sustrato tipo-P antes de establecer sobre el mismo la capa epitaxial. Para los fines de esta invención, la zona N + 830 funciona de la misma forma que un sustrato tal como 403 de la figura 4. En la figura 8 se representa un solo transistor vertical de tres elementos con un contacto de diodo Schottky en el colector, en tanto que en la figura 9 se muestra similarmente un solo transistor vertical de tres elementos con una conexión óhmica en la superficie. En las figuras 8 y 9 la conexión al emisor es a través de una conexión óhmica en la superficie de la capa epitaxial y la conexión a la base es mediante una conexión óhmica al canal que se extiende completamente P + y que rodea el transistor vertical.

Las figuras 8 y 9 muestran que es posible disponer dispositivos aislados dentro de una misma lasca de acuerdo con esta invención y que la conexión a tales dispositivos puede efectuarse a través de contactos óhmicos en la superficie de la capa epitaxial.

La estructura y el método de esta invención puede lograrse a través de una tecnología fácilmente disponible. Esto es, - las fases de proceso semiconductor, corriente, p.e. máscara de absorción, ataque químico, difusión e implantación de iones se utilizan para producir las estructuras reivindicadas. El método de fabricación aquí expuesto ha sido en términos de efecto más bien que en términos de técnica sea esencial para la práctica de la invención. Por ejemplo, en la práctica de esta invención las zonas de base de los transistores verticales se forman por implantación de iones. La siguiente es una breve descripción de fases típicas utilizadas en la fabricación de la estructura de esta invención y en la práctica del método correspondiente.

El cuerpo comprende un sustrato N + (o un sustrato P con una o varias zonas N + previamente difundidas en el sustrato tipo P) y una capa epitaxial de tipo-N convencional que cubre el sustrato. Se utilizan técnicas corrientes de máscara de absorción para definir los emplazamientos de las zonas que se extienden al través P + que se establecen subsiguientemente por medio de técnicas de difusión corrientes. Se utiliza una segunda fase de enmascaramiento por absorción para definir las zonas en las cuales se han de implantar las zonas de base tipo P. Asimismo, se utilizan métodos convencionales de enmascaramiento por capa de absorción y de implantación de iones en este punto del proceso. Después de la producción de las zonas de base en los transistores verticales se utiliza una tercera operación de enmascaramiento por absorción para producir un diseño para una capa N + en puntos seleccionados de la superficie en la cual se desee un contacto óhmico a zonas de tipo-N. Esta delgada zona N + puede producirse por difusión o por implantación de iones. Posteriormente se produce un diseño de ventani-

llas de contacto para definir los lugares en los cuales han de formarse los contactos de diodos Schottky. Los dispositivos dispuestos en el cuerpo son posteriormente interconectados mediante un proceso de metalización p.e. (aluminio) apropiado para los contactos ohmicos y de diodos Schottky.

N O T A

Descrita suficientemente la naturaleza del invento, así como la manera de realizarlo en la práctica, debe hacerse constar que las disposiciones de detalle en cuanto no alteren su principio fundamental. También se hace constar que el invento corresponde a una Solicitud de Patente, presentada en Norteamérica, con fecha 3 de Septiembre de 1.974, bajo el número 502.674; acogiéndose por lo tanto a los beneficios que conceden los Convenios Internacionales en vigor, siendo lo que constituye la esencia del referido invento y por lo que se solicita Patente de Invención por 20 años en España, sobre: PROCEDIMIENTOS DE FABRICACION DE DISPOSITIVOS SEMICONDUCTORES INTEGRADOS; caracterizándose por lo siguiente:

1.- Procedimientos de fabricación de dispositivos semiconductores integrados, del tipo realizado sobre un bloquesito que comprende una capa epitaxial de tipo de una conductividad que cubre un sustrato del mismo tipo de conductividad y que posea mayor conductividad que la capa epitaxial caracterizado por que en una primera fase se establece en la capa epitaxial una zona del tipo de conductividad opuesto que se extiende a través de la capa epitaxial al sustrato y se halla conformada para circundar una zona seleccionada de la capa epitaxial; en una segunda fase se implanta una zona de dicho tipo de conductividad opuesto entre las superficies de dicha capa epitaxial, pero separada de ellas, formando por ende en cada zona circundada un

5

10

15

20

25

30

dispositivo semiconductor vertical de tres elementos; y en una tercera fase se forma para cada zona circundada un contacto metalizado correspondiente en la superficie expuesta de la capa epitaxial y que cubre una parte de la zona circundada correspondiente.

2.- Procedimiento según la reivindicación 9, caracterizado porque comprende la fase de establecer en la capa epitaxial una nueva zona de dicho tipo de conductividad opuesta que se extiende a través de la capa epitaxial al sustrato y se halla separada de la zona que se extiende a través de dicho tipo de conductividad opuesto, formando por ende un circuito transistor lateral en la capa epitaxial.

3.- Procedimiento según la reivindicación 10, caracterizado porque comprende la fase de establecer en la superficie de la capa epitaxial en la zona que separa las zonas que se extienden a través de dicho tipo de conductividad opuesta una zona de dicho tipo de una conductividad que posee un exceso de impureza.

4.- Procedimiento de fabricación de dispositivos semiconductores integrados, tal y como queda sustancialmente descrito en la presente Memoria, e ilustrado en los dibujos adjuntos.

Esta Memoria consta de 18 hojas escritas a máquina por una sola cara.

Madrid, 20 NOV. 1975

WESTERN ELECTRIC COMPANY
P. p. Firmado: L. Góiz Fernández

