

442102

78 DIC. 1975

P.- 61.622

Case No. F 1182

Sony Case

No. S 75P44

SEMICONDUCTOR

DEVICE

MEMORIA DESCRIPTIVA

Int. Cl.: H01L

para solicitar PATENTE DE INVENCION

a nombre de SONY CORPORATION

entidad japonesa

establecida en 7-35, Kitashinagawa 6-chome, Shinagawa-ku,
Tokyo, Japón

por: "UN DISPOSITIVO SEMICONDUCTOR"

13.11.75

- 1 -

FUNDAMENTO DEL INVENTO

Campo del invento:

5 Este invento se refiere a un dispositivo semiconductor, y más particularmente a un dispositivo semiconductor provisto de una capa de pasivación superficial que es indispensable para la construcción de diodos y transistores que tienen elevada fiabilidad.

Descripción de la técnica anterior:

10 La capa de pasivación superficial se forma generalmente por el método de crecimiento a partir de vapor. Se han hecho estudios sobre el material de la capa de pasivación superficial con el fin de hacer más estables los elementos semiconductores. Se emplearon amplia
15 mente capas de pasivación de dióxido de silicio SiO_2 , vidrio y SiO_2 que contiene fósforo. Sin embargo, dichas capas de pasivación no tienen suficiente resistencia a la humedad. En condiciones húmedas, varían las corrientes de fuga.

20 Una capa de SiO_2 se reviste sobre la unión PN del diodo que está expuesta en la superficie de un sustrato semiconductor de silicio. Sin embargo, durante el funcionamiento, se induce una función de memoria indeseable por la carga positiva semejante al ión sodio que
25 existe en la capa de SiO_2 . Se forma un canal en el sustra

to semiconductor de tipo P, debido a la carga negativa inducida por la carga positiva en la capa de SiO₂.

Por consiguiente, la capa de SiO₂ tiene características indeseables. Por otra parte, la región superficial de Si es susceptible de deformarse debido a la diferencia entre los coeficientes de expansión térmica de la capa de SiO₂ y el sustrato semiconductor.

Se emplean también una capa de nitruro de silicio (Si₃N₄) o capas de pasivación múltiples de estos materiales. Estas capas de pasivación tienen suficiente resistencia a la humedad, pero en este caso, estas capas no pueden evitar el efecto de polarización que se origina por las cargas positiva y negativa en la resina protectora exterior. Como resultado, la tensión de perforación de la unión PN se disminuye y se deteriora la fiabilidad por los campos eléctricos exteriores.

En la solicitud de patente de EE.UU. nº 561.532 presentada en 24 de Marzo de 1.975 y cedida al cesionario de la presente, se describe una nueva capa de pasivación para dispositivos semiconductores. Esta capa de pasivación es una capa de silicio policristalino que contiene átomos de oxígeno en el intervalo de 2 a 45% en átomos. Como se describe en la memoria antes mencionada, se obtienen algunas características eléctricas superiores pero estos dispositivos no tienen efecto anti-hu-

medad suficiente.

RESUMEN DEL INVENTO

5

Un objeto de este invento es proporcionar un dispositivo semiconductor que tiene una capa de pasivación para pasivación y estabilización.

10

Otro objeto de este invento es proporcionar un dispositivo semiconductor en el que pueden mejorarse las características anti-humedad.

15

De acuerdo con un aspecto de este invento, una primera capa de pasivación del silicio policristalino que contiene oxígeno se deposita sobre un sustrato de cristal sencillo semiconductor y una segunda capa de pasivación que se selecciona del grupo que consiste en una capa de silicio policristalino que contiene nitrógeno, una capa de Si_3N_4 , una capa de Al_2O_3 y una capa de resina de silicona, que tiene mejor característica anti-humedad que la capa de SiO_2 , se deposita sobre la primera capa de pasivación.

20

25

Puede mejorarse la estabilización de la superficie de un dispositivo semiconductor. Puede obtenerse una resistencia más elevada frente a la humedad y una mayor fiabilidad. Puesto que se emplea una segunda capa de pasivación en un dispositivo semiconductor de acuerdo

13.11.75

con este invento, el dispositivo semiconductor no necesita cerrarse herméticamente en recipiente, pero puede moldearse con resina que no tenga una resistencia tan elevada frente a la humedad.

5

BREVE DESCRIPCION DE LOS DIBUJOS

Este invento se comprenderá mejor a partir de la descripción más detallada siguiente considerada junto a los dibujos que se acompañan en los cuales:

10

La Figura 1A a la Figura 1G son vistas en corte que muestran etapas progresivas de un método para fabricar un transistor de acuerdo con una realización de este invento;

15

La Figura 2 es una vista esquemática de un aparato para fabricar un dispositivo semiconductor de acuerdo con este invento;

La Figura 3 es una vista en corte de un diodo de acuerdo con este invento;

20

Las Figuras 4 y la Figura 5 son gráficas que muestran las características V-I del diodo de la Figura 3 en la cual el espesor de la capa de pasivación varía para comparación;

25

La Figura 6, la Figura 7 y la Figura 8 son gráficas que muestran las características V-I de un dis-

positivo semiconductor convencional, un dispositivo semi
conductor descrito en la solicitud de patente de EE.UU.
nº 561.532 presentada por este cesionario, y un disposi-
tivo semiconductor de acuerdo con este invento;

5

La Figura 9 es una vista en corte de un
tipo complementario MOS-FET de acuerdo con otra realiza-
ción de este invento;

10

La Figura 10 es una vista en corte de un
transistor bipolar de acuerdo con una realización adi-
cional de este invento;

La Figura 11 es una vista en corte de una
modificación de un diodo de acuerdo con este intento; y

La Figura 12 es una gráfica que muestra las
características V-I del diodo de la Figura 11.

15

DESCRIPCION DE LAS REALIZACIONES PREFERIDAS

20

Una realización de este invento tal como
se aplica a un transistor se describirá con referencia a
la Figura 1A a la Figura 8.

Primeramente, se describirá un método para
fabricar el transistor con referencia a la Figura 1A a
la Figura 1G y la Figura 2.

25

Como se muestra en la Figura 1A, se prepa-
ra un sustrato 1 semiconductor de silicio de tipo N, co-

13.11.75

mo región colectorá del transistor. El sustrato semiconductor 1 consta de una región semiconductorá de tipo N con una concentración inferior de impurezas, aproximadamente 10^{15} átomos/cm³, que tiene aproximadamente 100 μ de espesor, y una región semiconductorá de tipo N⁺ con una mayor concentración de impurezas, aproximadamente 10^{20} átomos/cm³, que tiene aproximadamente 150 μ de espesor. Se forma una capa 2 de SiO₂, en forma de una máscara de difusión, con el espesor de aproximadamente 1,0 μ , sobre el sustrato semiconductor 1 por un método de oxidación térmica convencional.

Se forman aberturas para la difusión selectiva en la capa 2 de SiO₂, como se muestra en la figura 1B. Una primera abertura 3 para formar una región base es circular o rectangular. Una segunda abertura 4 para formar una región de anillo que limita el campo o una región de anillo protector es anular. La región de anillo que limita el campo o la región de anillo protector rodea la región base. Las aberturas 3 y 4 pueden formarse por un procedimiento de foto grabado convencional empleando un líquido de ataque químico tal como ácido fluorhídrico. Las impurezas de tipo P se difunden en el sustrato semiconductor 1 a través de las aberturas 3 y 4 para formar simultáneamente una región semiconductorá 5 de tipo P, como región base y una región semiconductorá

tora 6 de tipo P, como región de anillo protector. La profundidad de la difusión o el espesor de las regiones semiconductoras 5 y 6, de tipo P, es aproximadamente de 20μ . Se forma una capa de empobrecimiento adyacente a la unión colectoras Jc entre la región semiconductor 5, de tipo P, y el sustrato semiconductor 1 cuando se aplica una tensión de polarización inversa a la unión colectoras Jc. La región semiconductor 6, de tipo P, está tan lejos de la región base 5 que la capa de empobrecimiento así formada puede extenderse hasta la región semiconductor 6, de tipo P, desde la unión colectoras Jc. Por ejemplo, la región semiconductor 6, de tipo P, está a una distancia de aproximadamente 100μ de la región base 5.

Durante la formación de la difusión de la región base 5 y de la región semiconductor 6, de tipo P, se forman capas de SiO_2 en las aberturas 3 y 4 por oxidación térmica. Como se muestra en la figura 1C, se forma una abertura 7 para formar una región emisora en la capa de SiO_2 que cubre la región base 5 por un método de fotograbado convencional. Las impurezas de tipo N se difunden en la región base 5 a través de la abertura 7 para formar una región emisora 8 a la profundidad de aproximadamente 10μ . La concentración superficial de la impureza es aproximadamente 10^{21} átomos cm^3 en la re

gión emisora 8.

Después de que las regiones difundidas son formadas así en el sustrato semiconductor 1 por el método de difusión, la capa 2, de SiO_2 , se separa del sustrato semiconductor 1 por una operación de ataque químico, como se muestra en la Figura 1D. Con el fin de evitar una difusión innecesaria durante las operaciones de difusión antes mencionadas, la superficie inferior del sustrato semiconductor 1 se cubre con una película protectora adecuada (no mostrada) tal como una película de cera.

Como se muestra en la Figura 1E, se forman dos capas de pasivación sobre la superficie principal del sustrato semiconductor 1. Una primera capa de pasivación 9 es una capa de silicio policristalino que contiene una cantidad previamente determinada de átomos de oxígeno. Y una segunda capa de pasivación 10 es una capa de silicio policristalino que contiene una cantidad previamente determinada de átomos de nitrógeno. Los intervalos preferibles de espesores y de cantidades de átomos de oxígeno y átomos de nitrógeno, para la primera y segunda capas de pasivación 9 y 10 se determina a partir de los resultados de los experimentos. Por ejemplo, el espesor de la primera capa 9 de silicio policristalino es de aproximadamente $5.000 \overset{\circ}{\text{A}}$ y la cantidad con-

tenida de oxígeno de ella es de aproximadamente 15% en átomos. Y el espesor de la segunda capa 10 de silicio policristalino es de aproximadamente 2.000 Å y la cantidad contenida de nitrógeno de ella es de aproximadamente 50% en átomos. La primera y segunda capas de pasivación 9 y 10 se forman sucesivamente sobre el sustrato semiconductor 1 por un aparato mostrado en la Figura 2. Los detalles de la formación se describirán a continuación.

10 A continuación, se describirá un método para formar electrodos en las capas de pasivación 9 y 10. Una capa 11, de SiO_2 , que es resistente al ácido pirofosfórico como líquido de ataque químico, se forma sobre la capa 10, de silicio policristalino, como una máscara de ataque químico para la segunda capa 10 de silicio policristalino. Se forman las aberturas 12 y 13 en la capa 11 de SiO_2 que cubre la región base 5 y la región emisora 8, por un método de fotograbado convencional, como se muestra en la Figura 1F. La segunda capa de silicio policristalino 10 y sucesivamente la primera capa 9 de silicio policristalino subyacente a las aberturas 12 y 13 son atacadas químicamente empleando la capa 11 de SiO_2 como máscara. Puesto que la primera capa 9 de silicio policristalino puede atacarse químicamente también por una solución mixta de ácido fluorhídrico y

ácido nítrico, puede cambiarse el líquido de ataque químico en la mitad de la operación de ataque químico. Cuando la cantidad contenida de átomos de nitrógeno es más pequeña en la segunda capa 10 de silicio policristalino, tanto la segunda capa 10 de silicio policristalino como la primera capa 9 de silicio policristalino pueden ser atacadas químicamente de modo continuo con la misma solución mixta de ácido fluorhídrico y ácido nítrico, en cualquier caso, una máscara de ataque químico tal como la capa 11 de SiO_2 no debería cambiarse sustancialmente por un líquido de ataque químico usado para atacar químicamente la primera y segunda capas 9 y 10 de silicio policristalino. La capa 11 de SiO_2 , usada, como máscara de ataque químico no necesita separarse después que son atacadas químicamente la primera y segunda capas 9 y 10 de silicio policristalino. También es preferible una construcción de 3 capas. Cuando la construcción de tres capas consta de la primera capa 9 de silicio policristalino que contiene átomos de oxígeno, la segunda capa 10 de silicio policristalino que contiene átomos de nitrógeno y la capa 11 de SiO_2 , como tercera capa de pasivación cubre las partes expuestas de las uniones PN, y los electrodos y conductores externos están dispuestos sobre la construcción de las tres capas, puede obtenerse un dispositivo semiconductor que tiene una estabilidad y fiabilidad



bilidad mejorada y particularmente una tensión de perforación superior.

Después que son atacadas químicamente la primera y segunda capas 9 y 10 de silicio policristalino a través de las aberturas 12 y 13, el material de electrodo tal como aluminio se deposita en forma de vapor sobre la capa 11 de SiO_2 y las partes expuestas de la región base 5 y la región emisora 8. El material de electrodo depositado es atacado químicamente hasta un diseño previamente determinado para formar un electrodo base 14 y un electrodo emisor 15, como se muestra en la Figura 1G. Además, el material de electrodo se deposita en forma de vapor sobre la superficie inferior del sustrato semiconductor 1 para formar un electrodo colector 16. El elemento semiconductor de la figura 1G es moldeado de modo hermético o cerrado de modo hermético en recipiente. Así, se produce un dispositivo transistor.

A continuación, se describirá un método para formar las capas de pasivación antes mencionadas sobre el sustrato semiconductor 1 con referencia a la Figura 2. El aparato de la Figura 2 se emplea normalmente para un método de deposición química de vapor. Un horno del aparato está conectado a varios depósitos 21, 22, 23 y 24 para alimentar gases previamente determinados a través de válvulas y de medidores de caudal adecuados. El

horno 20 contiene el sustrato semiconductor 25 como se muestra en la Figura 1D. El sustrato semiconductor 25 es calentado a la temperatura de aproximadamente 650°C por un calentador que rodea al horno 20. La temperatura de aproximadamente 650°C es para el caso de que se emplee mono-silano SiH_4 como fuente de suministro de silicio. Cuando se emplea cualquier otro gas de silano como fuente de suministro de silicio, la temperatura de calentamiento se determina en consideración a la temperatura de reacción del gas. Se alimenta al horno 20 el mono-silano SiH_4 desde el primer depósito 21, óxido de nitrógeno, por ejemplo, monóxido de dinitrógeno N_2O desde el segundo depósito 22, amoníaco NH_3 desde el tercer depósito 23 y nitrógeno gaseoso N_2 como gas vehículo desde el cuarto depósito 24, respectivamente. En este caso un gas inerte que contiene 5% de mono-silano SiH_4 se alimenta al horno 20 desde el depósito 21.

El mono-silano SiH_4 y el monóxido de dinitrógeno N_2O son alimentados sobre el sustrato semiconductor 25 junto con el gas vehículo para la formación de la primera capa 9 de pasivación mostrada en la Figura 1E. La concentración de oxígeno en la capa 9 de silicio policristalino producida se determina por la relación de flujo de N_2O a SiH_4 . En esta realización, la relación de flujo de N_2O a SiH_4 es aproximadamente 1/6 y se forma la

capa 9 de silicio policristalino que contiene aproximadamente 15% en átomos de oxígeno. En lugar de N_2O puede emplearse NO_2 o NO para suministrar oxígeno en la capa de silicio policristalina. El caudal de NO_2 o NO puede controlarse fácilmente para obtener la concentración preferible de oxígeno.

Con el fin de formar de modo continuo la segunda capa 10 de silicio policristalino sobre la primera capa 9 de silicio policristalino, se alimenta amoníaco NH_3 en lugar de monóxido de dinitrógeno N_2O .

La segunda capa 10 de silicio policristalino se desarrolla a la misma temperatura $650^{\circ}C$ que la primera capa 9 de silicio policristalino. La concentración del átomo de nitrógeno en la capa de silicio policristalino desarrollada 10 se determina por la relación de flujo de NH_3 a SiH_4 . En esta realización, la relación de flujo de NH_3 a SiH_4 es aproximadamente 100/30 para la formación de la segunda capa 10 de silicio policristalino.

Es preferible que las capas 9 y 10 de pasivación cubran toda las partes expuestas de las uniones PN en el sustrato semiconductor 1 del dispositivo transistor como se muestra en la Figura 1G. Todas las partes expuestas de la unión colectora Jc entre la región colectora 1 y la región base 5, la unión emisora Je entre la re-

gión emisora 8 y la región base 5 y la unión auxiliar Jr entre la región colectoradora 1 y la región semiconductoradora 6 de tipo P anular, están cubiertas directamente con la capa 9 de silicio policristalino como primera capa de pasivación. Particularmente, se requiere que la parte expuesta de la unión colectoradora Jc, que está polarizada de modo inverso en la operación, esté cubierta con la capa 9 de silicio policristalino. Cuando la región semiconductoradora 6 de tipo P se forma como anillo protector para el transistor que tiene mayor tensión de perforación, como se muestra en la Figura 1G, la capa 9 de silicio policristalino es tan ancha como para cubrir no sólo la parte expuesta de la unión colectoradora Jc, sino también la zona extendida de la capa de empobrecimiento formada cuando la unión colectoradora Jc se polariza de modo inverso, principalmente la superficie superior de la región semiconductoradora 6 de tipo P, y la zona total entre la región colectoradora 5 y la región semiconductoradora 6 de tipo P. La parte expuesta de la unión emisora Je, puede estar cubierta directamente con una capa de SiO₂ normal. Sin embargo, en ese caso, las etapas de fabricación se aumentan más o menos. La capa 10 de silicio policristalino como la segunda capa de pasivación es al menos tan ancha como para cubrir la capa 9 de silicio policristalino como la primera capa de pasivación.

El espesor T_1 de la capa 9 de silicio policristalino está preferiblemente en el intervalo de $0,1 \mu \leq T_1 \leq 2,0 \mu$. Se demostró que las características de la corriente inversa después del tratamiento térmico se deterioran cuando el espesor T_1 es más pequeño que $0,1 \mu$. Se prepararon dos clases de diodos PN 26 diferentes en el espesor T_1 , como se muestra en la figura 3. Las capas 9 y 10 de silicio policristalino cubren las partes expuestas de uniones PN, J en los diodos PN 26.

El espesor T_1 de la primera capa 9 de silicio policristalino de un diodo PN es 500 \AA . Y el espesor T_1 de la primera capa 9 de silicio policristalino del otro diodo PN es 5.000 \AA ($= 0,5 \mu$). Los diodos PN se ensayan después del tratamiento térmico a la temperatura de 1.100°C durante aproximadamente diez minutos en atmósfera de nitrógeno gaseoso seco. Los resultados de los ensayos se muestran en la Figura 4 y la Figura 5. La Figura 4 muestra las características de corriente inversa de un diodo que tiene el espesor T_1 de 500 \AA . Como se muestra en la Figura 4, un voltaje de perforación es aproximadamente 150 V , pero una corriente inversa de saturación de aproximadamente $100 \mu\text{A}$ circula bajo la tensión de perforación. La Figura 5 muestra las características de corriente inversa del otro diodo que tiene el espesor T_1 de 5.000 \AA . Como se muestra en la Figura 5, un voltaje de perforación es apro

ximadamente 150 V y una corriente inversa de saturación circula escasamente bajo la tensión de perforación. Así, una buena característica V-I inversa se obtiene para el diodo PN que tiene el espesor T_1 de 5.000 Å. Puesto que el electrodo no puede formar de modo satisfactorio la capa 9 de silicio policristalino demasiado gruesa, es preferible que el espesor T_1 de la capa 9 de silicio policristalino sea inferior a 2,0 μ .

Es preferible que el tamaño de grano del silicio policristalino esté por debajo de 1.000 Å, por ejemplo, en el intervalo de aproximadamente 100 a 200 Å. Cuando el tamaño del grano es demasiado grande, los electrones son atrapados y almacenados en la capa de silicio policristalino, de modo que aparece un fenómeno de memoria y no puede obtenerse una estabilización suficiente. La temperatura de deposición óptima para la formación de la capa de silicio policristalino que contiene oxígeno y cristales de silicio que tienen los tamaños de grano preferidos está en el intervalo de 600 a 750°C.

Es preferible que la capa 9 de silicio policristalino contenga aproximadamente de 2 a 45% en átomos de oxígeno. Pueden obtenerse buenos resultados para la capa de silicio policristalino que contiene oxígeno a dichas concentraciones, en comparación con una capa de SiO_2 convencional como capa de pasivación. Es deseable de

10 a 30% en átomos de oxígeno para obtener un efecto notable. Y es más deseable de 15 a 20% en átomos de oxígeno. Cuando la capa 9 de silicio policristalino contiene una cantidad demasiado pequeña de oxígeno, circulan corrientes de fuga inversas. Y cuando la capa 9 de silicio policristalino contiene una cantidad demasiado grande de oxígeno, la capa 9 de silicio policristalino es casi similar a la capa de SiO_2 .

5

Se describe en la solicitud de patente de EE.UU. nº 561.532 presentada el 24 de Marzo de 1.975 por este cesionario que la capa de silicio policristalino que contiene oxígeno cubre la parte expuesta de la unión PN en el sustrato semiconductor. Sin embargo, el dispositivo semiconductor descrito en dicha solicitud de patente no tenía una resistencia satisfactoria frente a la humedad. Se ha encontrado que puede obtenerse una buena característica V-I inversa cuando una segunda capa de pasivación de acuerdo con este invento se forma sobre una primera capa de pasivación.

15

20

Se preparan tres tipos de diodos para ensayos de comparación de la resistencia frente a la humedad. Los resultados de los ensayos de comparación se muestran en las Figuras 6, Figura 7 y Figura 8 (1). Una capa de SiO_2 se forma térmicamente, con un espesor de aproximadamente $1,0 \mu$, sobre la parte expuesta del pri-

25

mer diodo. Los resultados del ensayo se muestran en la
Figura 6 (2). Una capa de silicio policristalino que
contiene 15% en átomos de oxígeno cubre la parte expues
ta de la unión PN del segundo diodo. Además, se deposi
5 ta una capa de SiO_2 , con un espesor de aproximadamente
 $1,0 \mu$, sobre la capa de silicio policristalino a la tem
peratura de 480°C por el método CVD. Los resultados del
ensayo se muestran en la Figura 7 (3). De acuerdo con
este invento, la primera capa de silicio policristalino
10 que contiene oxígeno cubre la parte expuesta de la unión
PN del tercer diodo. Además, la segunda capa de silicio
policristalino que contiene nitrógeno se deposita sobre
la primera capa de silicio policristalino. El tercer
diodo así formado es el mismo que el diodo mostrado en
15 la Figura 3. Los resultados del ensayo se muestran en
la Figura 8.

Los diodos se expusieron a vapor de agua
de 100°C durante más de 5 minutos, respectivamente. Las
características V-I de los diodos se midieron antes de
20 la exposición al vapor de agua (A) y después de la expo
sición a vapor de agua (B). Como se muestra en la Figura
6, una corriente inversa mayor de $10 \mu\text{A}$ circulaba en el
primer diodo que había sido expuesto al vapor de agua du
rante 15 minutos. Como se muestra en la Figura 7, se des
25 plaza la curva característica V-I en aproximadamente 150 V

para el segundo diodo que había sido expuesto al vapor de agua durante aproximadamente 30 minutos. Aunque aumentó la tensión de perforación del segundo diodo después de la exposición al vapor de agua, la cantidad desplazada no era constante. Tal desplazamiento no es deseable desde el punto de vista de la estabilidad y la fiabilidad. Como se muestra en la figura 8, una curva característica V-I del tercer diodo de acuerdo con este invento casi no cambió después de la exposición al vapor de agua durante 2 horas. La condición de empleo práctico de un dispositivo semiconductor no es tan severa como las condiciones de ensayo antes descritas para los diodos. Se demuestra por los ensayos de comparación antes descritos que el elemento semiconductor de acuerdo con este invento tiene una elevada resistencia frente a la humedad.

La capa 10 de silicio policristalino como la segunda capa de pasivación se forma por el aparato mostrado en la figura 2. Principalmente, se forma normalmente a partir de mono-silano SiH_4 y amoníaco NH_3 por el método CVD. Hay intervalos preferibles de espesor T_2 y de contenido de nitrógeno también para la capa 10 de silicio policristalino. Se requiere que el espesor T_2 de la capa 10 de silicio policristalino sea superior a 1.000 \AA , con el fin de obtener una resistencia suficiente frente

a la humedad y evitar que existan agujeros pequeños en la capa 10 de silicio policristalino. Es preferible que el espesor global T_1+T_2 de las dos capas 9 y 10 de silicio policristalino sea menor de 2μ , puesto que hay la posibilidad de que los electrodos no puedan formarse con éxito sobre las capas 9 y 10 de silicio policristalino atacadas químicamente que tienen el espesor T_1+T_2 superior a 2μ . Y se requiere que la capa 10 de silicio policristalino contenga más de 10% en átomos de nitrógeno. Por debajo de 10% en átomos de nitrógeno ocurre a menudo perforación dieléctrica sobre la superficie de la capa 10 de silicio policristalino. Cuando se aplica un voltaje elevado a través de un electrodo base y un electrodo colector dispuestos adyacentes uno al otro sobre la capa 10 de silicio policristalino que contiene por debajo de 10% en átomos de nitrógeno, existe la posibilidad de que el electrodo base y el electrodo colector estén en cortocircuito y exista descarga a través de la superficie de la capa 10 de silicio policristalino. La propiedad del silicio policristalino que contiene una cantidad demasiado pequeña de nitrógeno es casi similar a la de un silicio policristalino puro que no tiene suficiente resistencia frente al agua. El silicio policristalino puede contener una cantidad demasiado grande de nitrógeno. Incluso el silicio policristalino

que contiene nitrógeno en la concentración casi similar a Si_3N_4 tiene una suficiente resistencia frente al agua. Una temperatura de calentamiento óptima para la formación de la capa de silicio policristalino que contiene nitrógeno está en el intervalo de 600°C a 800°C. Es prácticamente permisible que la temperatura de calentamiento sea casi la misma que la temperatura de calentamiento para la formación de la capa de silicio policristalino que contiene oxígeno.

5

Puede formarse una capa de Si_3N_4 en lugar de la capa de silicio policristalino que contiene nitrógeno como la segunda capa de pasivación. Una temperatura de calentamiento para la formación de la capa de Si_3N_4 puro se ajusta a poco más de la temperatura de calentamiento para la formación de la capa de silicio policristalino que contiene nitrógeno.

10

15

A continuación, se describirá otra realización de este invento con referencia a la Figura 9. Esta realización se aplica a un MOS-FET.

20

Como se muestra en la Figura 9, se forman un MOS-FET 31 de tipo de canal N, y un MOS-FET 32 de tipo de canal P, en un sustrato semiconductor de silicio 30 de tipo N común. Se forma una región semiconductor 33 de tipo P semejante a una isla en el MOS-FET 31 de tipo de canal N. Además, se forman una región 34 de entrada de tipo N y

25

una región 35 de salida de tipo N en la región semicon-
ductora 33 de tipo P. Un electrodo de entrada 36 y un
electrodo de salida 37, de material metálico tal como
aluminio, se depositan sobre la región de entrada 34 y
la región de salida 35, respectivamente. Por otro lado,
se forman una región de entrada 38 de tipo P y una re-
gión de salida 39 de tipo P en el MOS-FET 32 de tipo de
canal P. Un electrodo de entrada 40 y un electrodo de
salida 41 de material metálico tal como aluminio, se de-
positan sobre la región de entrada 38 y la región de sa-
lida 39 respectivamente. Las capas de aislamiento de man-
do 42 y 43 de óxido de silicio SiO_2 cubren las zonas en-
tre la región de entrada 34 y la región de salida 35 y en-
tre la región de entrada 38 y la región de salida 39, res-
pectivamente. Y los electrodos de mando 44 y 45 se forman
sobre las capas de aislamiento de mando 42 y 43, respecti-
vamente. La capa 9 de silicio policristalino como primera
capa de pasivación, que contiene una cantidad previamente
determinada de átomos de oxígeno y que tiene un espesor
previamente determinado, se deposita sobre la superficie
principal del sustrato semiconductor 30. Y la capa 10 de
silicio policristalino como segunda capa de pasivación,
que contiene una cantidad previamente determinada de áto-
mos de nitrógeno y que tiene un espesor previamente de-
terminado, se deposita sobre la capa 9 de silicio policris

talino. Las capas 9 y 10 de silicio policristalino son similares a las de una de las realizaciones antes descritas. La capa 9 de silicio policristalino como primera capa de pasivación cubre la parte expuesta de la unión PN, J_I entre la región semiconductor 33 de tipo P y el sustrato semiconductor 30 en el FET 31 de tipo de canal N, y las partes expuestas de las uniones de entrada J_S que definen la región de entrada 34 y 38, y las uniones de salida J_D que definen las regiones de salida 35 y 39 excepto las uniones J_S y J_D formadas en las regiones de mando. La capa 10 de silicio policristalino como segunda capa de pasivación cubre perfectamente la capa 9 de silicio policristalino. La capa 11 de SiO_2 , como máscara de ataque químico formada sobre las dos capas 9 y 10 de silicio policristalino no necesitan quitarse de la misma forma que en el transistor de la Figura 1G. Cuando el electrodo 37 se extiende sobre la capa de aislamiento como en esta realización, es preferible que la capa más superior sea la capa de SiO_2 . Debido a las características eléctricas entre el electrodo 37 y los otros electrodos, y entre el electrodo 37 y el sustrato semiconductor 30 llegan a ser tanto más fiables.

En los dos FET de acuerdo con esta realización, la región de salida 35 de uno de los FET 31 está

conectada eléctricamente a la región de entrada 38 del otro FET 32, y además los electrodos de mando 44 y 45 están conectados eléctricamente uno con el otro. Así, se forma un MOS-FET de tipo llamado complementario como un circuito inversor. Puesto que la primera capa 9 de silicio policristalino cubre la parte expuesta de la unión J_I de tipo PN entre la región semiconductor 33 de tipo P, y la región semiconductor 30 de tipo N y una zona intermedia entre los FET 31 y 32, es posible evitar un canal indeseable debido a una capa de inversión sobre la superficie del sustrato semiconductor. Existe la posibilidad en un MOS-FET de tipo complementario convencional que exista el canal no deseado debido a la capa de inversión. Con el fin de evitar el canal no deseado, se forma una región de difusión o un denominado frenador de canal en la región intermedia entre los FET del MOS-FET de tipo complementario convencional. Dicha región o frenador no se requiere para el MOS-FET de acuerdo con este invento. Por consiguiente, la densidad de integración puede mejorarse en el dispositivo semiconductor de acuerdo con este invento. Cuando se emplean las dos capas de silicio policristalino de acuerdo con este invento para el MOS-FET de tipo complementario, no solamente puede obtenerse una mayor resistencia frente a la humedad, sino también el buen efecto antes descrito.

A continuación se describirá un método para fabricar el MOS-FET de acuerdo con esta realización.

5 Empleado una capa de SiO_2 (no mostrada) como máscara de difusión, la región semiconductor 33 de tipo P, la región de entrada 38 y la región de salida 39 del FET de tipo de canal P, 32, y la región de entrada 34 y la región de salida 35 de FET de tipo de canal N, 31, se forman subsiguientemente en el sustrato semiconductor 30 por un método de difusión convencional. A 10 continuación, la capa de SiO_2 (no mostrada) se separa del sustrato semiconductor 30. Y se forma la primera capa 9 de silicio policristalino sobre el sustrato semiconductor 30 y se forma subsiguientemente la segunda capa 10 15 de silicio policristalino sobre la primera capa 9 de silicio policristalino por el método CVD antes descrito. Las aberturas se hacen en las capas 9 y 10 de silicio policristalino por encima de las regiones de mando. Las 20 capas delgadas de mando de aislamiento 42 y 43 se forman en las aberturas por el método de oxidación térmica en el cual el elemento semiconductor se trata a una temperatura elevada tal como a 1.100°C . En este caso, el espesor de las capas de pasivación podría considerarse, que se ha discutido antes con referencia a las Figuras 4 25 y 5. A continuación, se hacen aberturas en las capas de

silicio policristalino y se forman en las aberturas los
electrodos de entrada, los electrodos de salida y los
electrodos de mando.

5 A continuación, se describirá una rea-
lización adicional de este invento con referencia a la
Figura 10. Esta realización se aplica a un circuito in-
tegrado bipolar.

10 Los transistores 51 y 52 de tipo NPN se
forman en el sustrato semiconductor 50 de silicio de ti-
po P, como en un circuito integrado convencional. Por el
método antes descrito, la capa 9 de silicio policristali-
no como primera capa de pasivación, que contiene una can-
tidad previamente determinada de átomos de oxígeno y que
15 tiene un espesor previamente determinado se deposita so-
bre la superficie principal del sustrato semiconductor
50, la capa 10 de silicio policristalino como segunda ca-
pa de pasivación, que contiene una cantidad previamente
determinada de átomos de nitrógeno y que tiene un espe-
sor previamente determinado se deposita sobre la capa 9
20 de silicio policristalino y además la capa 11 de SiO_2
se deposita sobre la capa 10 de silicio policristalino.
Las capas 9 y 10 de silicio policristalino cubren las
partes expuestas de las uniones J de tipo PN, formadas
por las regiones semiconductoras 53 de tipo P para sepa-
25 ración de los elementos semiconductores y las regiones se

miconductoras 54 y 55 de tipo N semejantes a islas. Las uniones J de tipo PN se polarizan de modo inverso en el funcionamiento de los elementos semiconductores. Las capas 9 y 10 de silicio policristalino cubren también las partes expuestas de las uniones colectoras y uniones emisoras, como en el transistor de la Figura 1G.

Se requieren en todos los dispositivos semiconductores de la Figura 1G, Figura 3, figura 9 y Figura 10 que la capa 9 de silicio policristalina como primera capa de pasivación cubra al menos la parte expuesta de una de las uniones PN polarizadas inversamente formada en el sustrato semiconductor y la capa 10 de silicio policristalino como segunda capa de pasivación cubre casi la superficie total de la capa 9 de silicio policristalino como primera capa de pasivación. Las dos capas 9 y 10 de silicio policristalino cubren la totalidad de la superficie principal del sustrato semiconductor excepto las partes sobre las cuales se depositan los electrodos metálicos, cuando se miran desde arriba los elementos semiconductores de las realizaciones antes descritas.

Aunque se han descrito los dispositivos semiconductores de estructura plana en el que los extremos de las uniones PN están expuestos sobre la superficie principal del sustrato semiconductor, este invento

puede aplicarse a dispositivos semiconductores de tipo mesa.

5 En lugar de la capa 10 de silicio policristalino como segunda capa de pasivación que contiene nitrógeno, puede emplearse en las realizaciones antes descritas cualquier otro material que tenga mejores características anti-humedad que el SiO_2 , por ejemplo, alúmina, resina de silicona o resina epoxídica. Por ejemplo, como se muestra en la Figura 11, una capa 60
10 de resina de silicona se aplica como revestimiento sobre la primera capa 9 de silicio policristalino, en lugar de la segunda capa 10 de silicio policristalino en el diodo 26 de la figura 3. Puesto que la capa 60 de resina de silicona funciona como una capa de aislamiento estable, la tensión de perforación del diodo después
15 de ser revestido es mucho mayor que el del diodo antes de ser revestido. En la Figura 12, una curva A muestra las características V-I del diodo antes de ser revestido y la curva B las características V-I del diodo después de ser revestido. Además, el diodo después de ser
20 revestido presenta también buenas características en un ensayo de fiabilidad (120°C, 700 VDC).

25 En el método de fabricación, las aberturas pueden hacerse en las capas de silicio policristalino por un método de ataque químico con plasma en el cual una más

10 11 12 13 14 15 16 17 18 19 20 21 22 23 24 25 26 27 28 29 30 31 32 33 34 35 36 37 38 39 40 41 42 43 44 45 46 47 48 49 50 51 52 53 54 55 56 57 58 59 60 61 62 63 64 65 66 67 68 69 70 71 72 73 74 75 76 77 78 79 80 81 82 83 84 85 86 87 88 89 90 91 92 93 94 95 96 97 98 99 100

5 cara de reserva aplica como revestimiento sobre las capas de silicio policristalino. El SiO₂ no necesita siempre crecer epitaxialmente sobre las capas de silicio policristalino, en forma de máscara. Por el método de ataque químico con plasma, puede obtenerse una capa de pasivación estable a un coste inferior.

10 La presente solicitud que corresponde a la presentada en Japón el 26 de Octubre de 1974, bajo el Nº 123765/74, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

15 REIVINDICACIONES

20 Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

25 1a.- Un dispositivo semiconductor que com-

13.11.75

prende un sustrato de cristal único semiconductor que tiene al menos dos regiones de tipo de conductividad opuesta que forman una unión entre ellas que termina en una superficie de dicho sustrato, caracterizado porque el dispositivo semiconductor comprende una primera capa de pasivación de silicio policristalino que contiene oxígeno formada sobre una superficie de dicho sustrato y una segunda capa de pasivación que se selecciona del grupo que consiste en una capa de silicio policristalino que contiene nitrógeno, una capa de Si_3N_4 , una capa de Al_2O_3 y una capa de resina de silicona, formada sobre una superficie de dicha primera capa de aislamiento.

2ª.- Un dispositivo semiconductor de acuerdo con la reivindicación 1ª, caracterizado porque está formada al menos una unión en dicho sustrato de cristal único semiconductor y dicha unión está polarizada de modo inverso durante el funcionamiento.

3ª.- Un dispositivo semiconductor de acuerdo con la reivindicación 1ª, caracterizado porque están formadas al menos una primera unión que se polariza de modo inverso durante el funcionamiento y al menos una segunda unión que se polariza de modo directo durante el funcionamiento de dicho sustrato cristalino único semiconductor, y estando revestida la parte expuesta de dicha primera unión por dicha primera capa de pasivación y dicha segunda capa de pasivación, y estando revestida la parte expuesta de dicha segunda unión por

una capa de dióxido de silicio.

4ª.- Un dispositivo semiconductor de acuerdo con la reivindicación 1ª, caracterizado porque comprende una primera capa de pasivación de silicio policristalino que contiene oxígeno en el intervalo de 2 a 45% en átomos formada sobre una superficie de dicho sustrato, y una segunda capa de pasivación que es seleccionada del grupo que consiste en silicio policristalino que contiene nitrógeno, Si_3N_4 , Al_2O_3 y resina de silicona formada sobre una superficie de dicha primera capa de pasivación.

5ª.- UN DISPOSITIVO SEMICONDUCTOR.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y para los fines que se han especificado.

Esta Memoria consta de treinta y dos hojas escritas a máquina por una sola cara.

Madrid, 23.AGO.1976

P.A.

Alberto de Esteban
Por Poder.

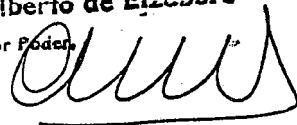


FIG.1A

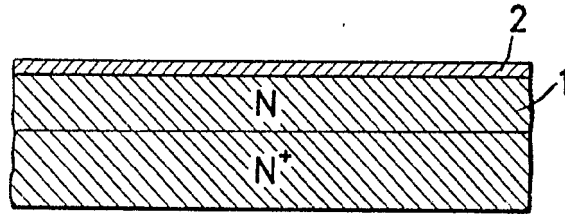


FIG.1B

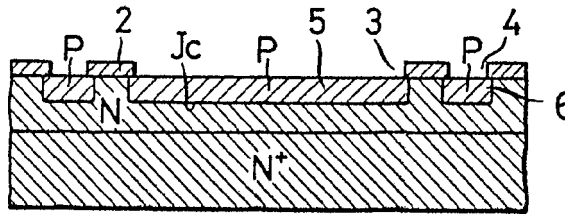


FIG.1C

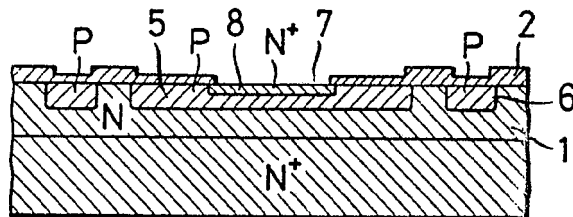
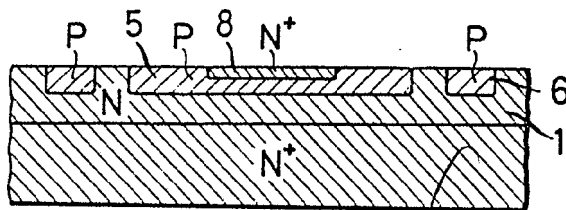


FIG.1D



Alberto de Elizuru
Por Poder.

FIG.1E

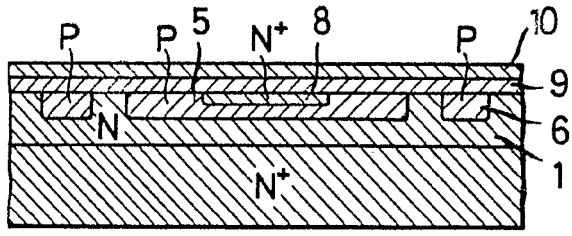


FIG.1F

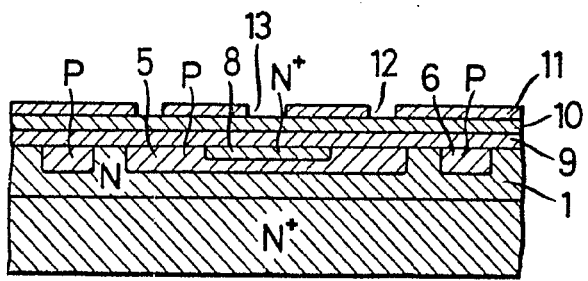


FIG.1G

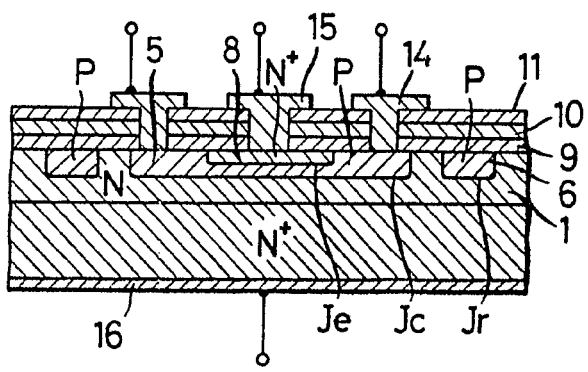
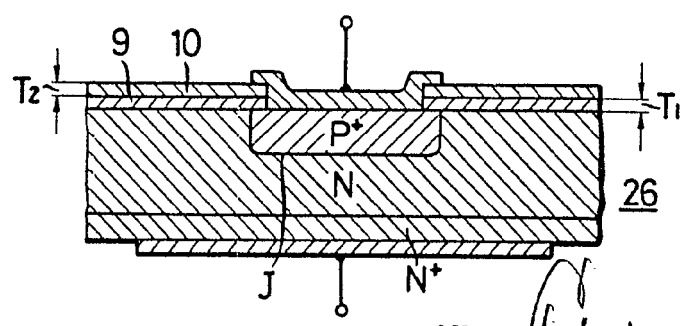


FIG. 3



Alberto de Almeida
11/11/82

FIG.2

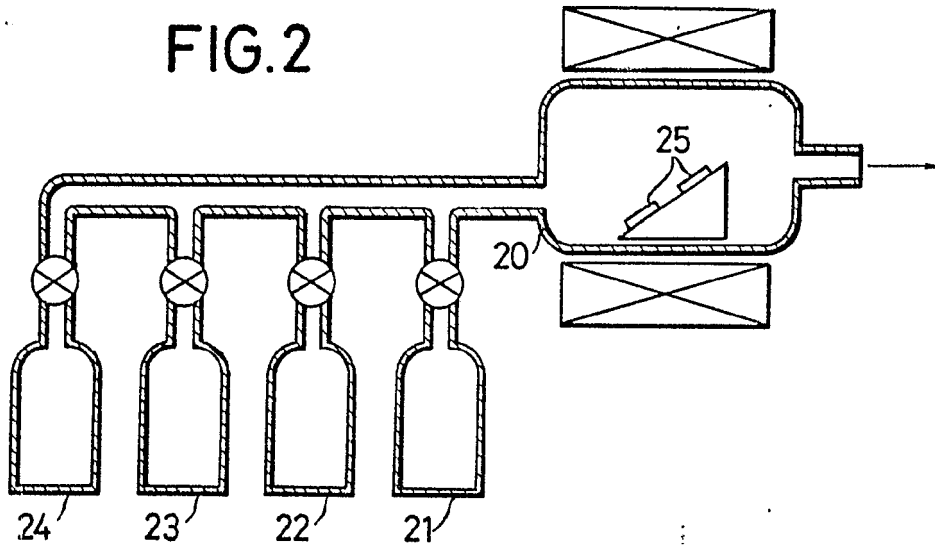


FIG.4

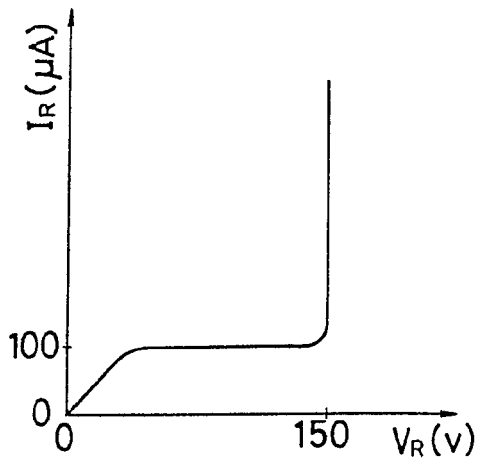
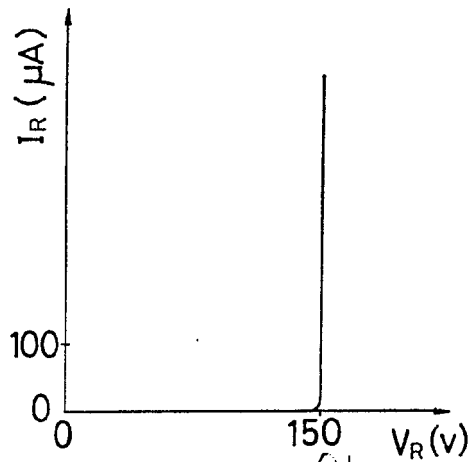


FIG.5



Alberto de Elizabet
Por Poder. *[Signature]*

FIG.9

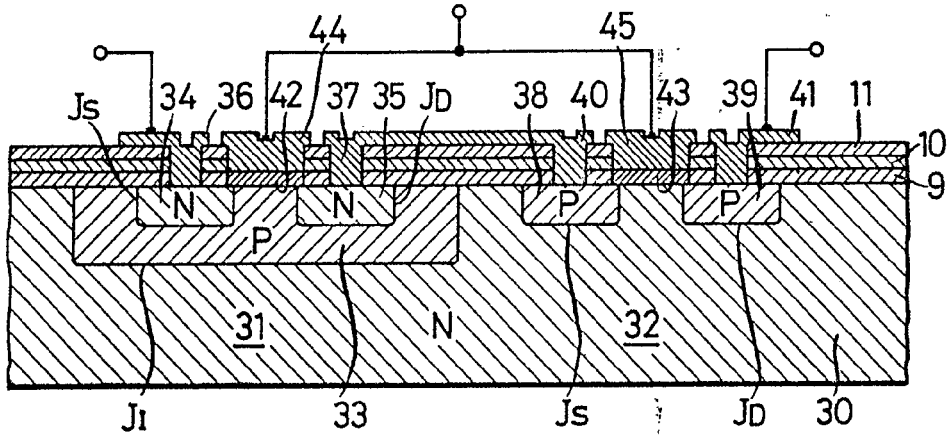


FIG.10

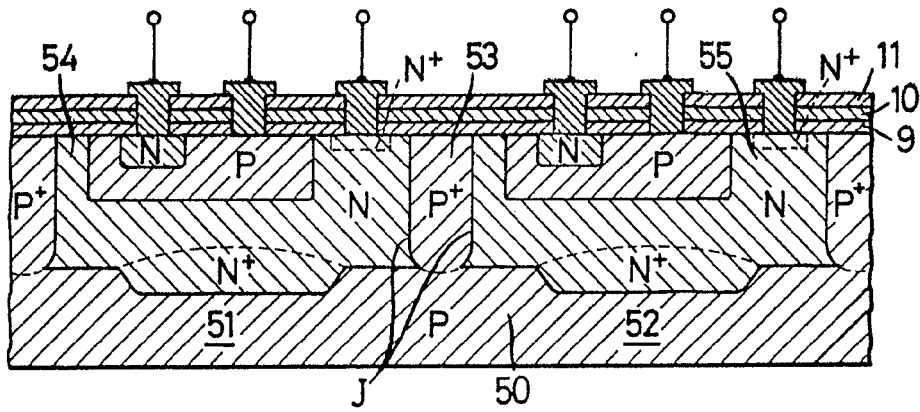
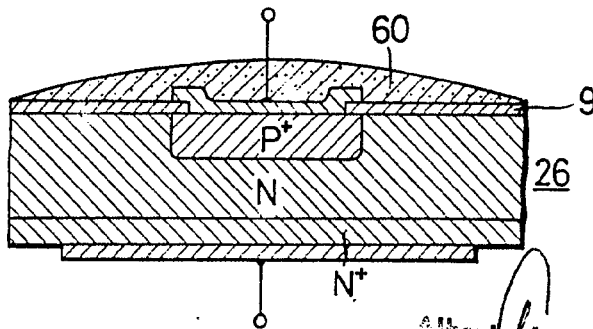


FIG.11



Alberto de Elia
Per Federa

FIG.6

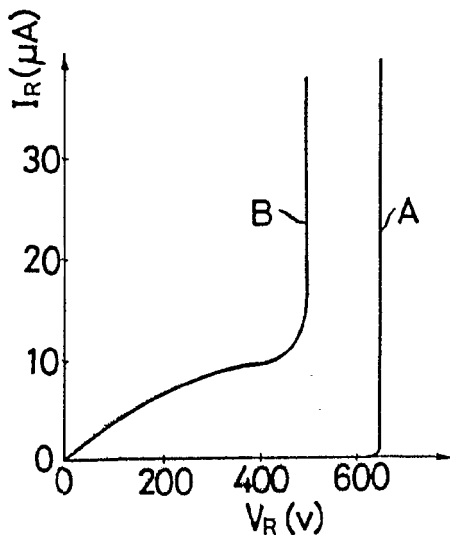


FIG.7

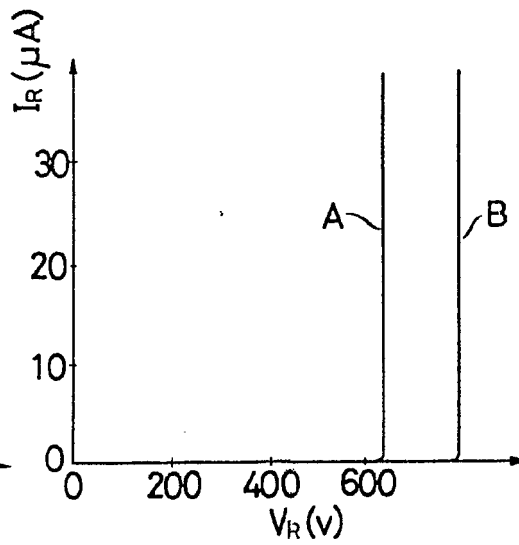


FIG.8

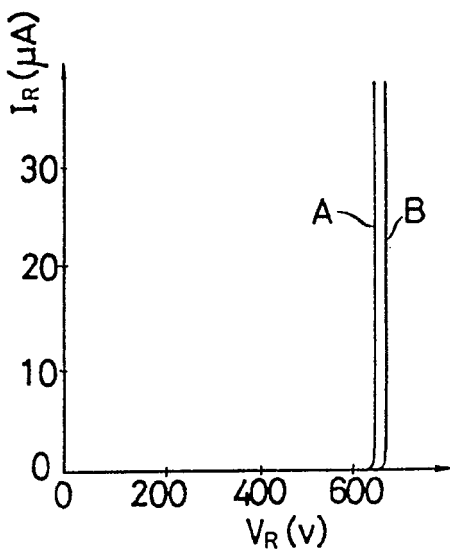
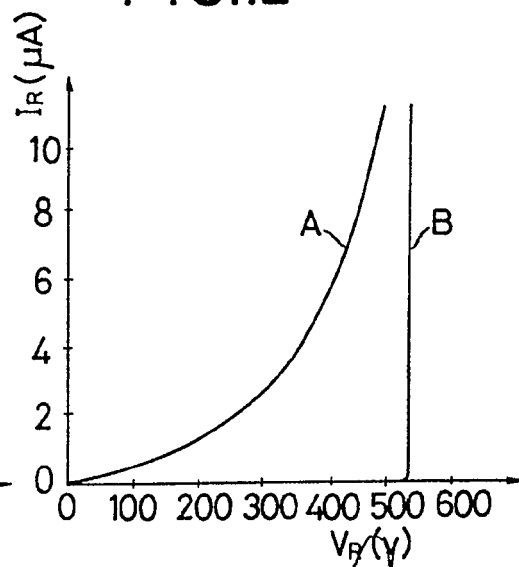


FIG.12



Alberto de Eizaguru
Por Poder.