

441599



PATENTE DE INVENCION

Que por veinte años, para España y su Provincia de Ultramar se solicita, a favor de COMPAÑIA TELEFONICA NACIONAL DE ESPAÑA, con domicilio en Madrid, Avda. Jose Antonio, 28, por: "EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION"

Memoria Descriptiva

5 La presente demanda de canales telegráficos o de datos de baja velocidad, que es necesario transmitir con un aprovechamiento óptimo de medios en una red de transmisión de datos, ha sido el fundamento de utilizar un equipo basado en la multiplexación por división en el tiempo (M.D.T.) que es el objeto de la Patente.

10 El equipo permite multiplexar 30 señales asíncronas de 200 baudios más un canal de sincronismo a un régimen total de 64 kb/s con objeto de utilizar como medio de transmisión el intervalo de tiempo de un sistema MIC de



30+2 circuitos o un grupo de 12 canales de un sistema M.D.F. mediante un "modem de grupo".

15 El procedimiento que utiliza el equipo consiste en convertir las señales asíncronas de baja velocidad en señales síncronas de mayor velocidad utilizando la codificación de los instantes en que ocurren las transiciones de las señales a transmitir mediante una cuantificación en el tiempo.

30 Codificadas las señales y al ser síncronas, la siguiente etapa es multiplecarlas en el tiempo con un sincronismo de 8 bits. En la recepción las señales son demultiplexadas y decodificadas una vez detectado el sincronismo de trama.

Esta filosofía permite la total transparencia del equipo.

25 A continuación, se hará una detallada descripción del sistema que se alude, con referencia a los planos que se acompañan, en los que se representa a simple título de ejemplo, no limitativo, una forma preferente de realización, susceptible de todas aquellas variaciones de detalle que no supongan una alteración fundamental en las características  
30 esenciales del mismo.

En dichos planos se ilustra:

Figura 1.- Es un diagrama de bloques del sistema H1

35 Figura 2.- Descripción de los bloques 1 y 26 de la figura 1 en forma de sub-bloques H2, y su correspondiente representación lógica H3.

Figura 3.- Descripción de los bloques 2 y 37 de la figura 1 en forma de sub-bloques H4 y su correspondiente representación lógica H-5 y 6.

40 Figura 4.- Descripción del bloque 3 de la figura 1 en forma de sub-bloques H7 y su representación lógica H8.

Figura 5.- Descripción de los bloques 4 y 33 de la figura 1, en forma de sub-bloques H9 y su correspondiente representación lógica H 10.

45 Figura 6.- Descripción del bloque 3 D de la figura 1 en forma de sub-bloques H 11, y su correspondiente representación lógica H 12 y 13.

Figura 7.- Descripción de los bloques 35 y 40 de la figura 1 en forma de sub-bloques H 14 y su correspondiente representación lógica H 15.

50 Figura 8.- Descripción del bloque 38 de la figura 1 en forma de sub-bloques H 16 , y su correspondiente representación lógica H 17.

Figura 9.- Descripción del bloque 39 de la figura 1 en forma de sub-bloques H 18 y su correspondiente representación lógica H 19 y 20.

55 Figura 10.- Descripción del bloque 41 de la figura 1, en forma de sub-bloques H 21 y su correspondiente representación lógica H 22.

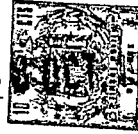
60 Figura 10 BIS.- Descripción del bloque 41 bis de la figura 1 en forma de sub-bloques H 23 y su correspondiente representación lógica H 24.

Figura 11.- Descripción de los bloques 42-71 de la figura 1 en forma de sub-bloques H 25 y su correspondiente representación lógica H 26.

65 Figura 12.- Descripción del bloque 72 de la figura 1 en forma de sub-bloques H 27 y su correspondiente representación lógica H 28.

En la figura 1 se representan los diferentes bloques que forman el equipo:

70 -Bloques 4-33 representan los codificadores de canal.



-Bloque 3 es el contador que genera los estados de codificación.

-Bloques 2 y 37 enganche del reloj de 64 KHz de transmisión y recepción respectivamente.

75

-Bloque 34 multiplexor.

-Bloque 39 demultiplexor.

-Bloque 39 demultiplexor.

-Bloque 38, contador de estados de decodificación.

-Bloque 41 detector de sincronismo de trama.

80

-Bloques 42-71 decodificadores de canal.

-bloques 35 y 40, detectores de fallo de datos transmitidos o recibidos respectivamente.

-Bloques 1 y 36, detectores de fallo de reloj de transmisión o recepción respectivamente.

85

-Bloque 72, alarmas y reposición general.

-El funcionamiento general del equipo es el siguiente:

Las señales de datos una vez convertidas a nivel lógico TTL en los adaptadores de entrada telegráfica ( $\pm 20$  mA,  $\pm 60$  V) ó V 24 ( $\pm 12$  V), atacan los circuitos codificadores de canal, donde los datos son tratados con el procedimiento de codificar las transiciones mediante un reloj de 6 KHz, extraído de otro de 64 KHz, que está sincronizado en fase, mediante un PLL, con el suministrado por el sistema MIC, o "modem de grupo" del mismo valor. Cada canal codificador se transfiere en paralelo a un multiplexador (registros paralelo-serie) donde se extraen los datos multiplexados en serie, incluyendo la señal de sincronismo, al régimen de 64 Kb/s mediante el reloj de 64 KHz.

90

95

El reloj de 6 KHz antes referido actúa sobre el contador de codificación, el cual genera los posibles estados de codi-

100



1975

ficación de los canales de datos.

105

A la entrada del reloj de 64 KHz existe un detector de fallo del mismo con capacidad de actuar un circuito de alarma y significar externamente el fallo. El fallo del reloj produce la degeneración del sistema.

Paralelamente a la salida de los datos multiplexador a línea existe un detector de fallo de datos transmitidos que también se conecta al bloque de alarmas.

110

Los datos se transmiten por medio de un intervalo de tiempo MIC o un modem de grupo básico adecuado para este fin.

115

Los datos en recepción se demultiplexan, una vez identificados los bits de sincronismos, realizándose a continuación la transferencia de datos serie-paralelo a cada decodificador de canal donde se comparan con los estados generados por el contador de decodificación obteniéndose los datos transmitidos que mediante los interfaces de salida se convierten en niveles TTL a su estado original.

120

En recepción existen también detectores de fallo de reloj y datos con finalidades similares a los de transmisión.

Los diferentes bloques que constituyen el equipo a su vez están integrados por subbloques parciales que se detallan a continuación.

125

-Bloques 1 y 36, detectores de fallo de reloj en transmisión y recepción, están constituidos por 9 subbloques como se detallan en la figura 2.

130

En el subbloque número 1 se detectan los posibles fallos o ausencias del reloj de 64 KHz por diferenciación de las subidas del mismo. Esta diferenciación se consigue con los circuitos C.I.1 y C.I.2, que disparan al C.I.3, de modo



que se tenga un "1" si no hay fallo de reloj y un "0" en caso contrario.

135 El subbloque 2 actúa como un oscilador local de 64 KHz. Este oscilador, que en esencia está constituido por el C.I.2, es disparado o inhibido por la salida del subbloque anterior, oscilando cuando se tiene fallo de reloj,

140 El subbloque 3 es un temporizador que nos permite determinar si en un periodo prefijado han ocurrido o no fallos superiores a un valor preestablecido (variable a voluntad de 1 a 16). En caso de superación de este valor se actuaría una alarma. Está constituido por el C.I.15, que actúa como monoestable de tiempo muy largo, y los p12, c13, y c14 que determinan este tiempo.

145 El subbloque 4 realiza el control del circuito general, está constituido por los circuitos C.I.2 y C.I.6 que inhiben el paso de los impulsos del reloj local cuando se actúa la alarma anteriormente referida.

150 El subbloque 5, formado por el C.I.17, cuenta los fallos habidos en el tiempo que se ha prefijado. El subbloque 6 es el decodificador el número de fallos habidos en el tiempo prefijado, se realiza con los C.I.18 y C.I.16 que configuran la lógica de decodificación.

155 El subbloque 7 lleva a cabo por medio del C.I.1 la inversión de los impulsos del oscilador local, para a continuación insertarlos en los lugares del reloj de 64 KHz en que ha habido fallos, inferiores al valor preestablecido. Esto último se realiza con el C.I.19.

160 El subbloque 8 que comprende los circuitos C.I.18, C.I.19, y C.I.20, sirve para poner a cero el contador C.I.17 una vez que se ha totalizado el periodo prefijado por



el temporizador.

el subbloque 9(C.I.20) inhibe el reloj compuesto con impulsos del oscilador local y 64 KHz cuando se actúa la alarma.

165

-Bloques 2 y 37 con los de enganche del reloj de 64 KHz del lado transmisión y recepción respectivamente(figura 3).

170

Entre los dos bloques, funcionalmente, no existe más distinción que la inclusión en el 37 de un subbloque adicional, el 3, que es un paso de amplificación necesario para poder actuar los registros de desplazamiento, que constituyen en recepción, el demultiplexor.

El bloque 2 está formado por los subbloques 1 y 2.

175

El primero es un PLL en el que la frecuencia del VCO engancha en fase y frecuencia con el reloj de 64 KHz. El segundo es un divisor para conseguir la frecuencia de muestreo de 6 KHz.

- El bloque 3(figura 4), contador de estados de codificación, está integrado básicamente por cinco subbloques.

180

El número 1 es un contador de 16 estados formado por el C.I.62.

El número dos es la lógica de realimentación del contador con objeto de que cuente solamente 12 estados del 2 al 13 y además cargue siempre el estado 2 como inicio del mismo, este subbloque está integrado por el C.I.63, C.I.64 y el C.I.65.

185

El subbloque tres mediante los circuitos C.I.63, C.I.68 y C.I.69 genera un impulso cuando se produce el estado 2, cuya misión es sincronizar el comienzo del nuevo cuanto de tiempo originado por el muestreo.

190

Los subbloques 4 y 5, son para dar potencia al impulso 2 y a las salidas del contador del subbloque 1 y están for-



mados por los circuitos C.I.64, C.I.72 y C.I.73, el número cuatro, y por el C.I.64, C.I.75, C.I.76, C.I.77, y C.I.78, el número 5.

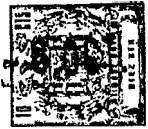
195 Los Bloques 4-33, constituyen los codificadores de canal y en la figura 5 está representado un codificador integrado por sus correspondientes subbloques. El subbloque 1 está formado por dos circuitos el C.I.85 y el C.I.86 cuya misión es sincronizar los datos con los flancos de bajada del reloj de 6 KHz. El subbloque 2 mediante los C.I.91, 200 y C.I.92 detecta cuando ocurre una transición de los datos.

El subbloque 3 almacena mediante el C.I.93, el estado del contador de estados cuando ocurre una transición.

205 El subbloque 4 constituye el control, formado por el C.I.92, y C.I.96, el cual cada vez que llega un impulso de estado dos genera una de las dos señales que gobiernan el selector de código según haya habido o no transición en cada muestreo. El subbloque 5, selector de código, constituido por los C.I.91, C.I.92, C.I.94, y C.I.97 discrimina mediante las señales de control y la lógica si debe enviar 210 los estados de transición o los fijos.

El subbloque 6 es otra memoria, circuito C.I.98, que transfiere los estados al multiplexor con el impulso de estado 2.

215 -Bloque 34 Multiplexor(figura 5), Este determina en serie la trama de 128 bits comprensiva de las codificaciones de los 30 canales de datos y del patrón de sincronismo.



Está formado por tres subbloques.

El subbloque 1 lleva a cabo una selección de 1 en 16 a través de los circuitos C.I.105, C.I.106, C.I.107, C.I.108 C.I.115, C.I.116, C.I.117, y C.I.118.

220 El subbloque 2 lleva a cabo una selección de 1 entre 8 por medio de los C.I.113 y C.I.114.

El subbloque 3, formado por los contadores C.I.111 y C.I. 112 en cascada, cuenta hasta 128.

225 -Bloques 35 y 40, Detectores de fallo de datos transmitidos o recibidos respectivamente. Ambos bloques son exactamente iguales y su constitución se indica en la figura 7.

El subbloque 1 está formado por el monoestable C.I.130 que presenta a su salida un "1" ó "0" según se tenga o no señal de datos. En el segundo caso se actúa una alarma.

230 El subbloque 2 formado por el C.I.128 se bloquea con la realimentación del estado "0" del C.I.130, de modo que los datos no pasen más allá del C.I.128 y el estado "0" se mantiene.

235 El subbloque 3 ó C.I.129 permite la reposición de este detector al recibir una señal exterior producida por un pulsador, así se dispondría un "1" a la salida del C.I.130.

-Bloque 38-Contador de decodificación(figura 8). Está formado por los 5 subbloques siguientes:

240 Los subbloques 1 y 2, retrasan el reloj de 6 KHz la mitad de un periodo de 64 KHz. Están constituidos por los diferenciadores de subidas y bajadas, C.137-R.138 y C.140-R.141, además de los inversores C.I.139 y biestable C.I.142.

245 El subbloque 3(C.I.143) es un contador de 2 a 13. Al llegar a 13 se pone a cero y un cierto tiempo después se carga el estado 2.



El subbloque 4, formado por el monoestable C.I.144, determina el tiempo que media entre la puesta a cero del C.I.143, y la carga del estado 2.

250 El subbloque 5 amplifica las salidas del contador de modo que puedan actuar los 30 decodificadores de datos.

-Bloque 39-Demultiplexor(Figura 9). Está formado por dos subbloques.

255 El subbloque 1 está constituido por 16 registros de desplazamiento. C.I.157 a C.I.172, cada uno con capacidad para 8 bits. Sirven para almacenar la trama de 128 bits.

El registro C.I.172, es el que almacena los 8 primeros; es decir los de sincronismo. El subbloque 2 decodifica el patrón de sincronismo por medio del C.I.173, se obtiene un impulso que controlará al sistema de sincronismo.

260 -Bloque 41-Detector de sincronismo de trama(figura 10). 13 son los subbloques constituyentes del sistema.

265 El subbloque 1 lo forman tres inversores, constituidos en esencia por los TR.191, TR.192 y TR.193, que invierten y retrasan 1,5 us el reloj de 64 KHz. El número 2 lo forman los contadores C.I.194 y C.I.196, en cascada, con los que se consiguen contar hasta 128.

El número 3 es un decodificador del estado cero. Esta decodificación se realiza con el C.I.198.

270 El número 4(C.I.205, C.I.200)consigue un impulso de sincronismo lo más estrecho posible.

El número 5(es el subbloque de control, confirma el estado de sincronismo cuando este se recupera tras de una pérdida. En esencia está constituido por el biestable C.I.206 y la puerta C.I.200 que da acceso o no al subbloque siguiente.

275 El número 6 está formado por el contador C.I.209 de

8 bits que cuenta las tramas en que no se recibe impulso de sincronismo.

280 El subbloque 7 lleva a cabo la decodificación del número de tramas pérdidas antes de considerar el sistema degradado. Uno de los inversores del circuito C.I.201 recibe la señal de reposición generada por actuación de un impulsor. En este subbloque también se produce una alarma cuando se degrada el sistema.

285 Los subbloques 8 y 9 obtienen a partir del impulso de sincronismo un impulso que ponga a cero los registros de desplazamiento constituyentes del demultiplexor, de esta manera se evita la posible simulación del patrón de sincronismo. El 8 está formado por el monoestable C.I.214 que retarda el impulso de sincronismo 12 us. El 9 estrecha a 290 éste mediante tres inversores que constituyen el C.I.197 y el C.I.200, posteriormente se dispone un sistema de amplificación(C.I.201), toda vez que se han de actuar los 16 registros de desplazamiento del demultiplexor.

295 Los subbloques 10,11 y 12, constituidos por los circuitos C.I.210 y C.I.217, C.I.220 y C.I.223 respectivamente, generan los impulsos necesarios para transferir los datos a cada decodificador de canal e iniciar, en el instante correcto, el contador de decodificación.

300 El subbloque 13 amplifica los impulsos de transferencia que han de servir a 30 canales. Está formado por los circuitos C.I.224, C.I.225 y C.I.226.

305 -Bloque 41 bis(figura 10 bis). Este bloque forma parte del sistema de sincronismo y permite recuperar el reloj exterior tras una pérdida momentánea del mismo, se puede subdividir en 4 subbloques:



310 El subbloque 1 separa las situaciones de reloj de muestreo adelantado o retrasado con relación al impulso de puesta a cero generado por el circuito de sincronismo de trama. Está constituido por los componentes C.I.234, C.I.233 que hacen de inversor y los C.235 y C.236 que hacen de diferenciador.

El subbloque 2 genera un impulso cada vez que el subbloque anterior detecta una situación de adelanto. Consta del monoestable C.I.239 y del circuito C.I.234.

315 El subbloque 3 genera un impulso cada vez que el retraso detectado sea mayor de 1 us.

El subbloque 4 inhibe los impulsos producidos durante un tiempo de 8 ms, a fin de dejar contar a los divisores del circuito de enganche de reloj un tiempo suficiente.

320 -Bloque, 42-71, Decodificadores de canal (figura 11).  
Comprenden los 30 decodificadores agrupados en dos bloques iguales, cada uno de ellos está constituido por 5 subbloques.

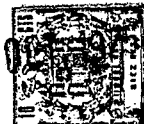
325 El subbloque 1 transfiere, por medio del C.I.254, a cada canal la información contenida en los registros de desplazamiento del multiplexor.

El subbloque 2 decodifica, por medio del C.I.255, el estado 14 ó 15.

330 El subbloque 3 está formado por el comparador C.I.257, que da un impulso cuando hay coincidencia entre los impulsos del C.I.254 y del contador de decodificación.

El subbloque 4 lo constituye el regenerador de señal C.I.256, cambia de estado cada vez que le llegue el impulso de coincidencia.

335 El subbloque 5 formado por la puerta C.I.259, inhibe los datos cuando le llegue una señal de alarma.



-Bloque 72-Alarmas y reposición general(figura 12): Las salidas de los detectores de fallo de reloj, de datos y de sincronismo, se llevan a este bloque donde actúan las correspondiente alarma y generan una señal de control que inhibe los datos de salida. Está formado por 7 subbloques.

Los 5 primeros subbloques están constituidos por los indicadores luminosos L.263, L.267, L.271, L.275 y L.279, que se encienden según cual sea el fallo detectado.

El subbloque 6 genera, por medio de las puertas C.I.283 y C.I.284, la señal de inhibición de datos para el caso en que se tenga alguna alarma.

El subbloque 7 es el de reposición general, está formado por la resistencia limitadora de corriente R.285, los amplificadores del impulso de disparo C.I.284 y el pulsador PS.286 que pone en 1 la salida del anterior.

La forma, materiales y dimensiones, podrán ser variables y en general cuanto sea accesorio y secundario, siempre que no altere, cambie o modifique la esencialidad del objeto que se describe.

Los términos en que queda redactada esta memoria, son ciertos y fiel reflejo del objeto descrito, debiéndose tomar con caracter amplio, y nunca en forma limitativa.

N O T A

La Patente de Invención, que por veinte años se solicita, deberá recaer sobre las siguientes:

REIVINDICACIONES

1ª.- EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION caracterizado porque comprende, un sistema codificador de los instantes de transición compuesto por un contador



de codificación y 30 codificadores de canal. Un sistema de enganche de los relojes exteriores tanto para transmisión como para recepción. Un sistema de multiplexado y demultiplexado compuesto por un multiplexor y un demultiplexor. Un sistema de sincronismo. Un sistema decodificador compuesto por un contador de decodificación y 30 decodificadores de canal. Un sistema detector de fallo de datos transmitidos o recibidos. Un sistema detector de fallos de relojes de transmisión y recepción. Un sistema de alarmas y reposición general.

370

375

2º.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación anterior, caracterizado esencialmente porque comprende, un sistema de codificación mediante el cual se codifican los instantes de transición y compuesto por un contador de codificación y 30 canales de codificación.

390

3º.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación 1, caracterizado esencialmente porque comprende un sistema de enganche del reloj exterior a partir del cual se obtienen el reloj de 64 KHz y el reloj de muestreo de la señal de datos.

385

4º.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación 1, caracterizado esencialmente porque comprende una multiplexación de los 30 canales en MDT mediante un multiplexor y su posterior demultiplexación.

390

5º.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA

395



400 VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION de acuerdo con la reivindicación 1, caracterizado porque comprende un sistema de sincronismo que a su vez puede dividirse en sincronismo de trama y de resincronización de relojes basado el primero en la estrategia de confirmación de sincronismo.

405 6ª.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación anterior, caracterizado esencialmente porque comprende un circuito de sincronismo de relojes cuando se ha recuperado el reloj exterior tras una posible pérdida momentánea.

410 7ª.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación 1, caracterizado, porque comprende esencialmente un circuito de decodificación compuesto por un contador de decodificación y 30 decodificadores que regeneran las 30 señales originales.

415 8ª.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación 1, caracterizado porque comprende esencialmente un circuito detector de fallos de datos en transmisión y un circuito similar en recepción.

420 9ª.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación 1, caracterizado esencialmente, porque comprende un circuito detector de fallo del reloj de 64 KHz en transmisión y un circuito similar en recepción.



430 10.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION" de acuerdo con la reivindicación 1, caracterizado porque comprende esencialmente un circuito de alarmas de fallo de datos, de relojes y de sincronismo, complementado con un circuito de reposición, por acción externa, una vez que se han superado los fallos anteriores.

435 11.-"EQUIPO MULTIPLEXOR DE DATOS ASINCRONOS DE BAJA VELOCIDAD MEDIANTE CODIFICACION DE LOS INSTANTES DE TRANSICION".

Todo ello, tal y como queda descrito y reivindicado, en la presente memoria descriptiva, que consta de 16 hojas, foliadas y mecanografiadas por una sola cara, a la que se acompañan los dibujos que la ilustran.

Madrid,

- 8 OCT. 1975

*Carlos J. Herrera*



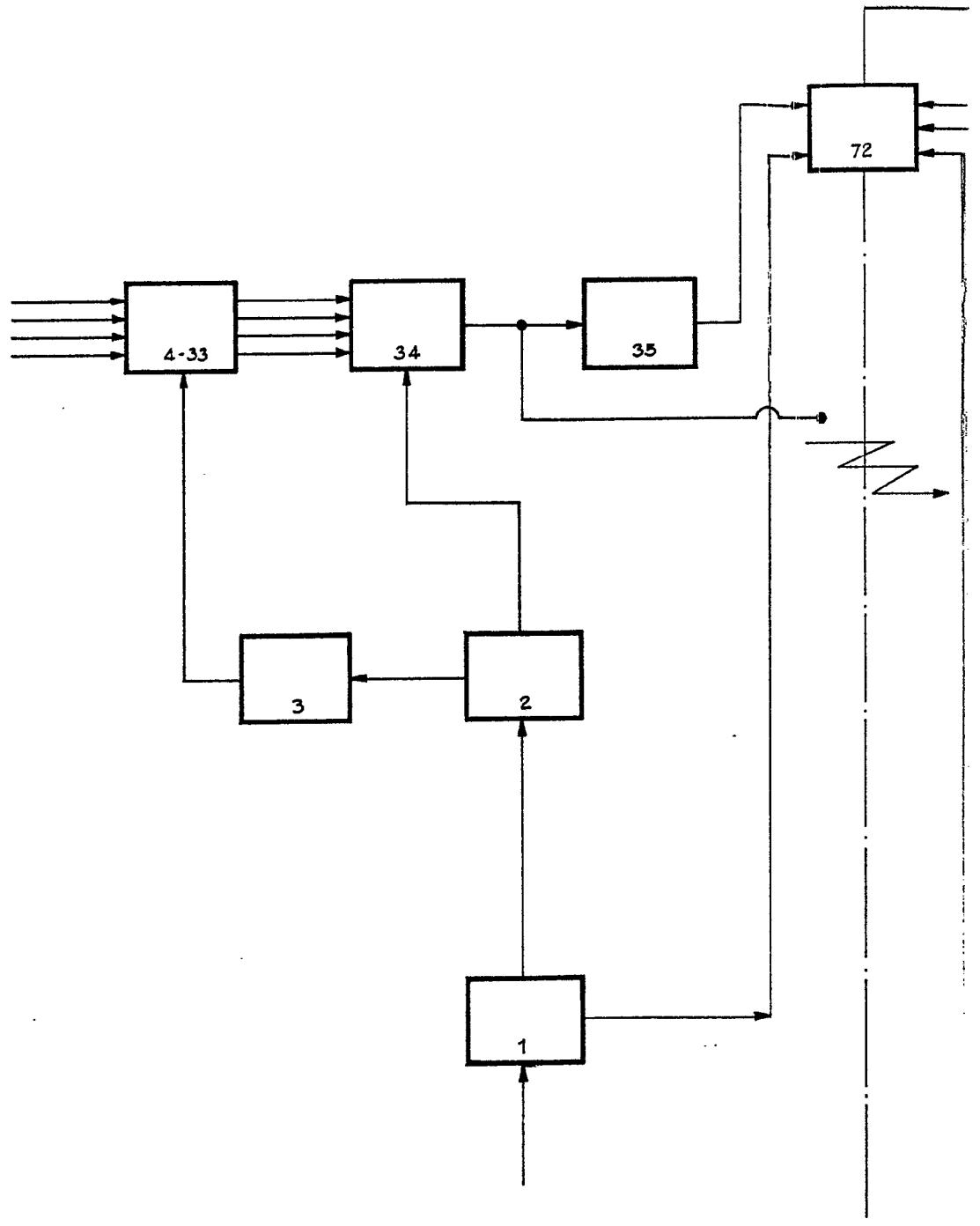
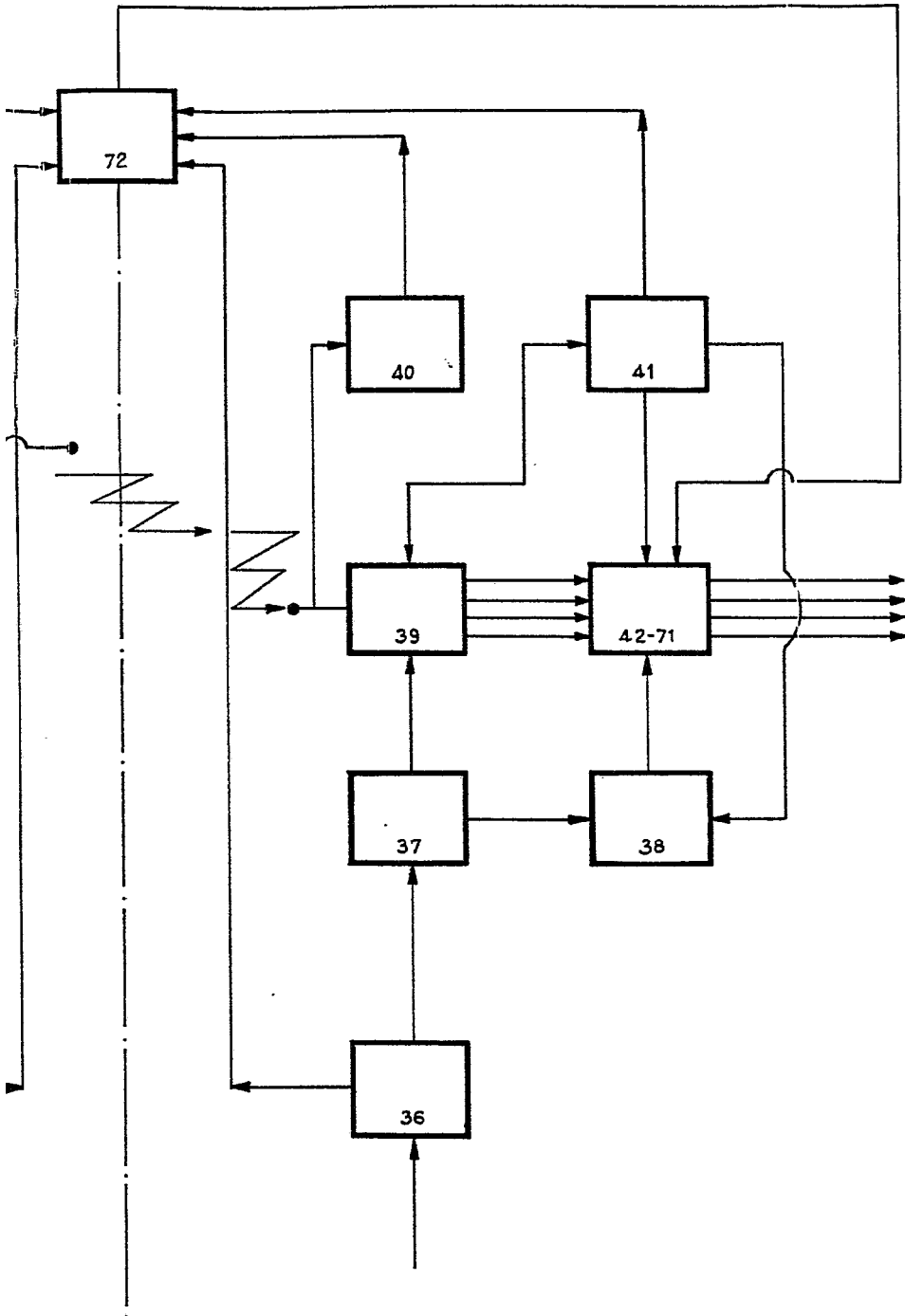


FIG.1

ESCALA VARIABLE



**FIG. 1**

*Enrique Diez Venero*  
MADRID.



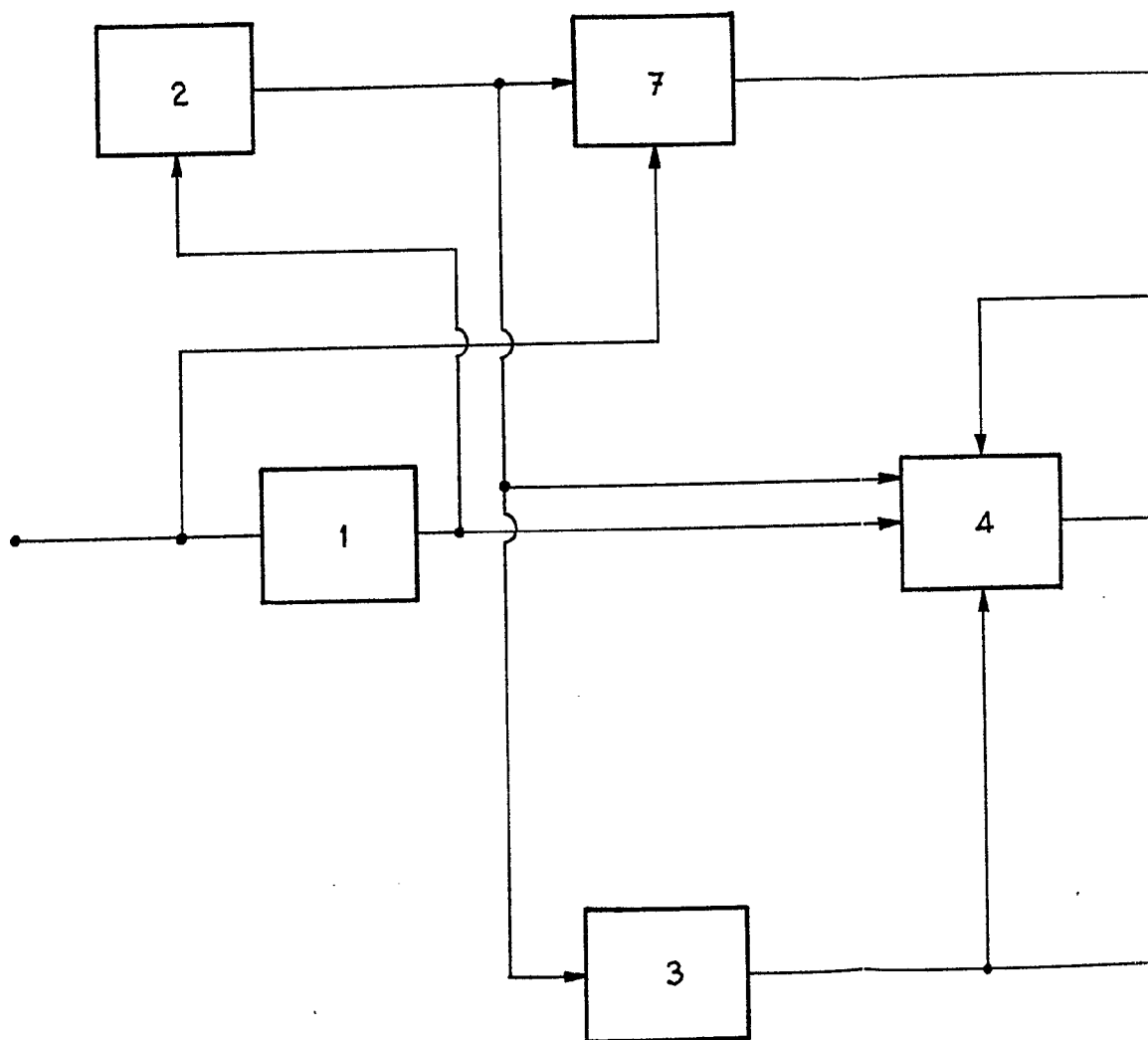


FIG. 2

ESCALA VARIABLE

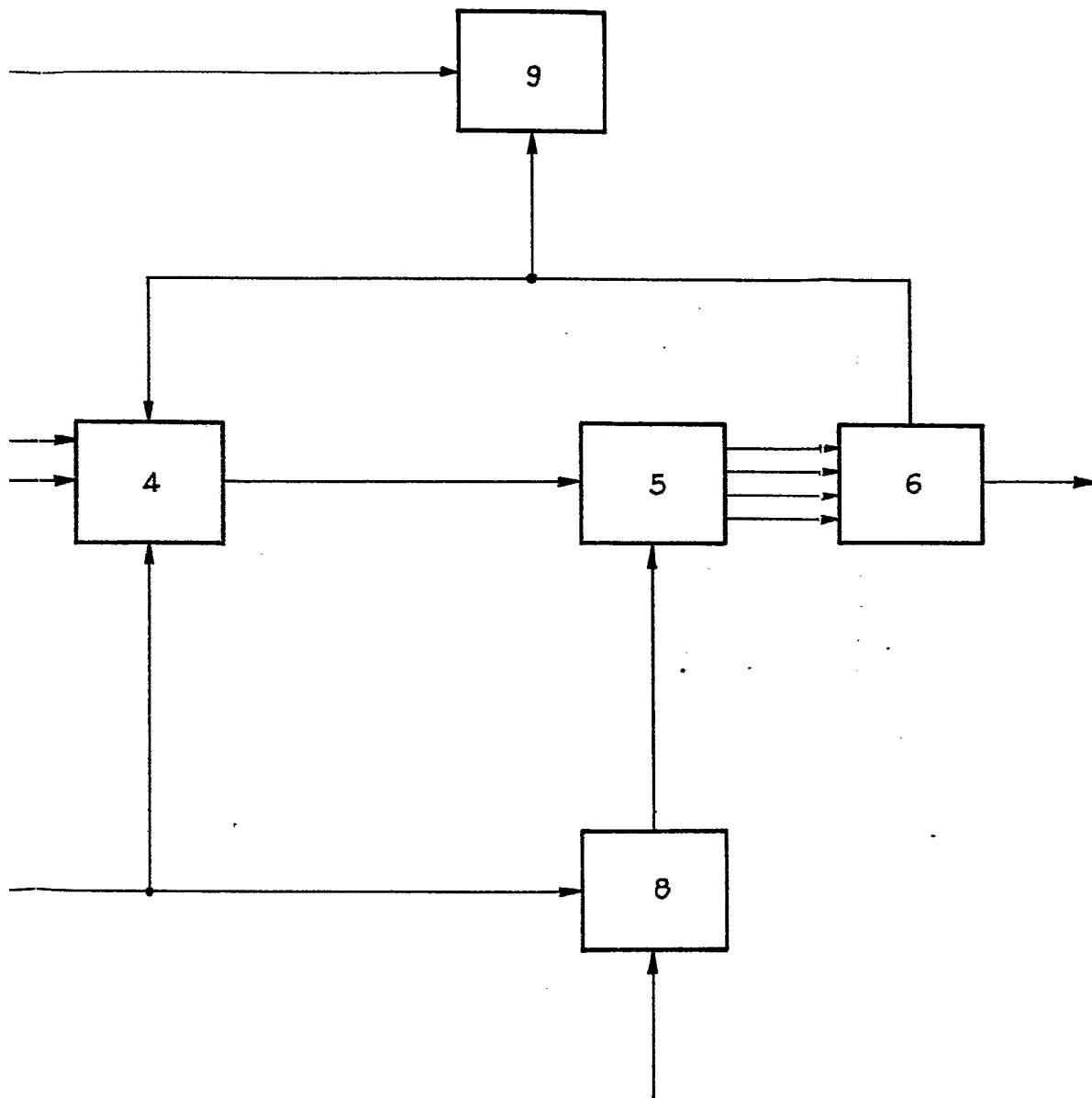
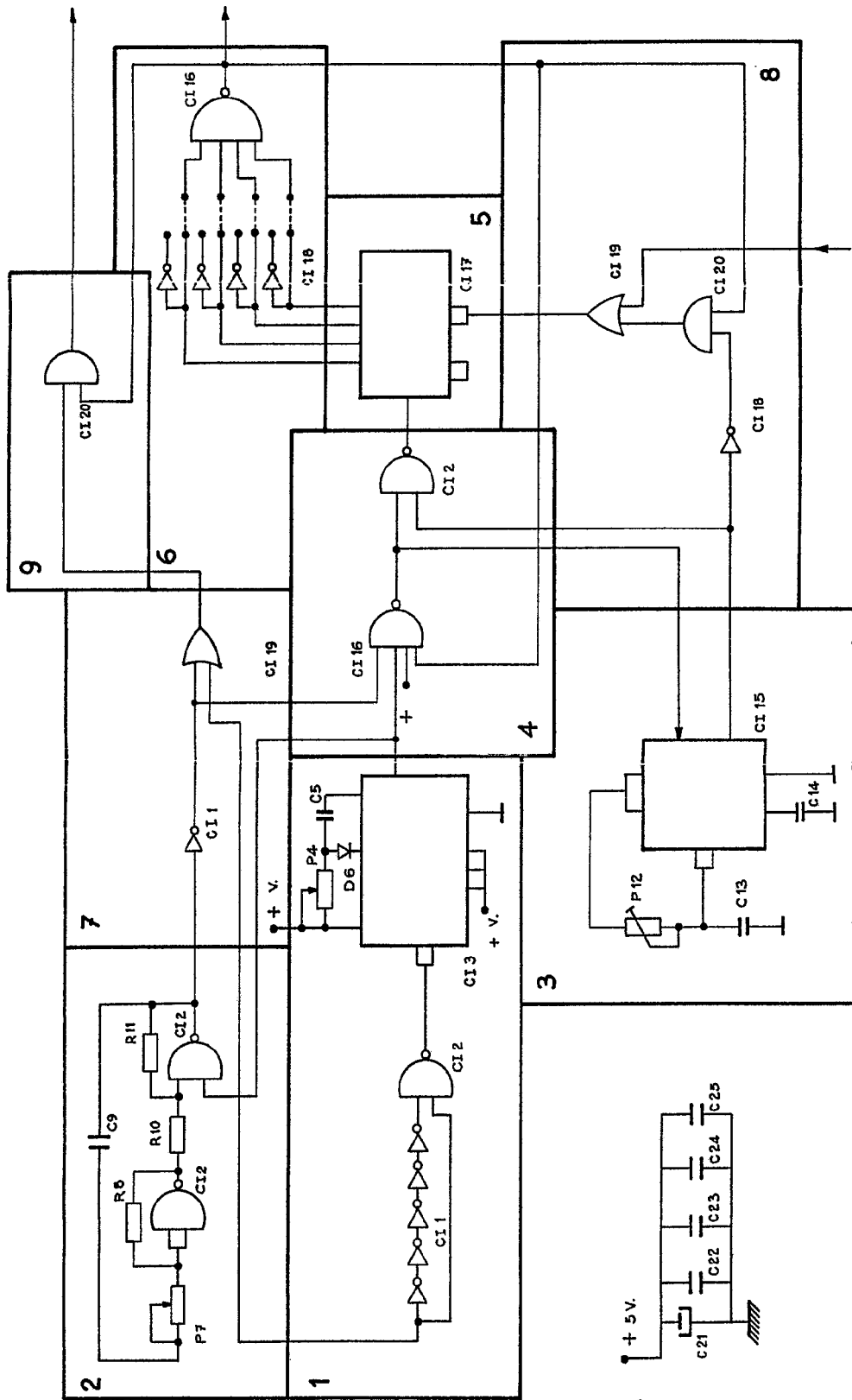


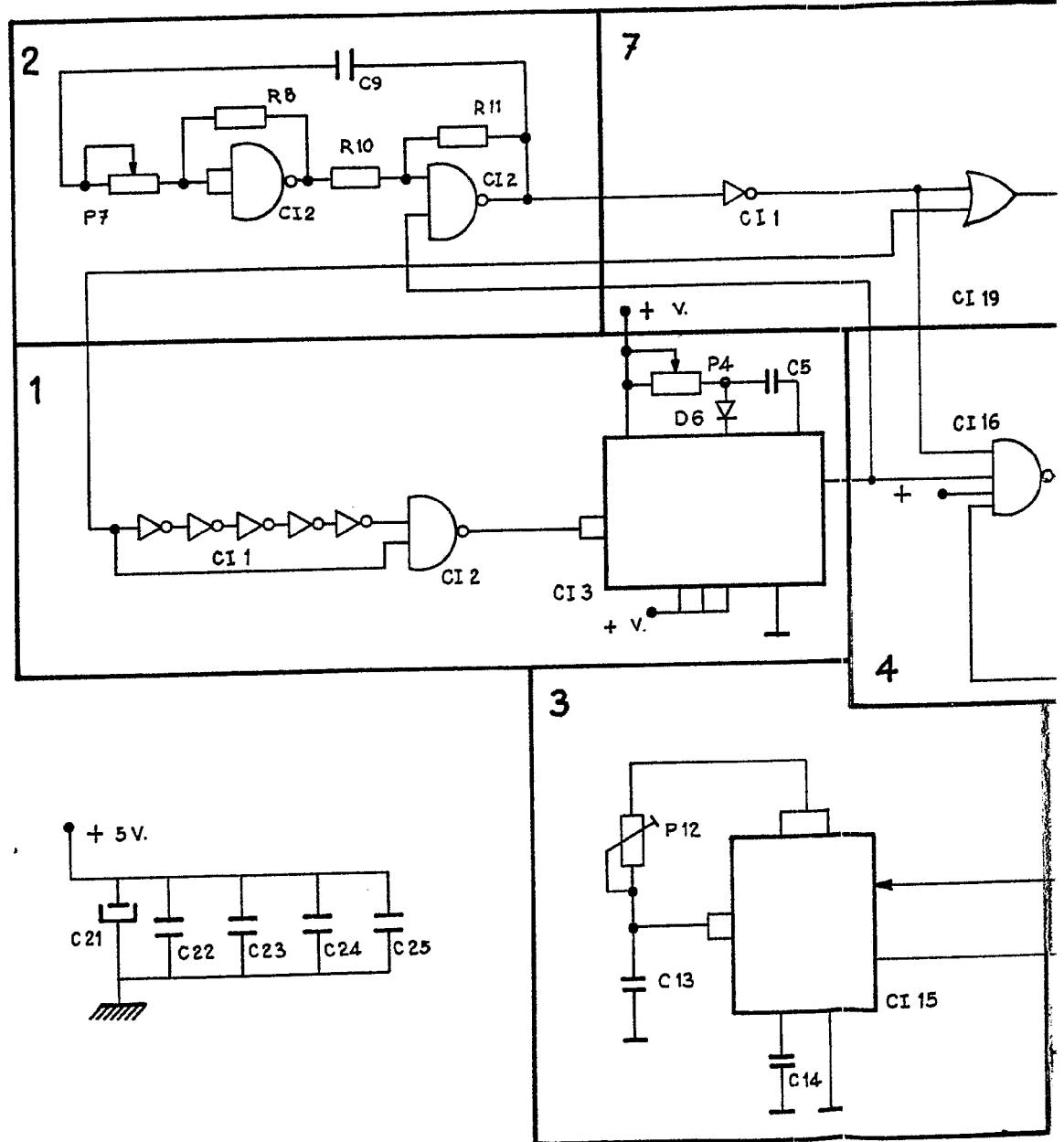
FIG. 2

*Carlos Zatterer*  
MADRID

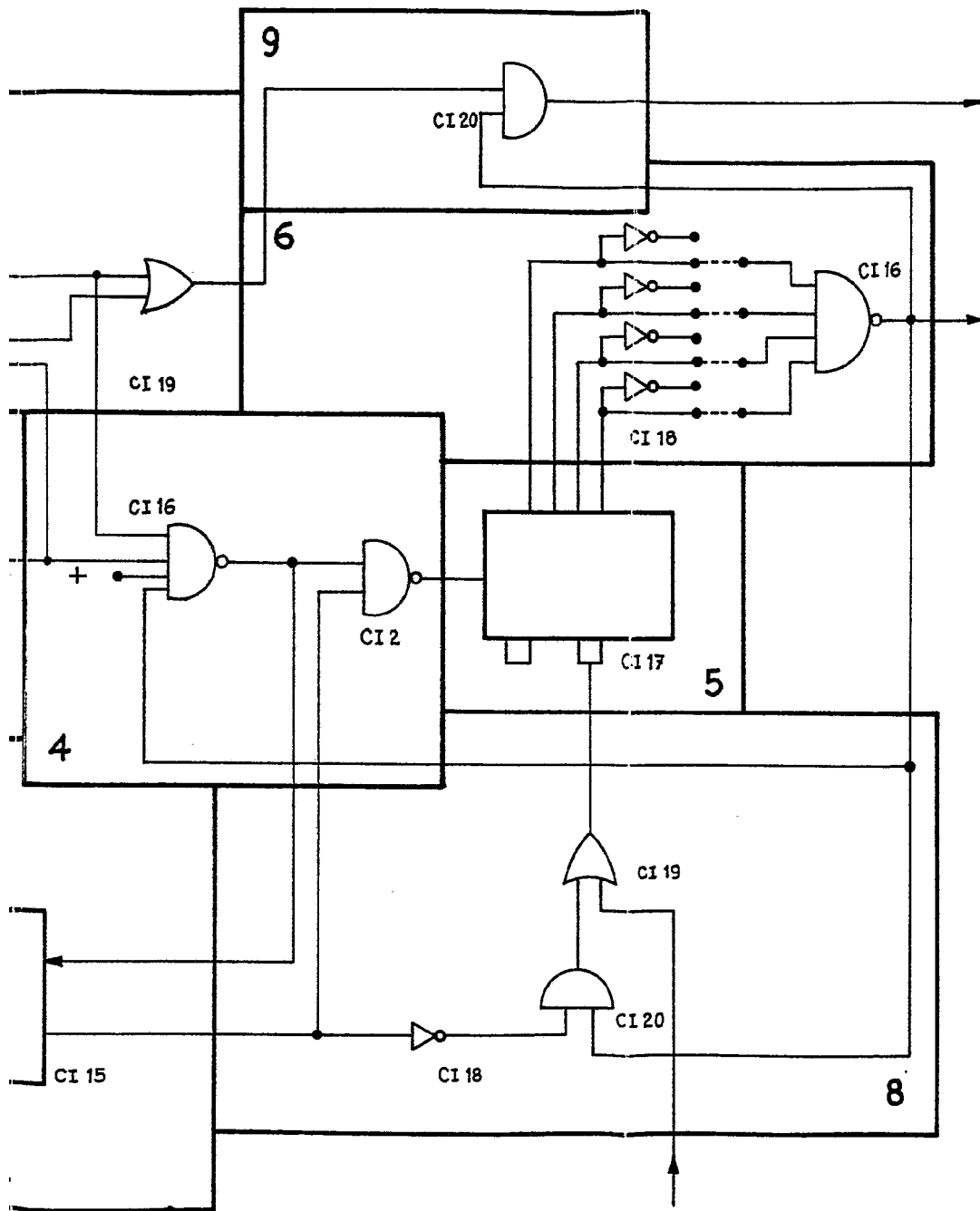
36



*Carro*  
*R. Bertrán*  
MADRID.



ESCALA VARIABLE



*Enrique P. Herrera*  
MADRID.

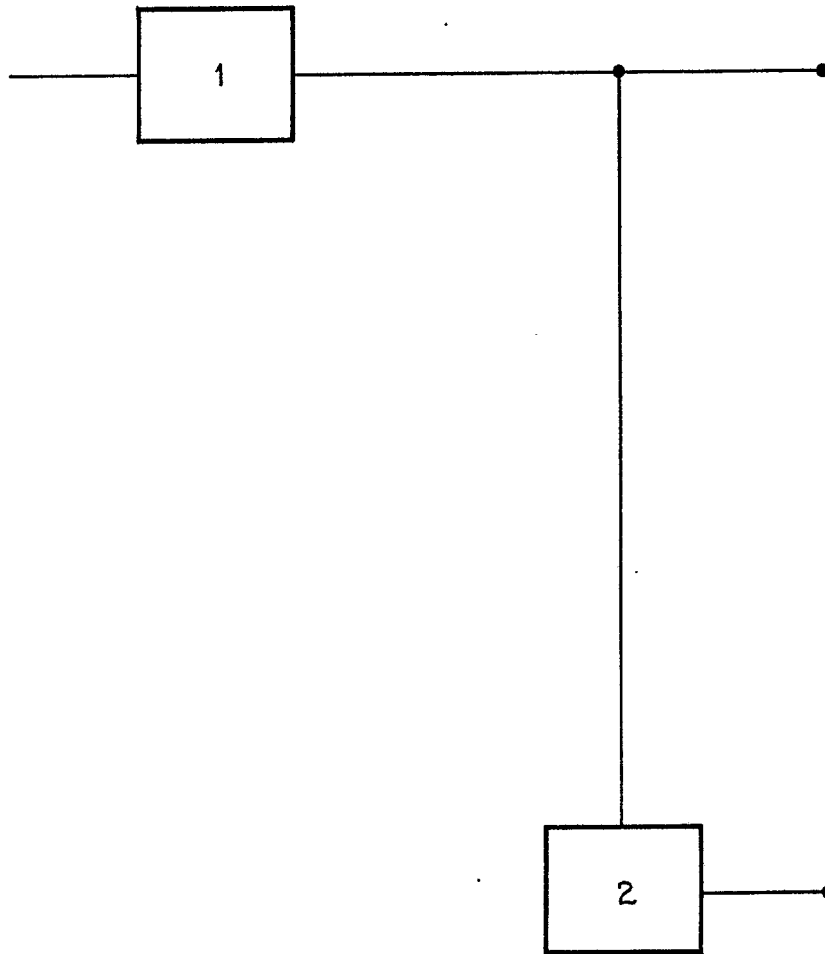
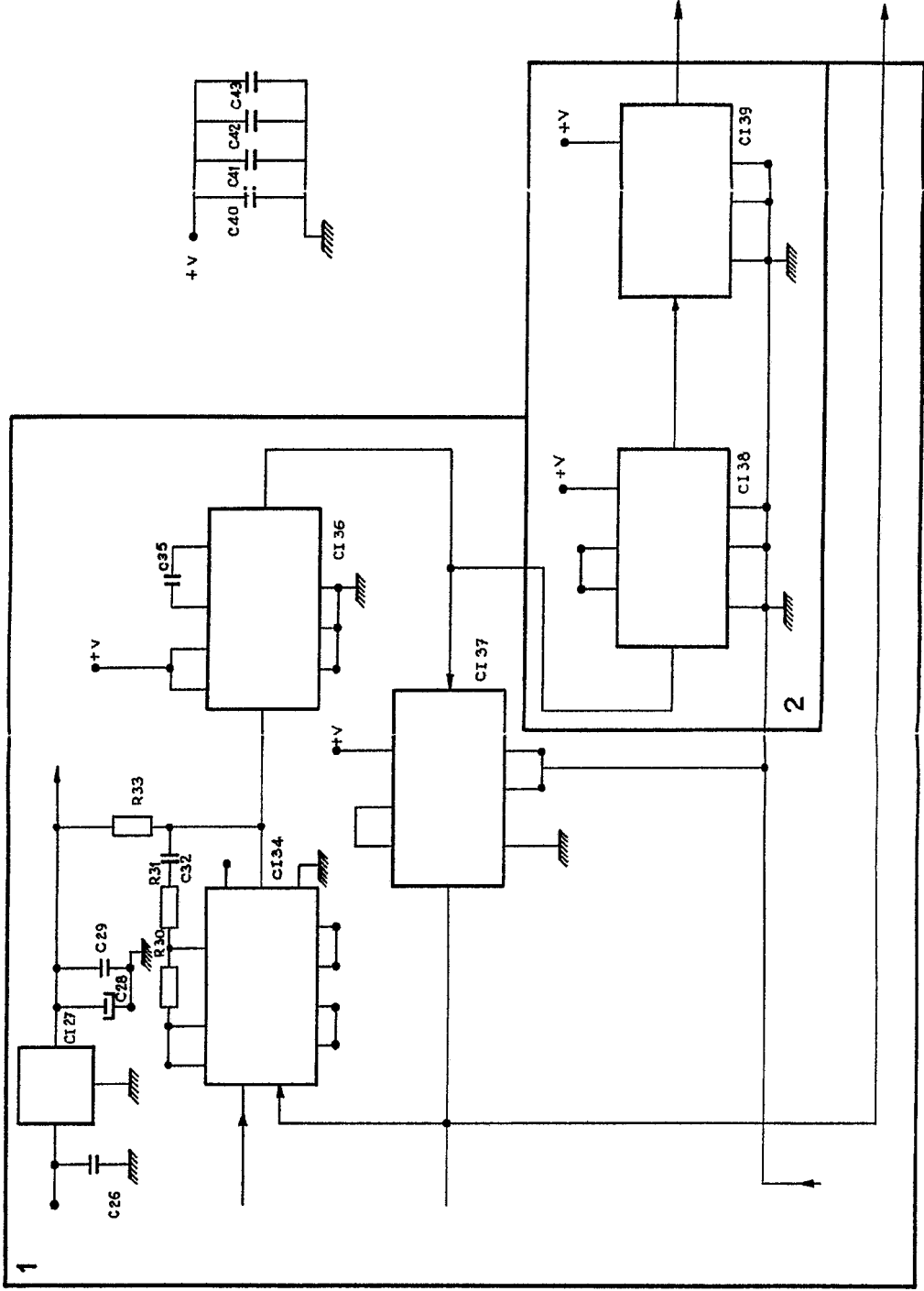


FIG. 3

*Carlos Rodríguez*

ESCALA VARIABLE

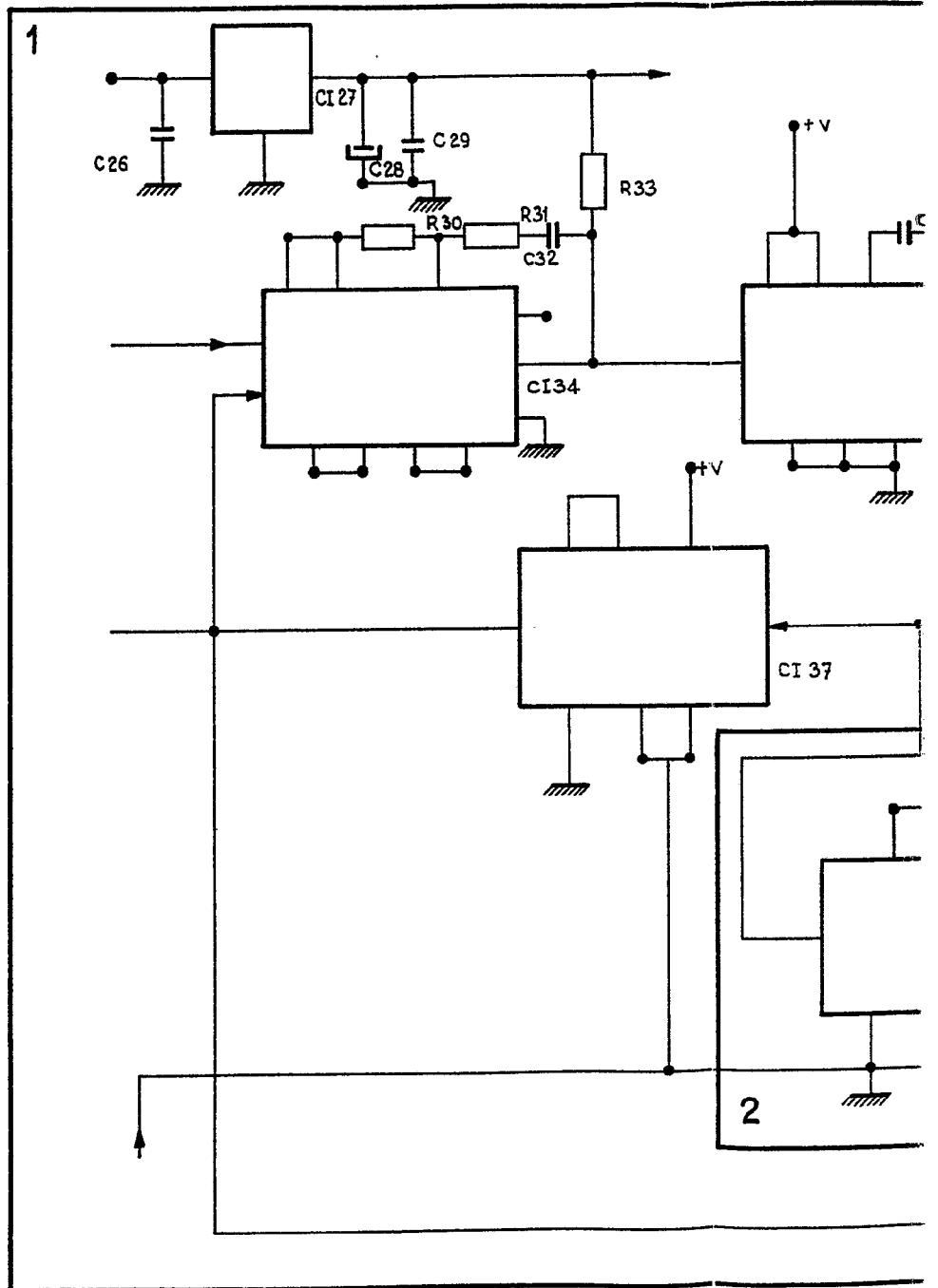
MADRID



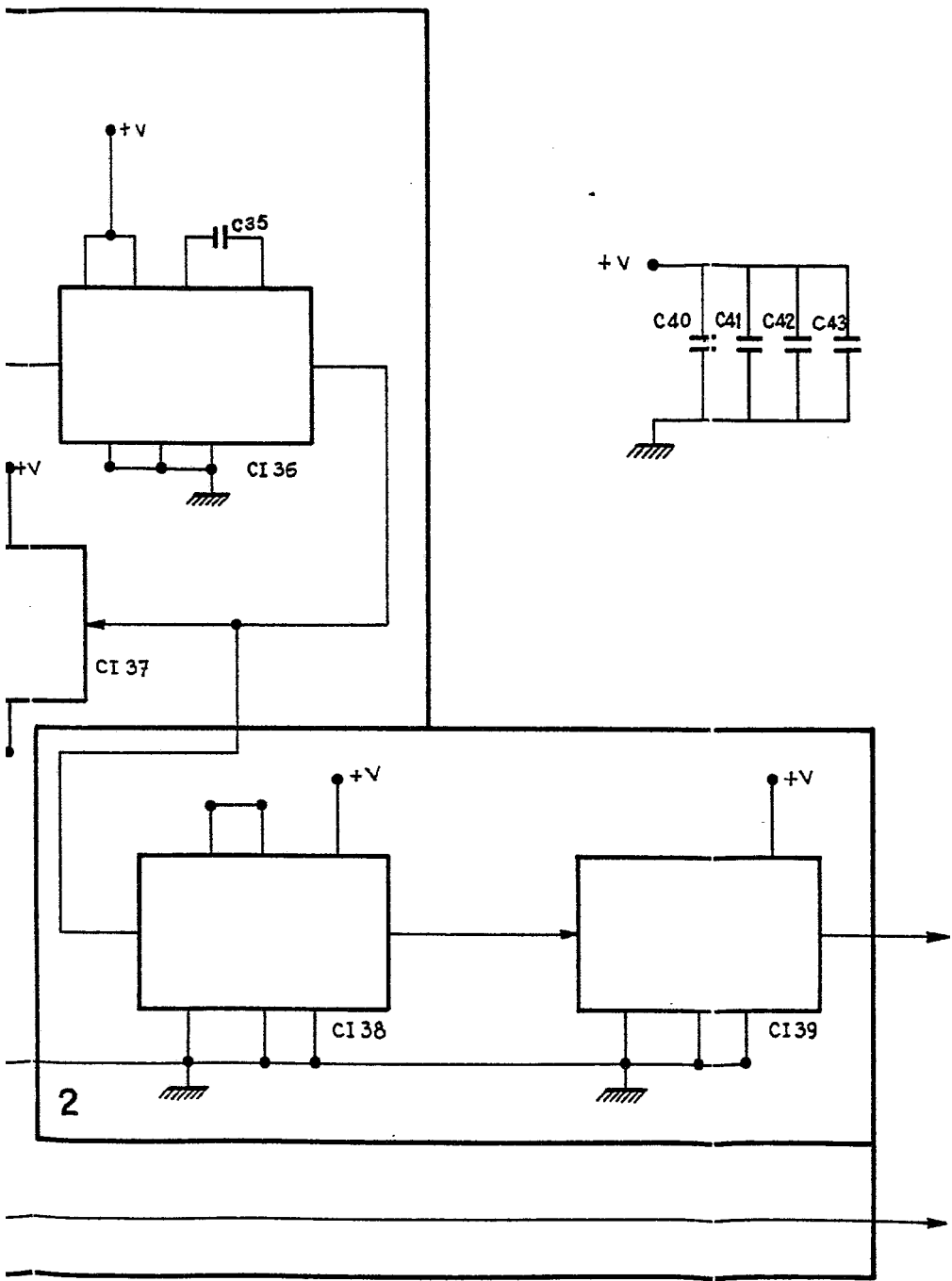
ESCALA VARIABLE

*Handwritten signature and date:*  
E. J. ...  
8/06/71

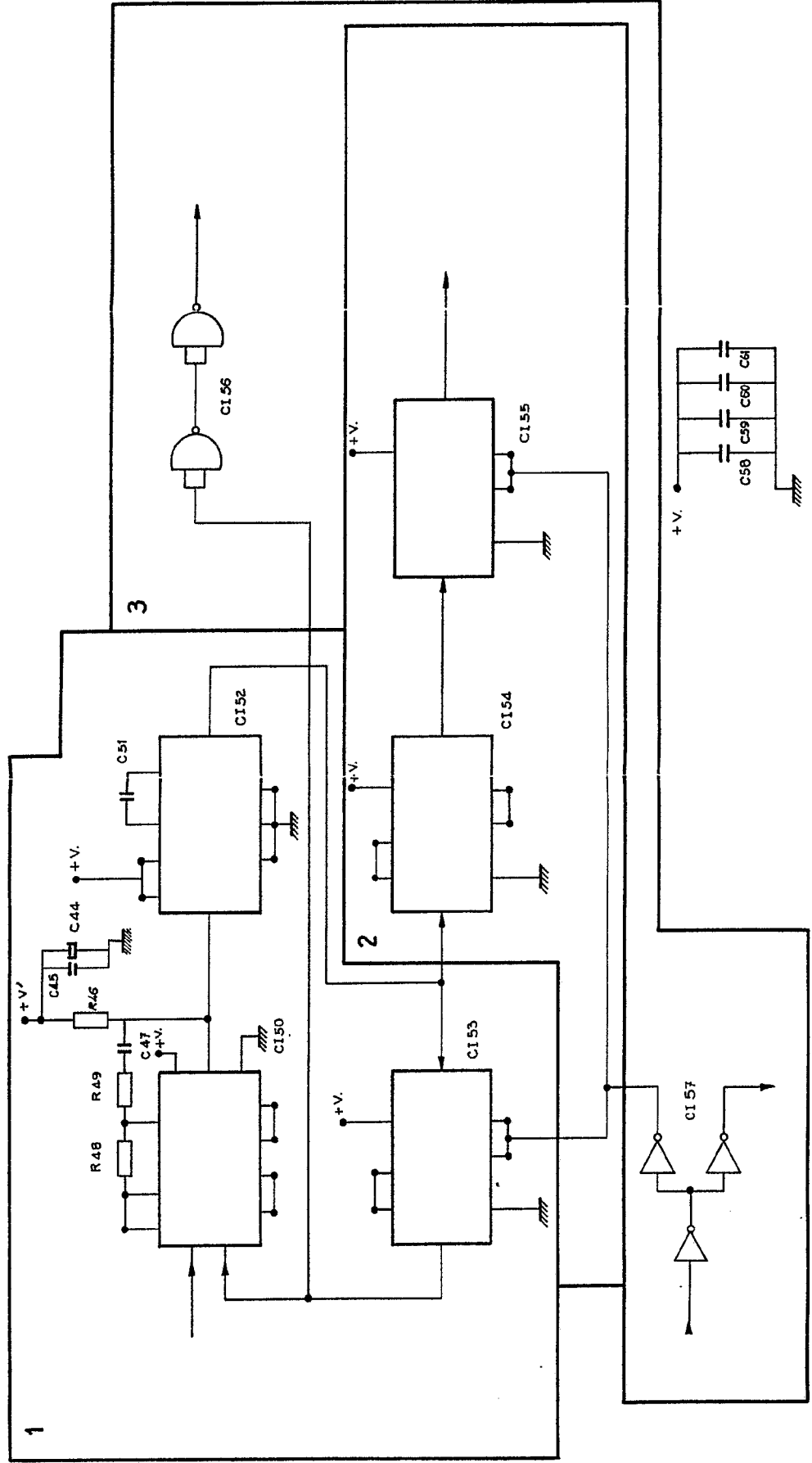
MADRID



ESCALA VARIABLE

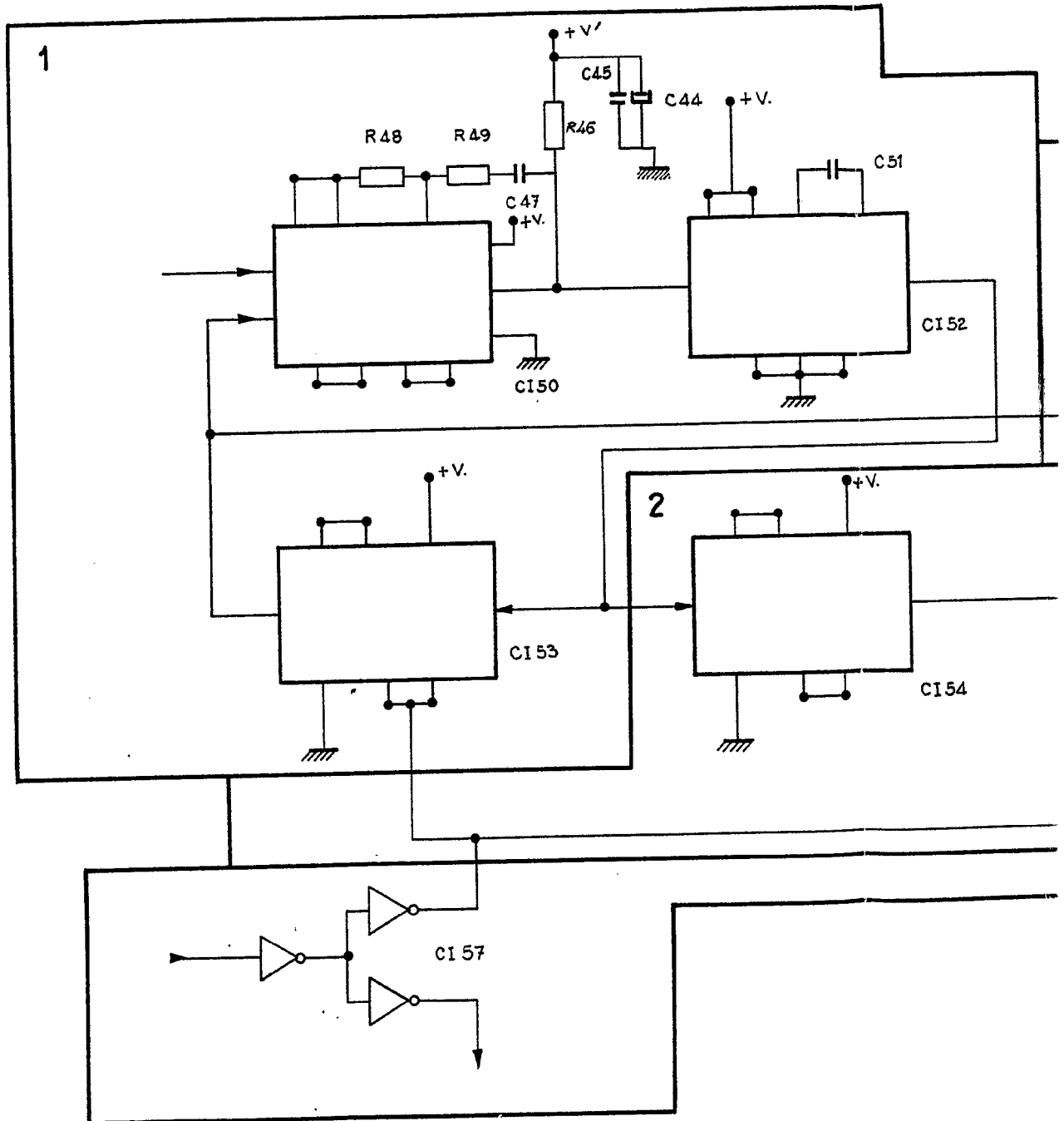


*Carlos de la Torre*  
MADRID

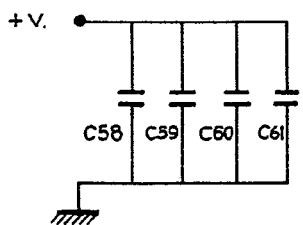
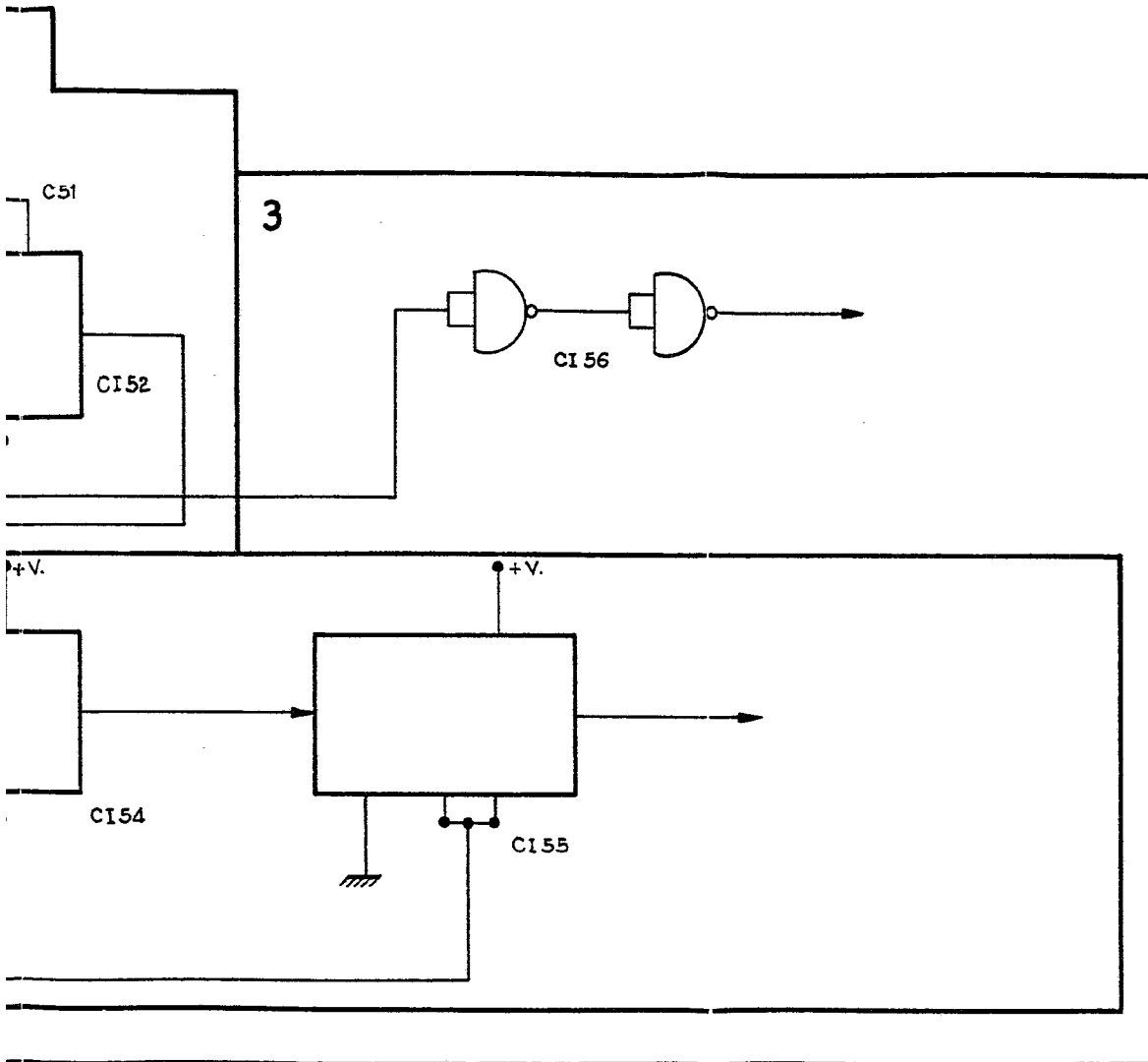


*Escritura manuscrita*  
MADRID

ESCALA VARIABLE



ESCALA VARIABLE



*Carlos Rodríguez*  
MADRID

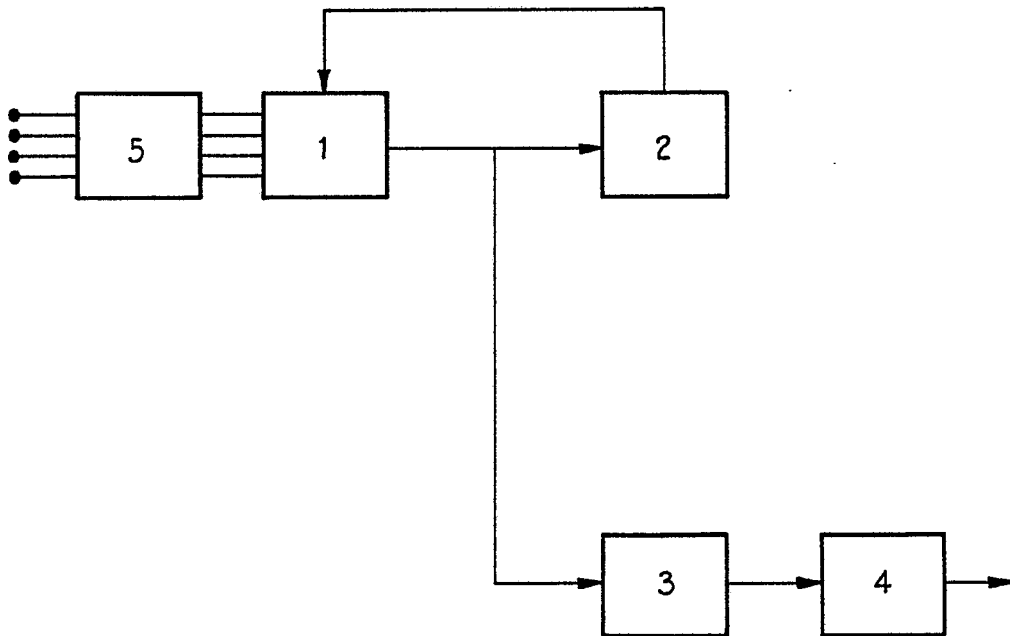
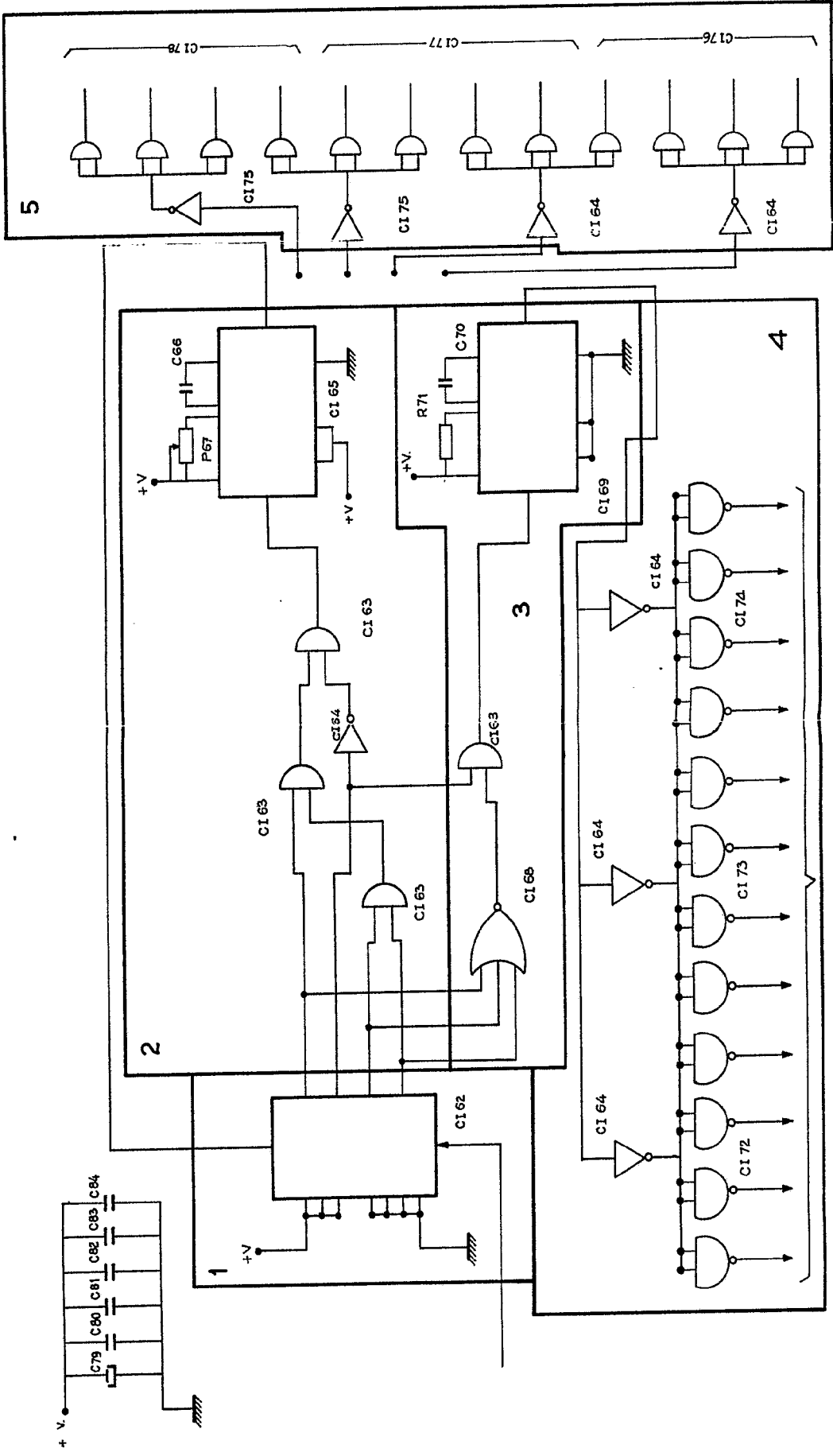
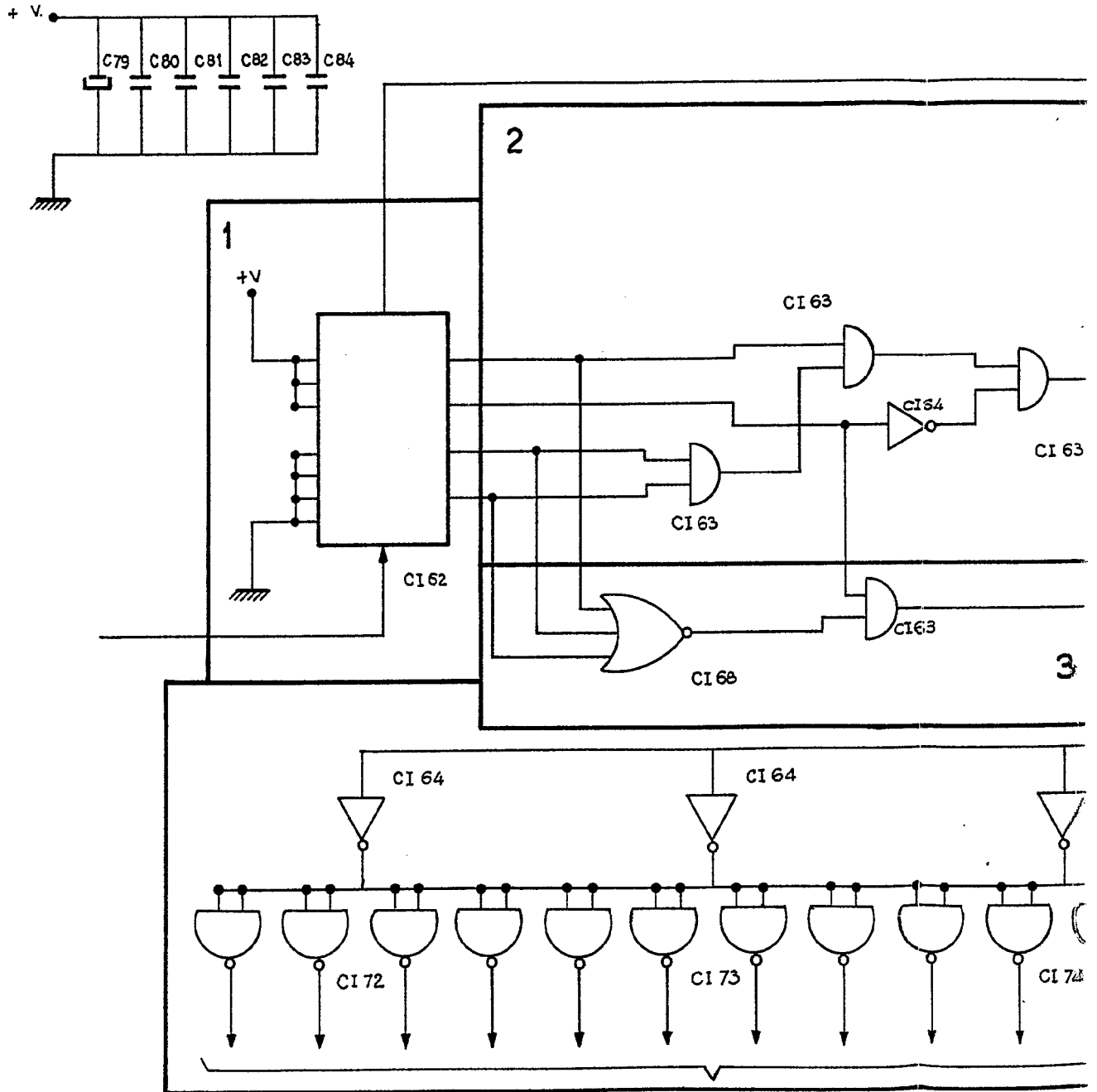


FIG. 4

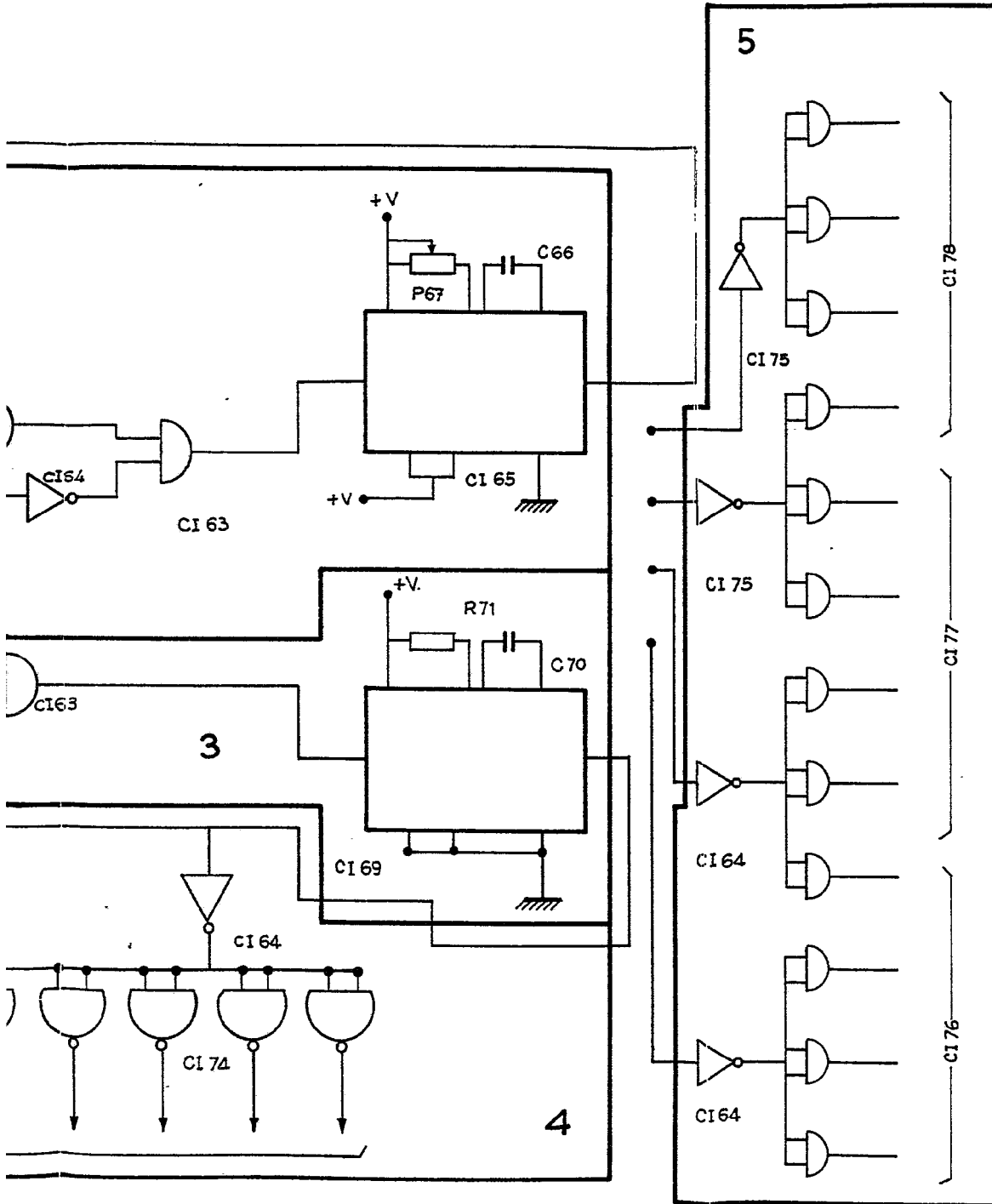
*[Handwritten signature]*  
MADRID.

ESCALA VARIABLE





ESCALA VARIABLE



MADRID

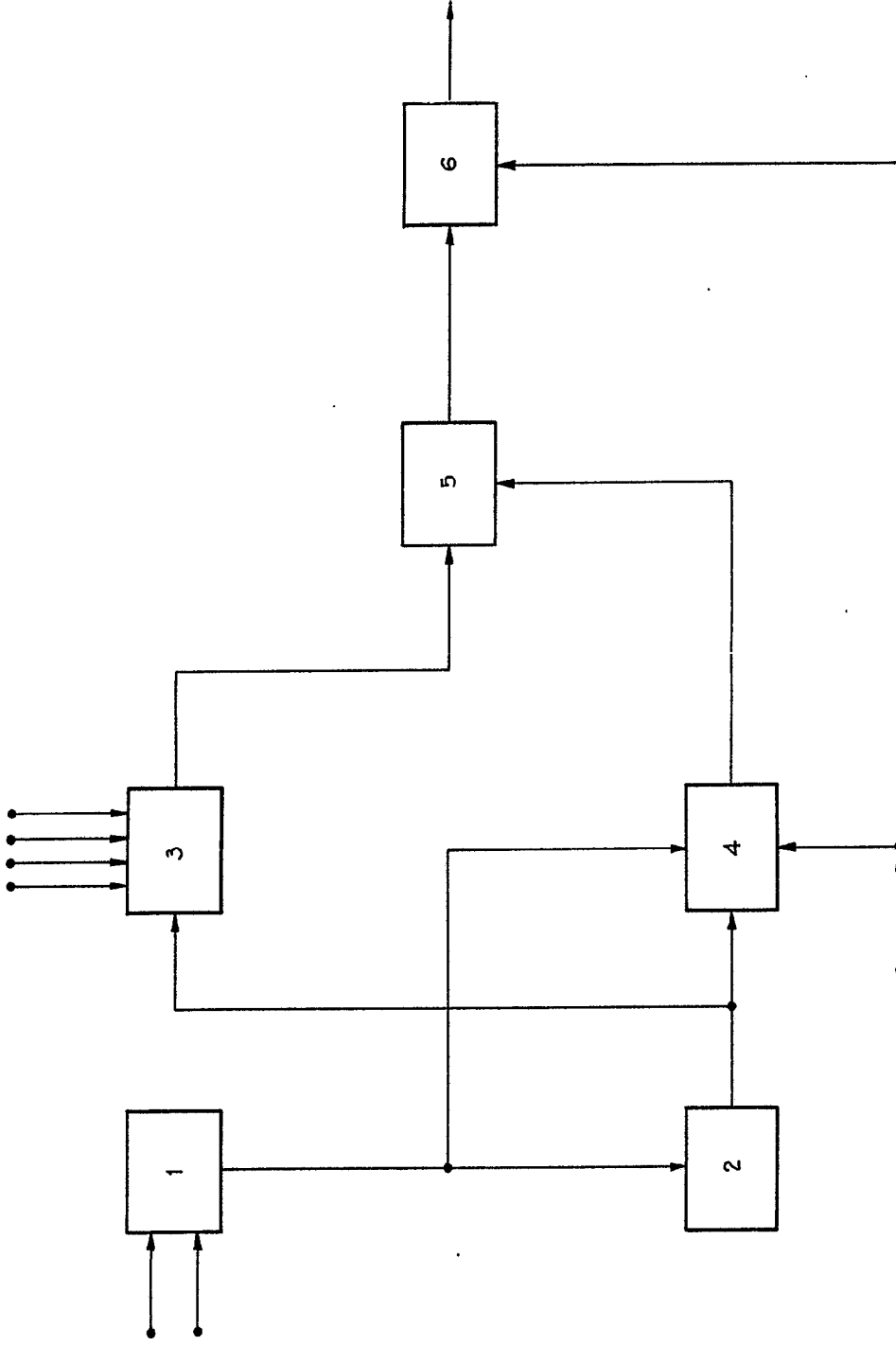
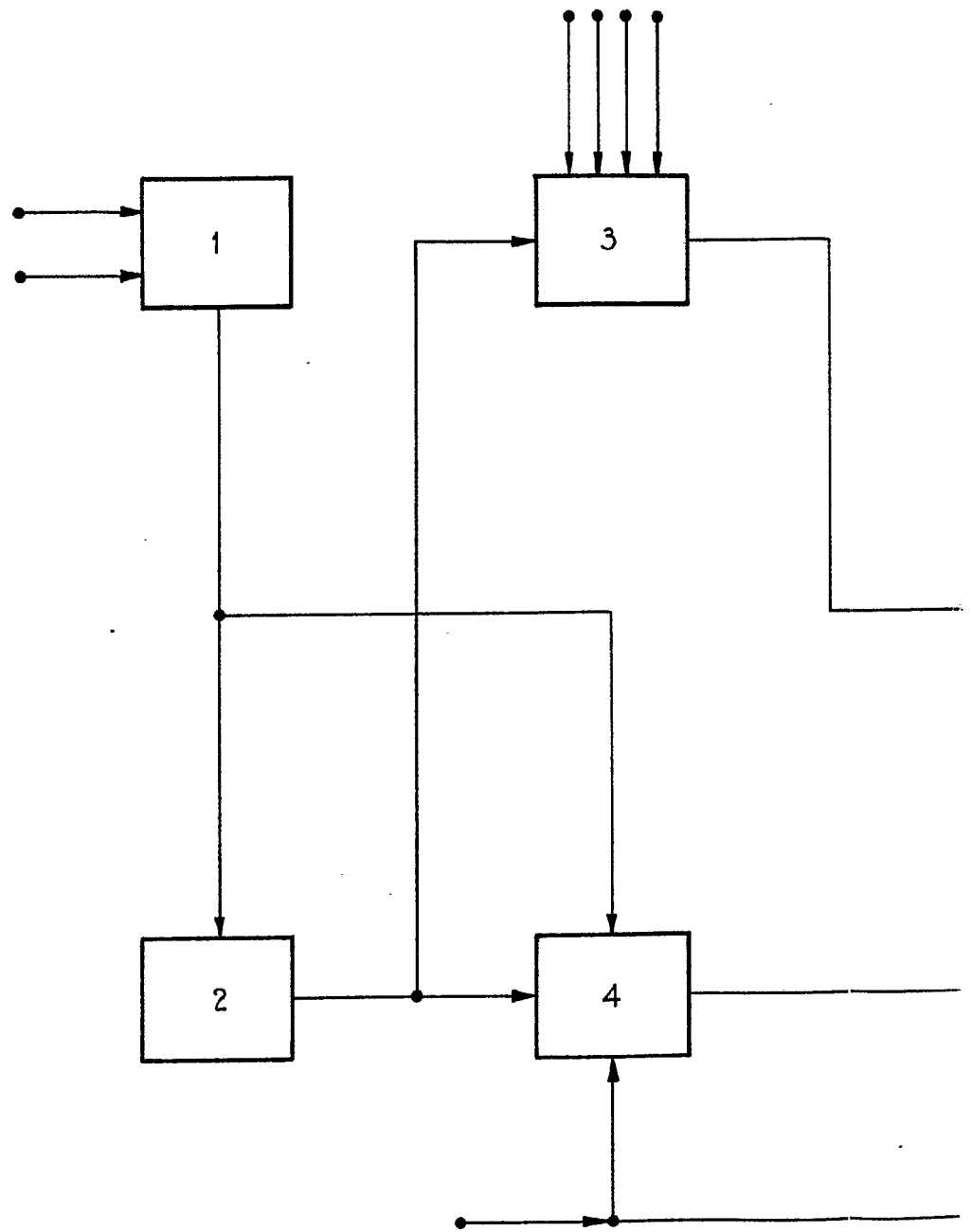


FIG. 5

ESCALA VARIABLE

*Escrito C. D. Martínez*

MADRID



ESCALA VARIABLE

FIG. 5

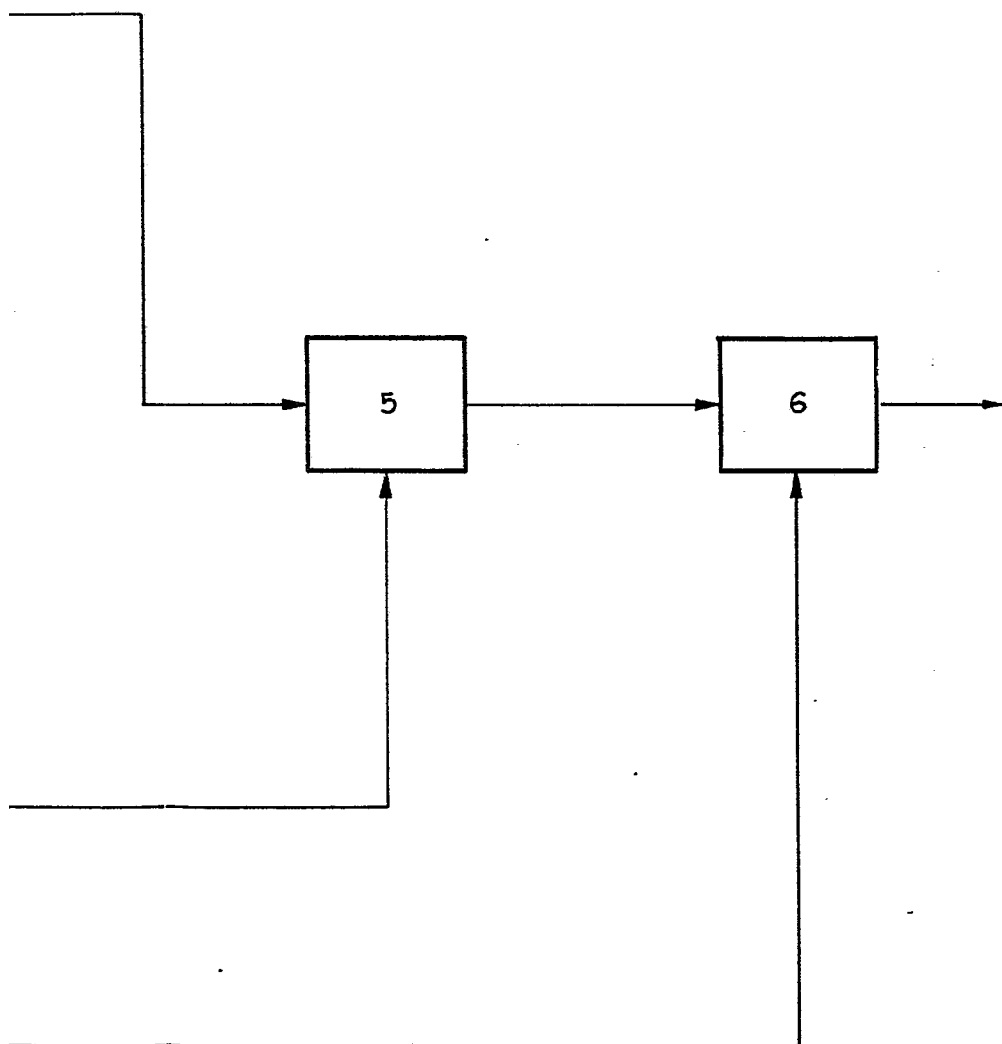
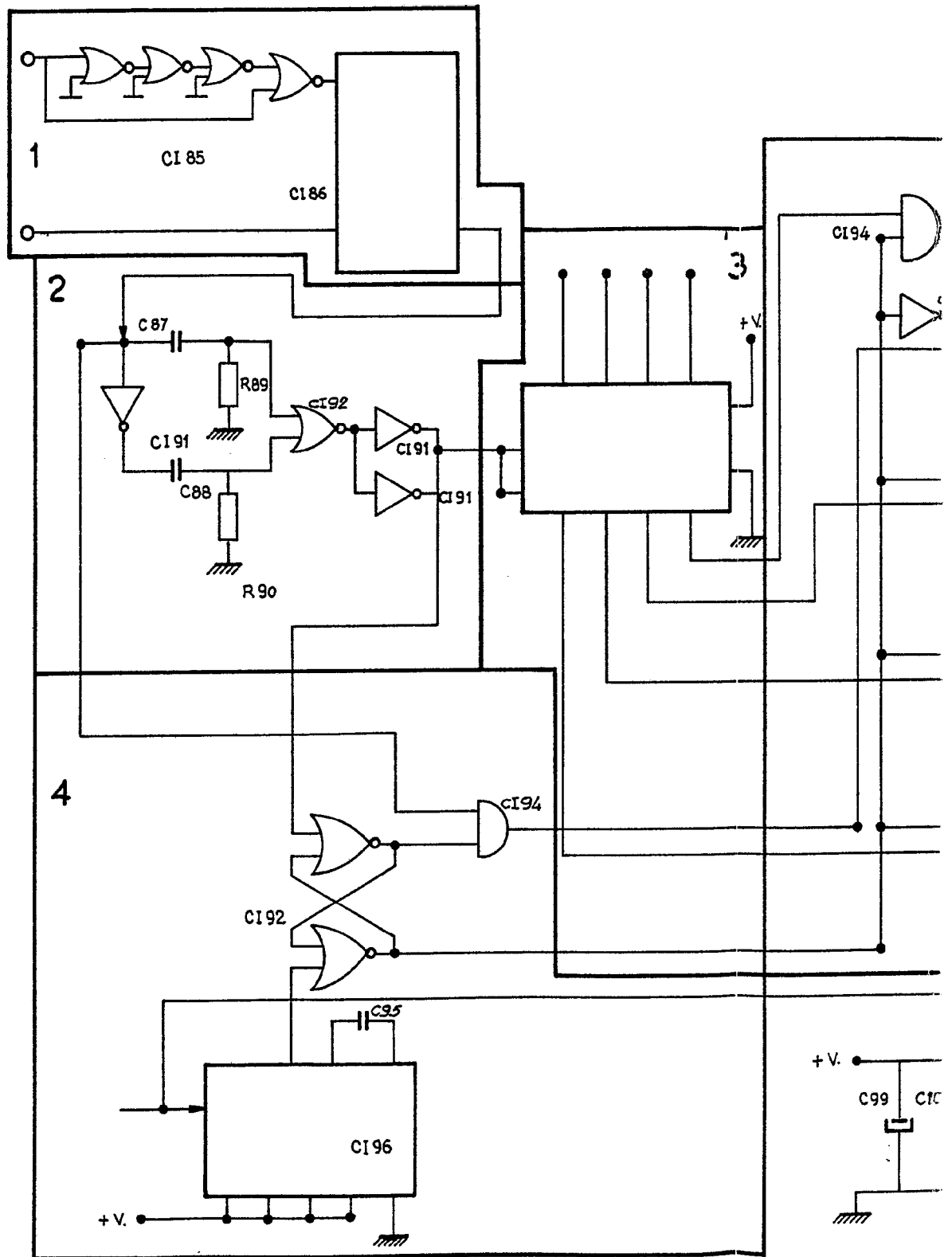


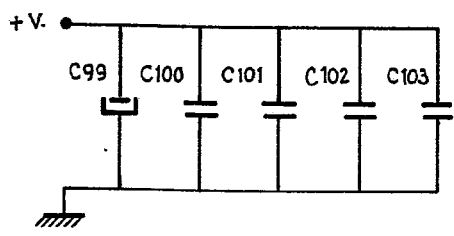
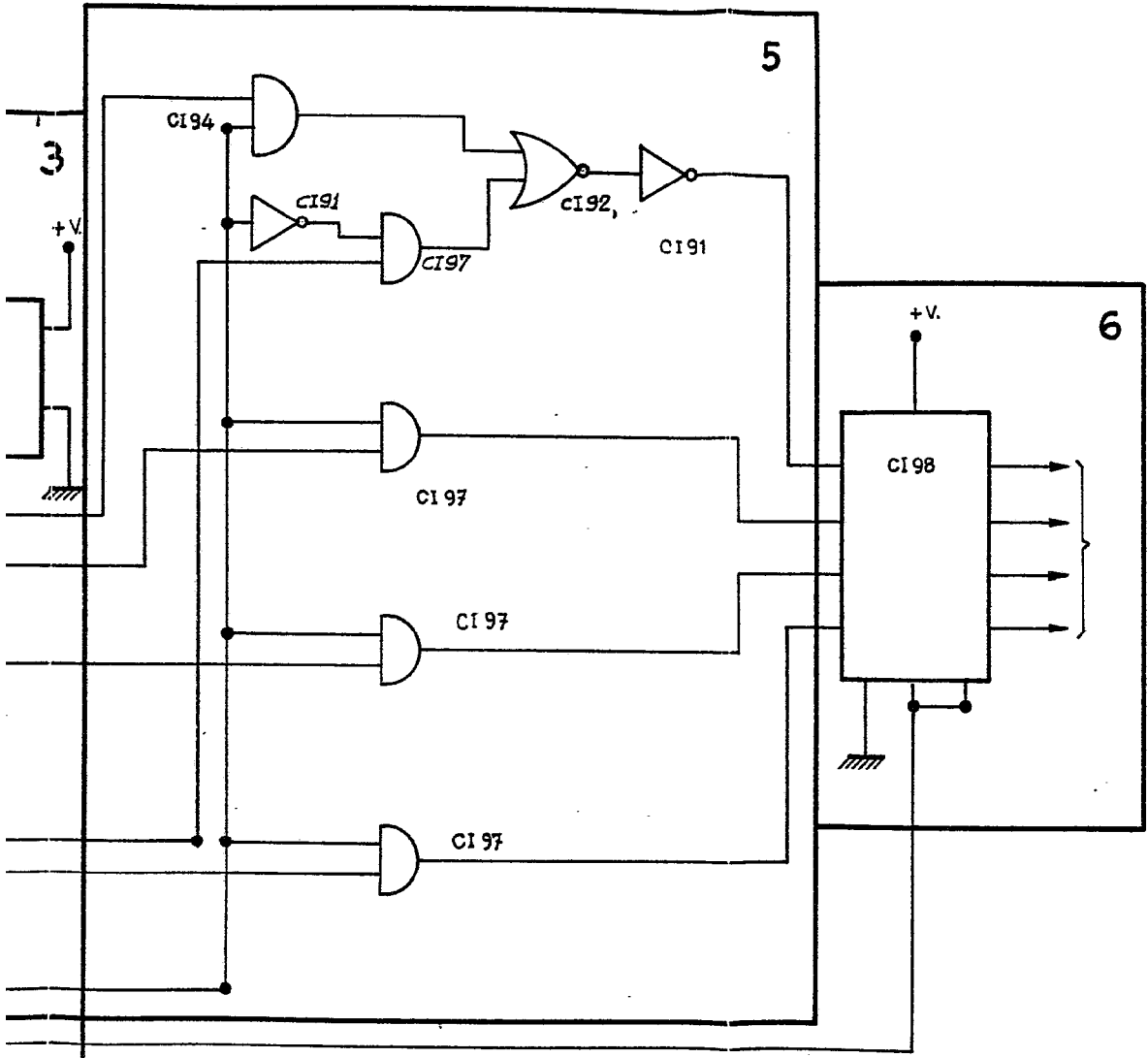
FIG. 5

*Antonio de la Torre*  
MADRID





ESCALA VARIABLE



*Carlos P. P. P.*  
**MADRID**

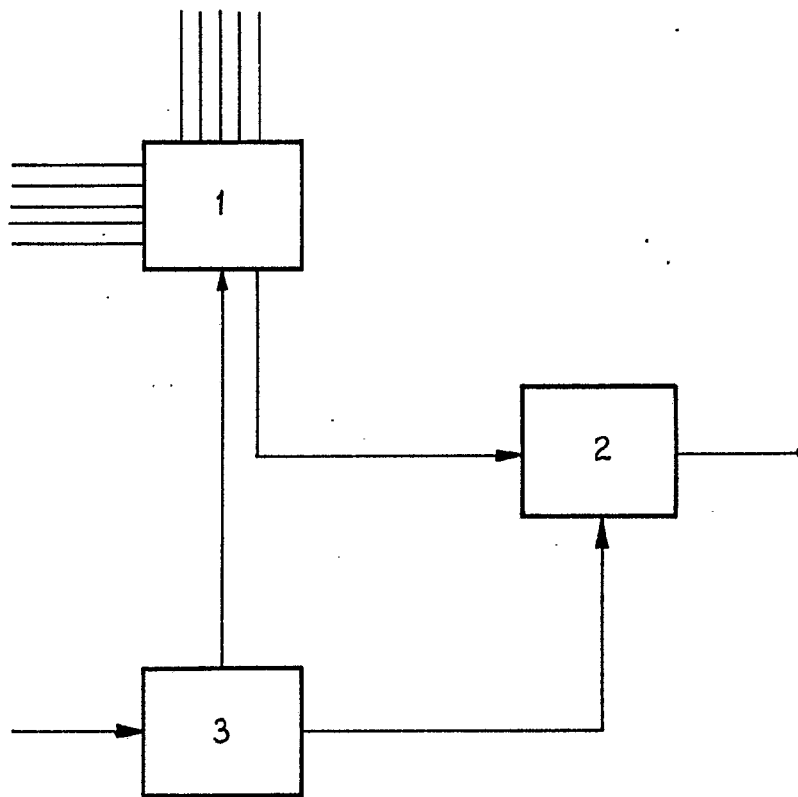
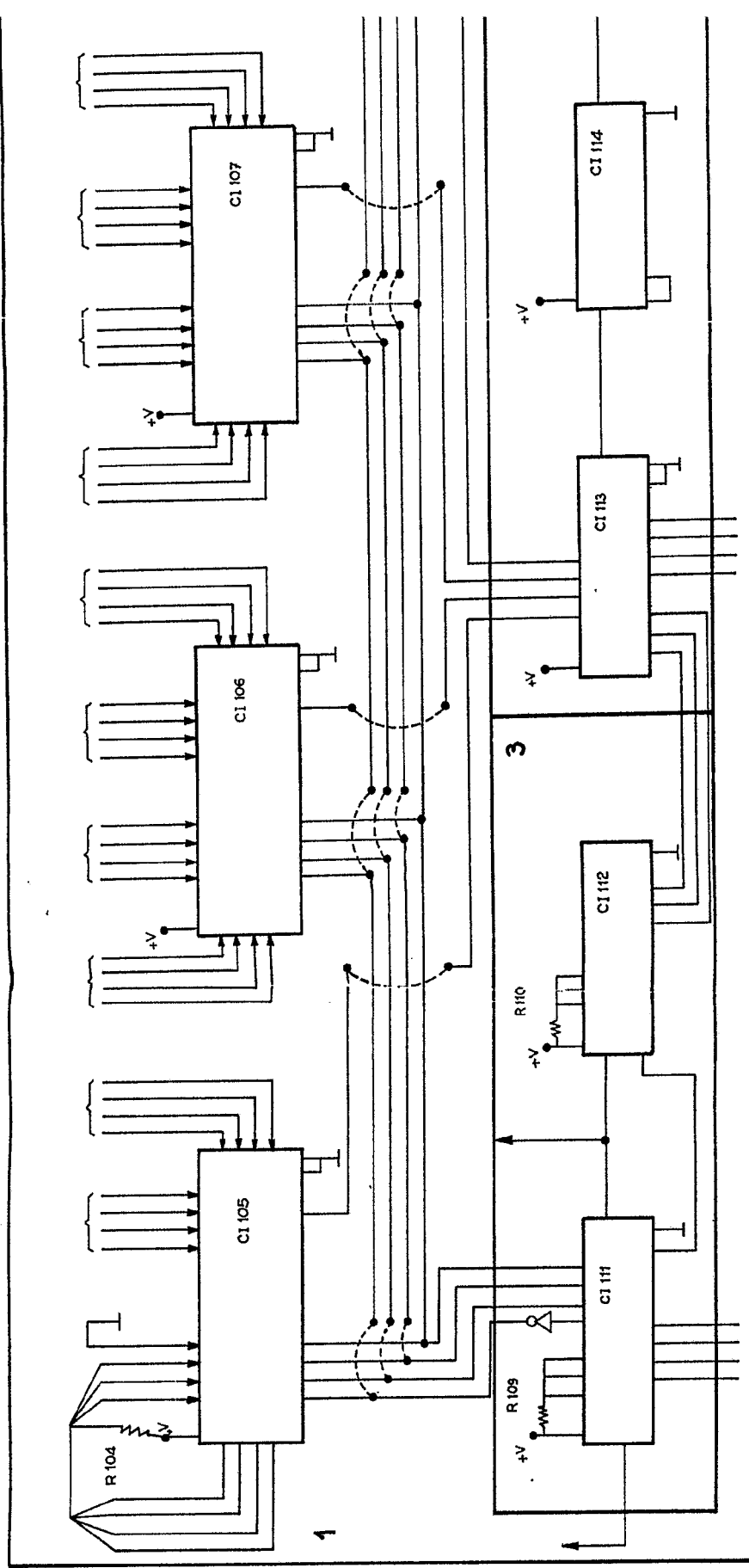
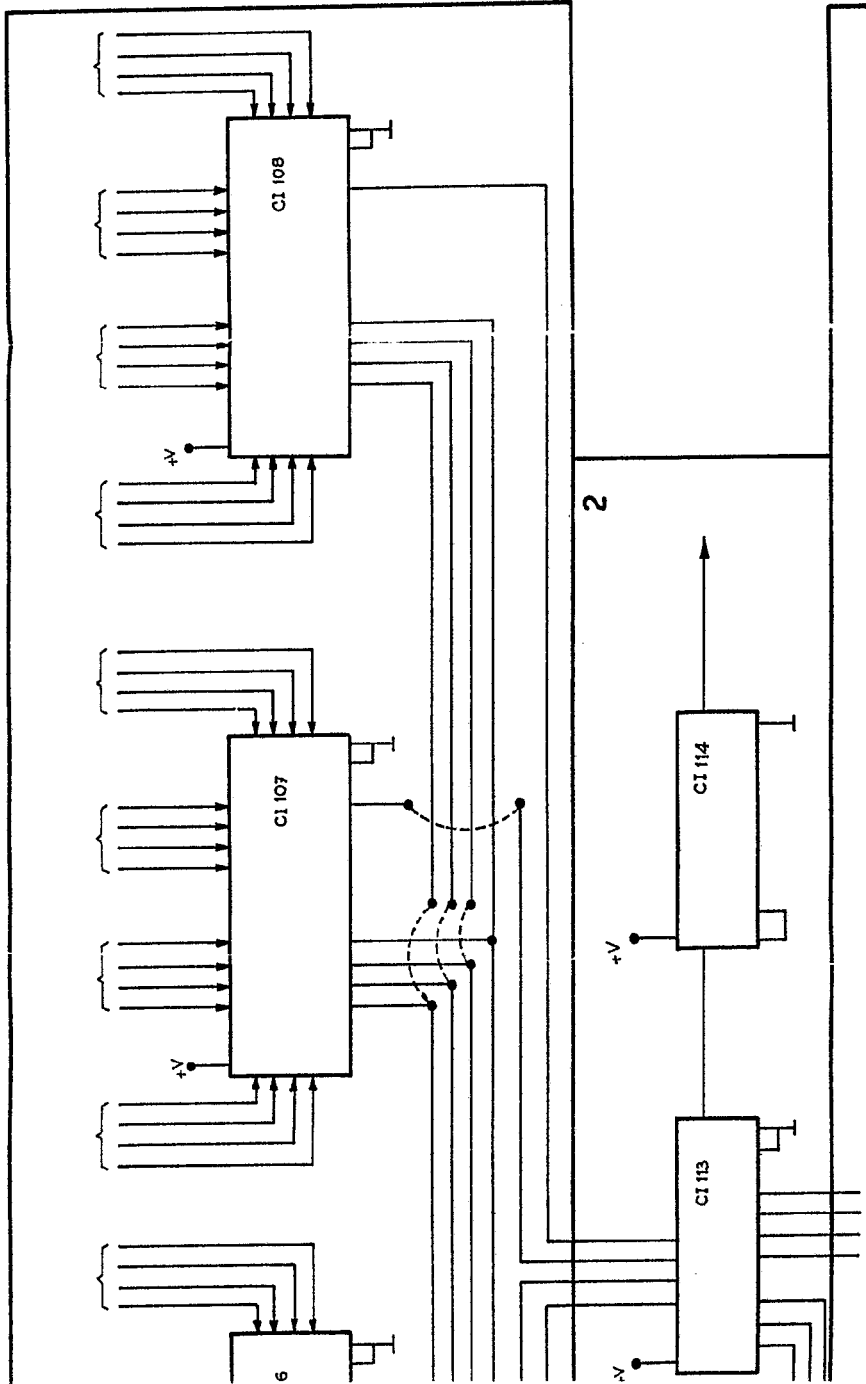


FIG.6

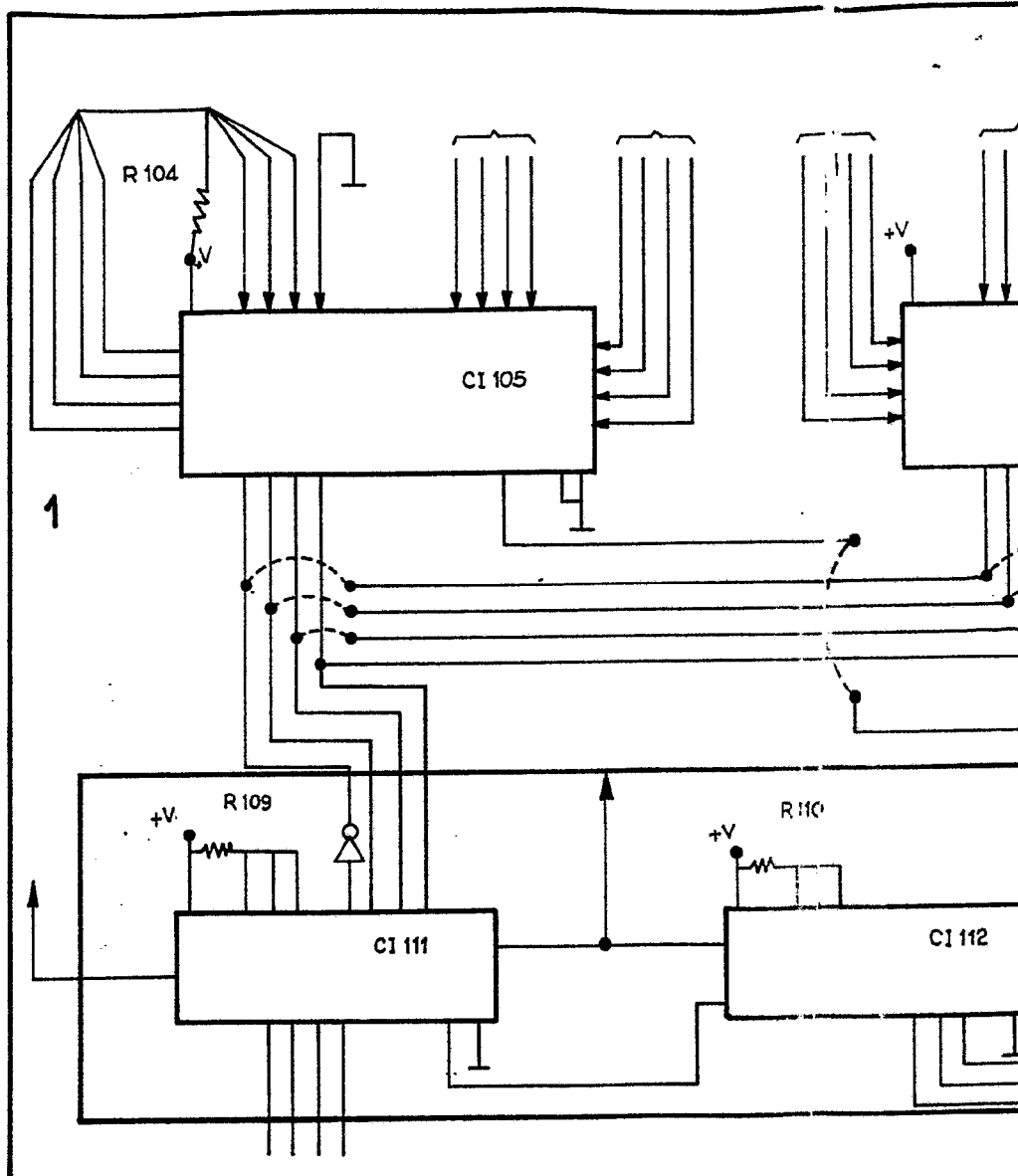
ESCALA VARIABLE

*Carlos Rodríguez*  
MADRID

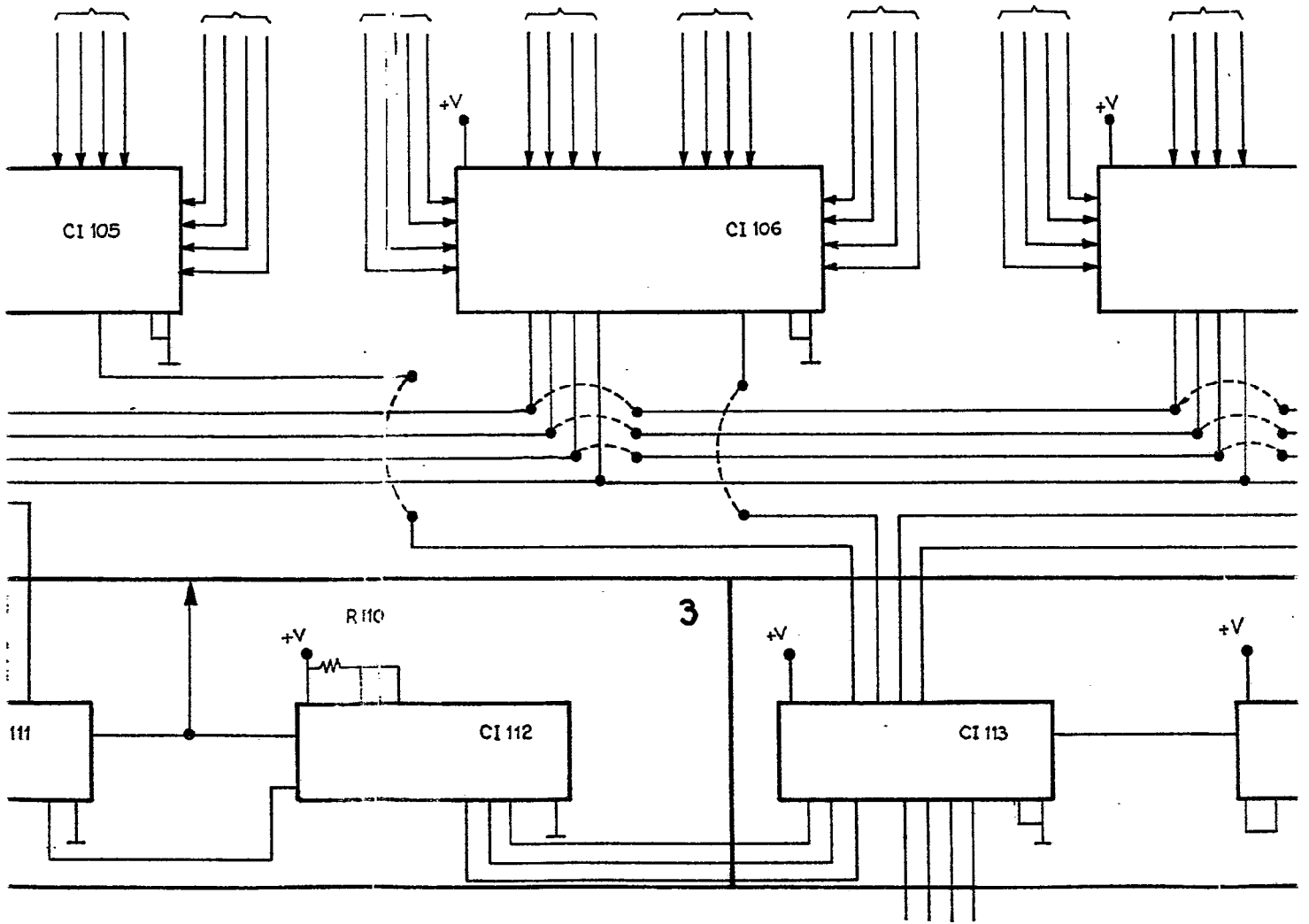


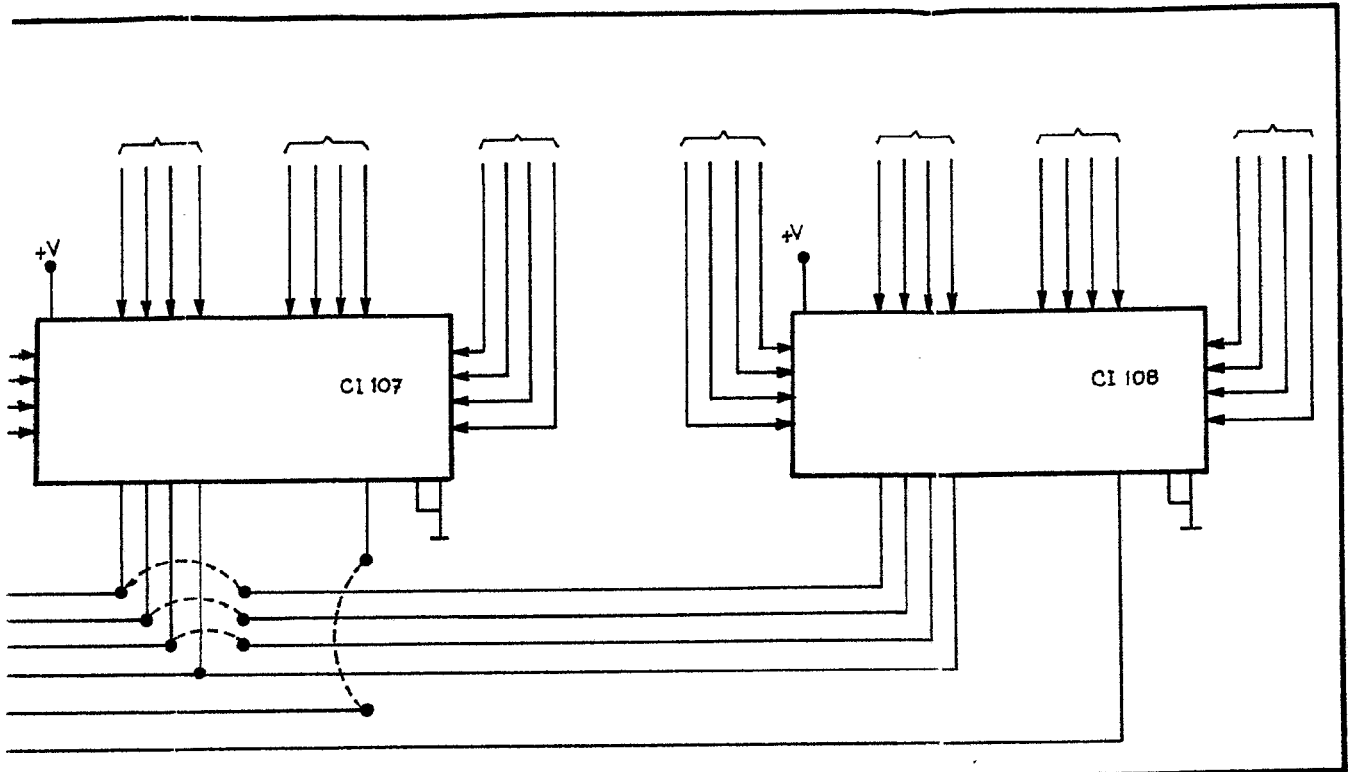


*Carlo J. P. V. Torres*  
MADRID

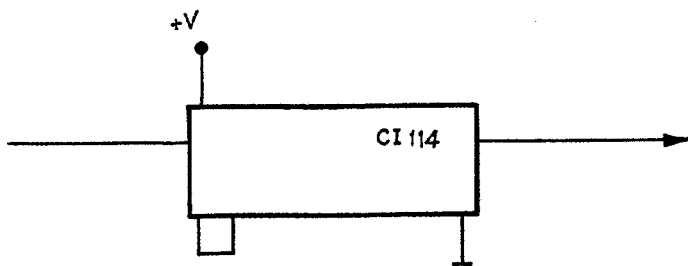


ESCALA VARIABLE

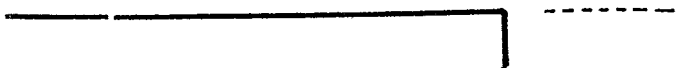
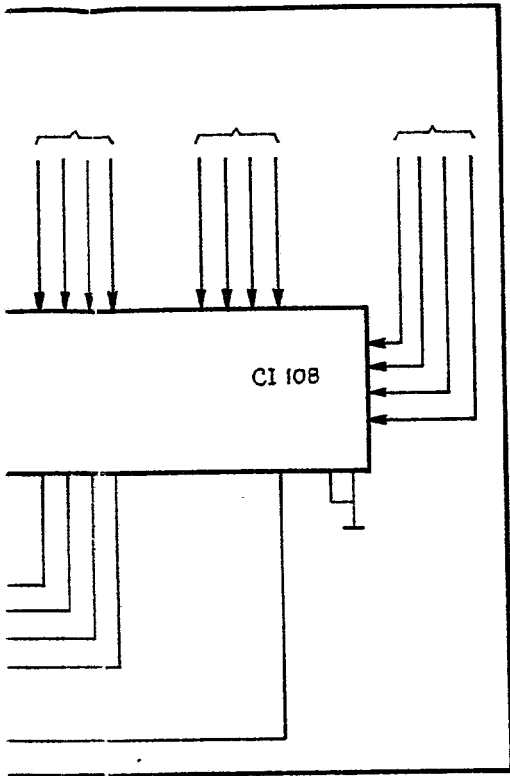




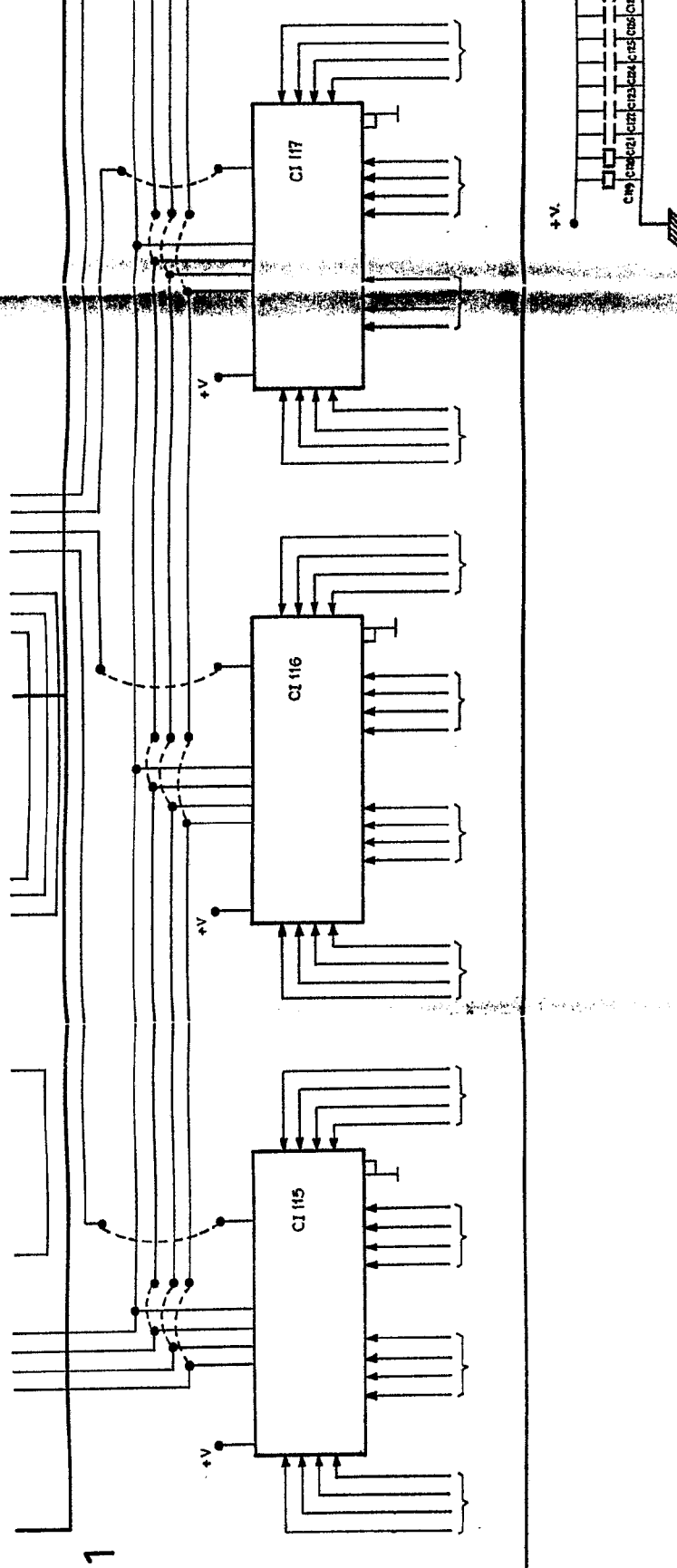
2



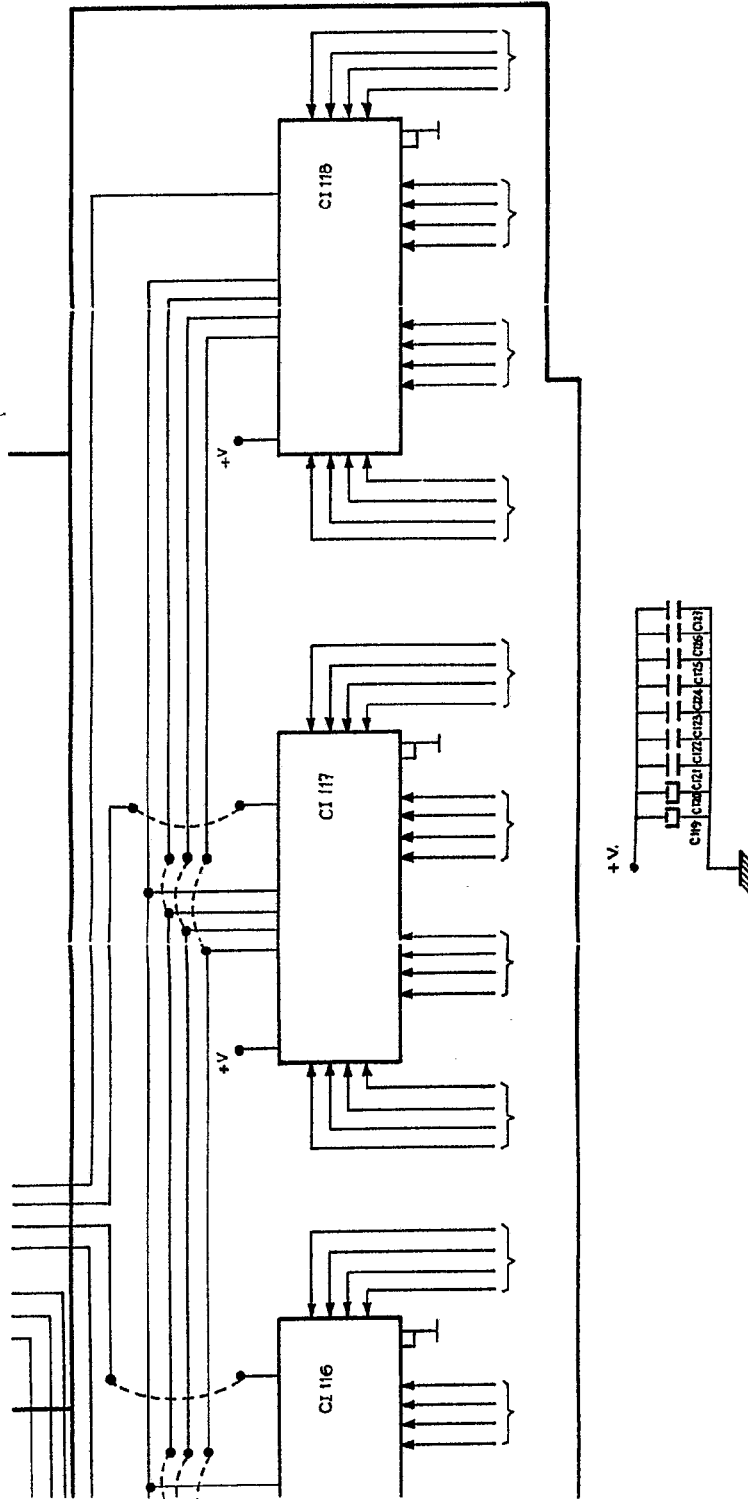
*Carte*



*Carlos de Venturo*  
MADRID



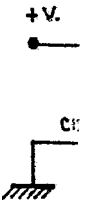
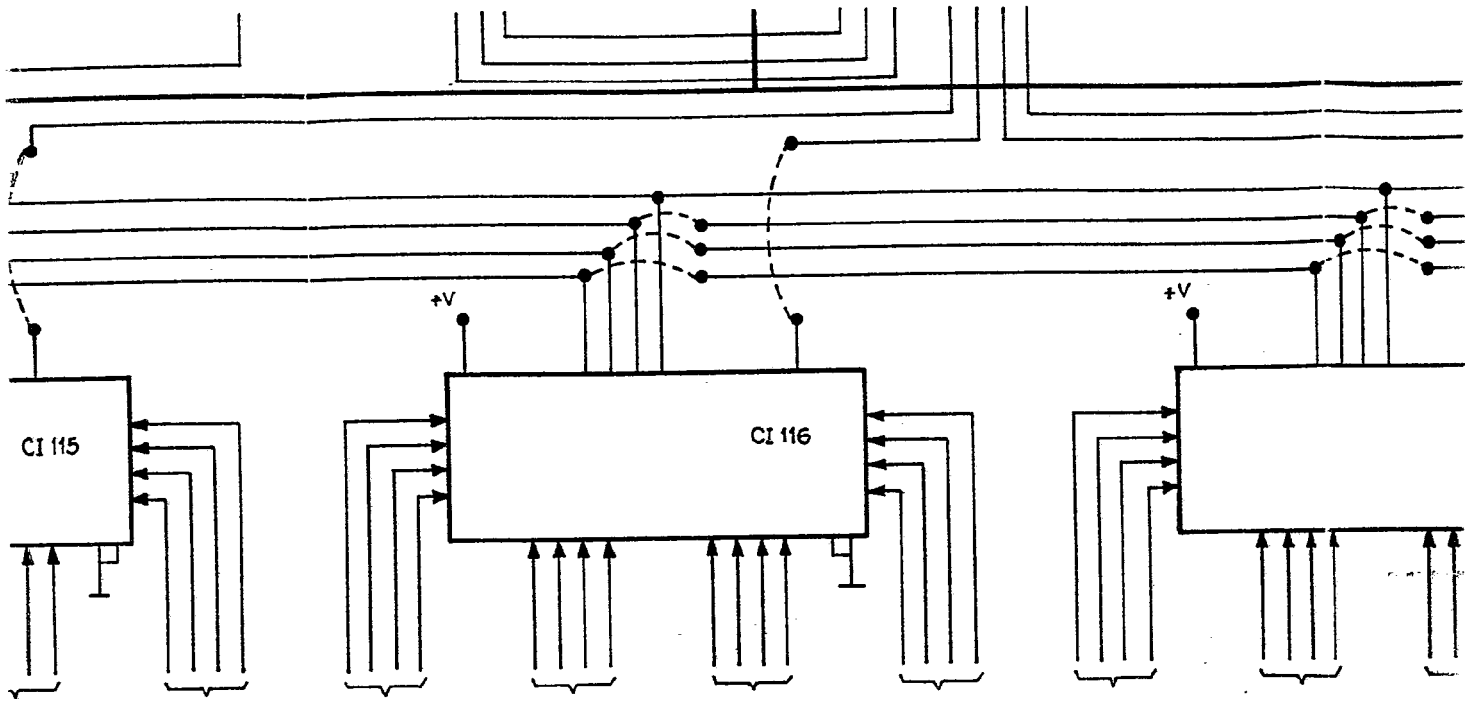
ESCALA VARIABLE

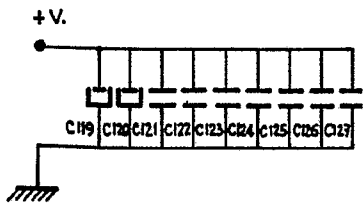
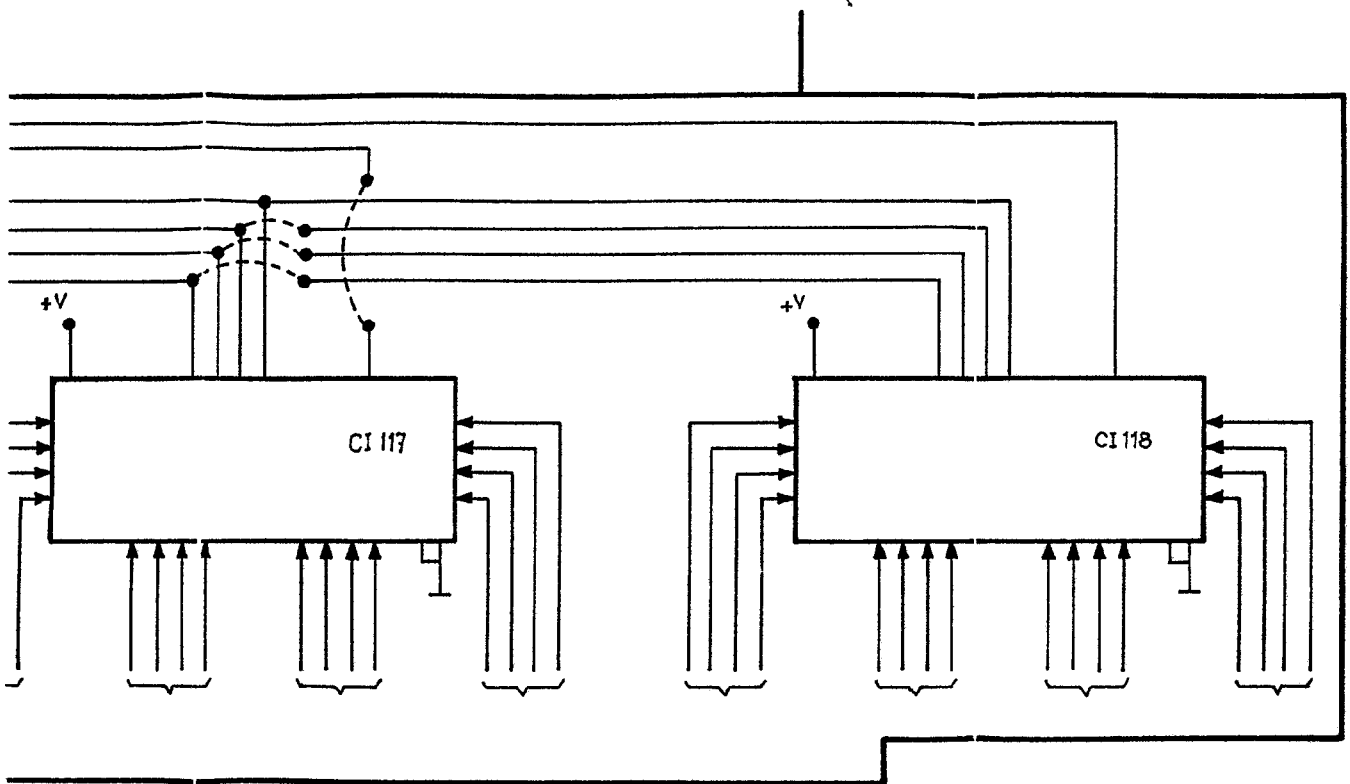


*Handwritten signature and date:*  
MADRID, 10/12/20

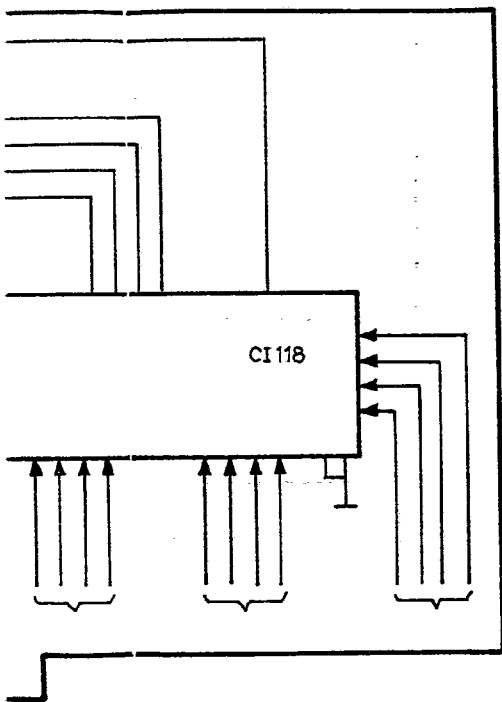
MADRID







*Handwritten signature or initials*



*Carlos Barbero*  
MADRID.

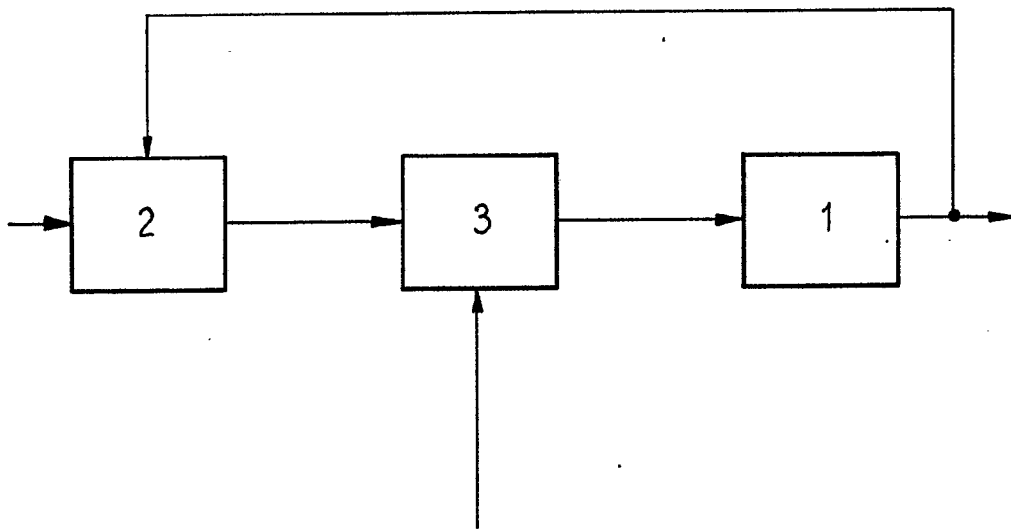
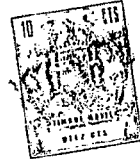
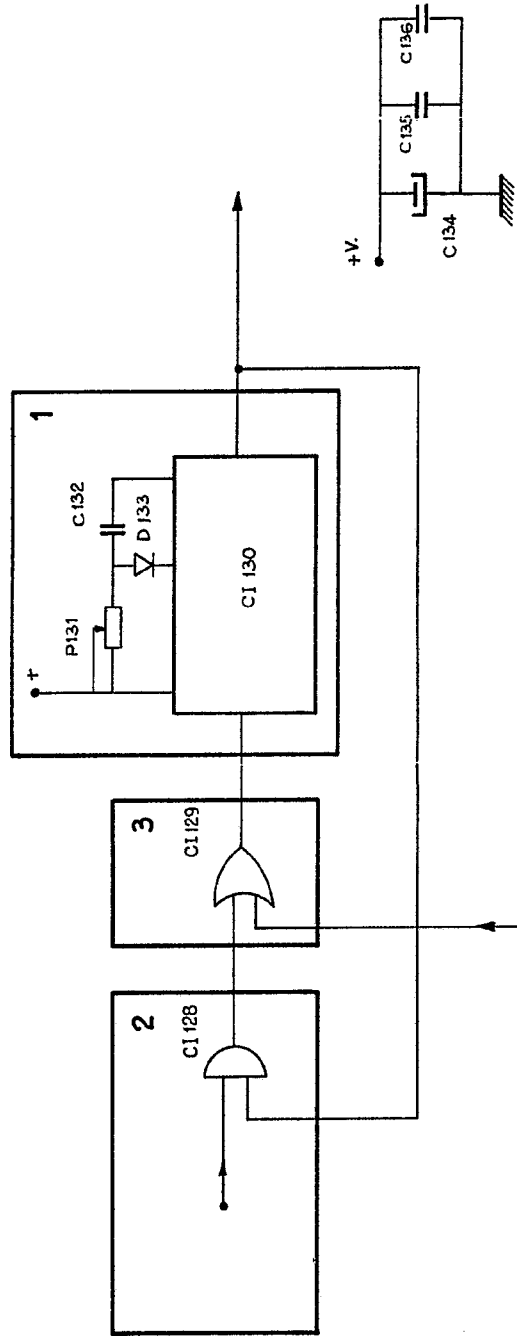


FIG.7

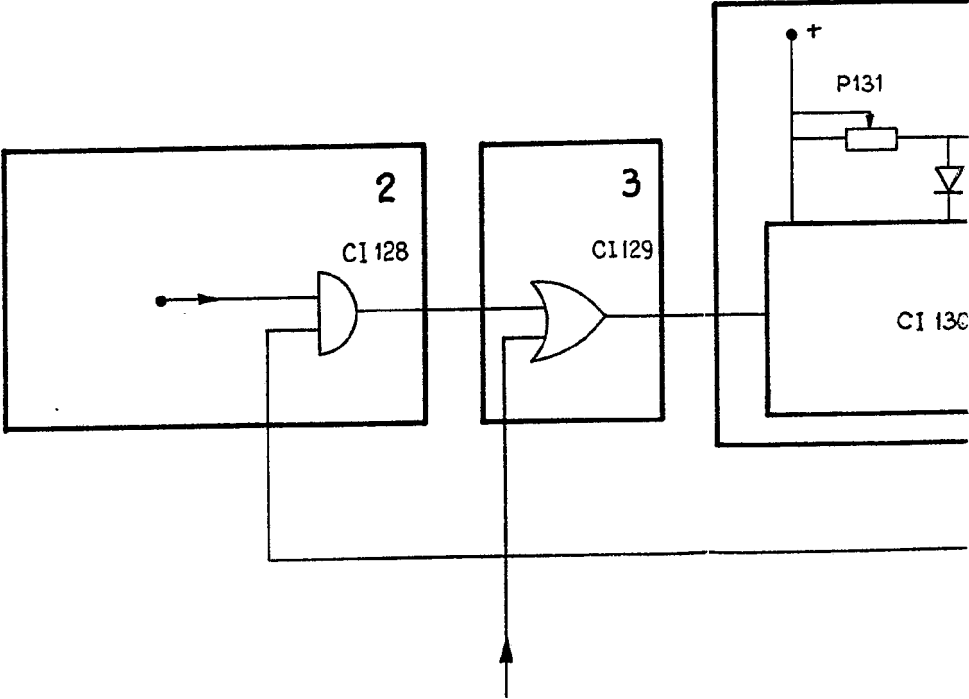
ESCALA VARIABLE

*[Handwritten signature]*  
MADRID.

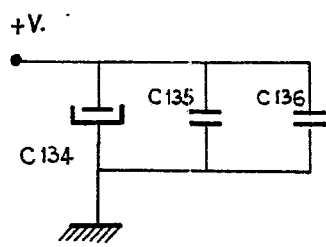
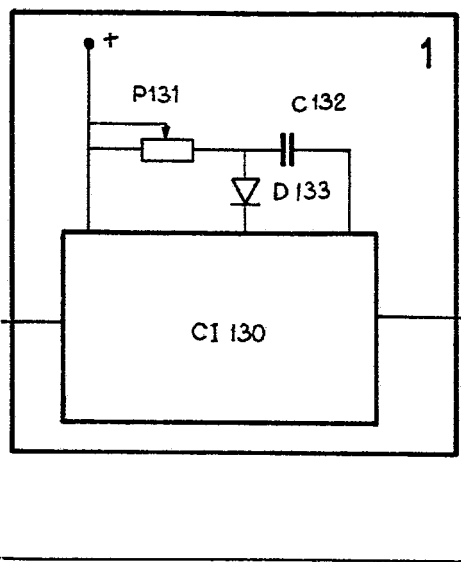


ESCALA VARIABLE

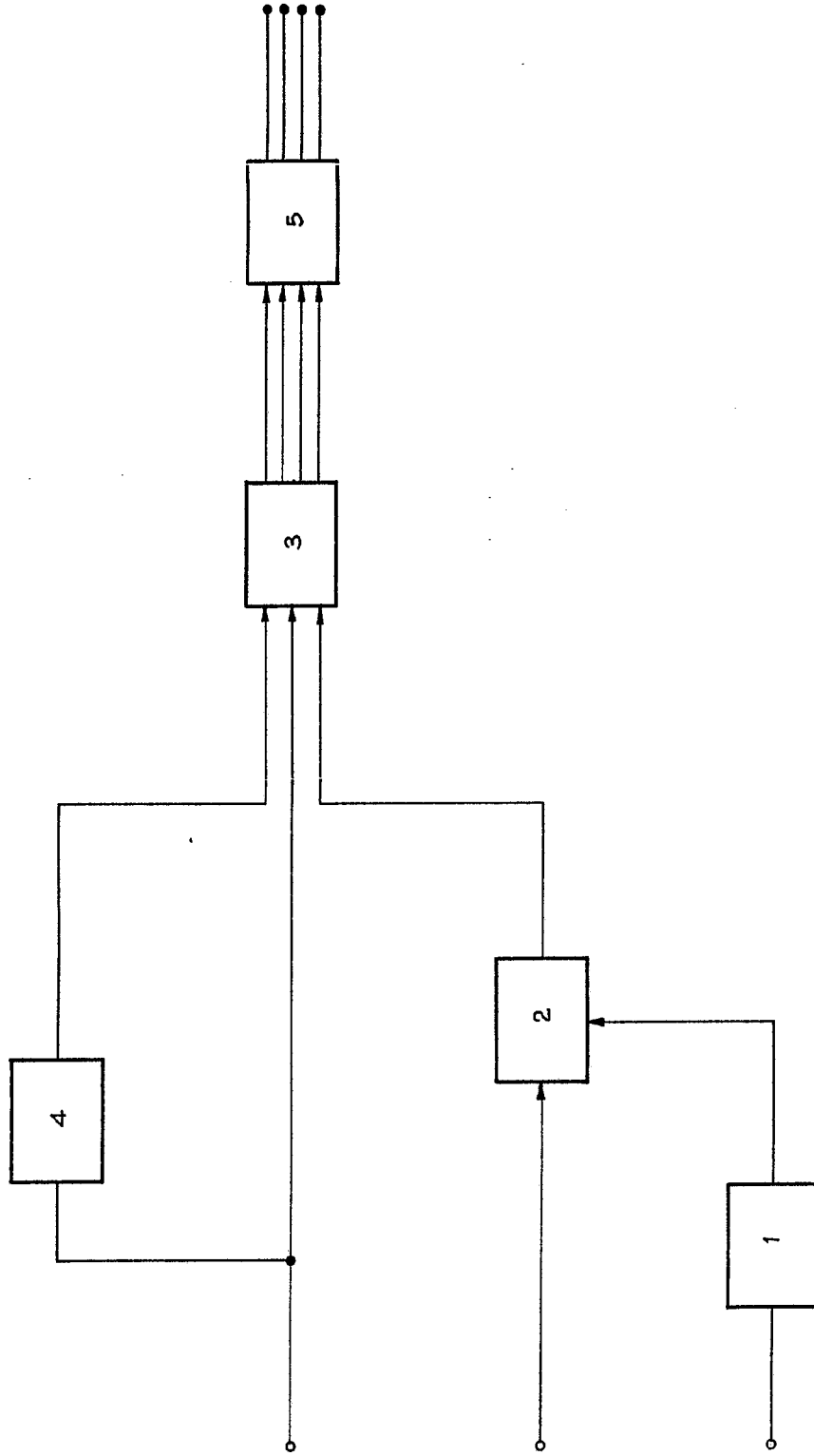
*Carabina*  
MADRID.



ESCALA VARIABLE



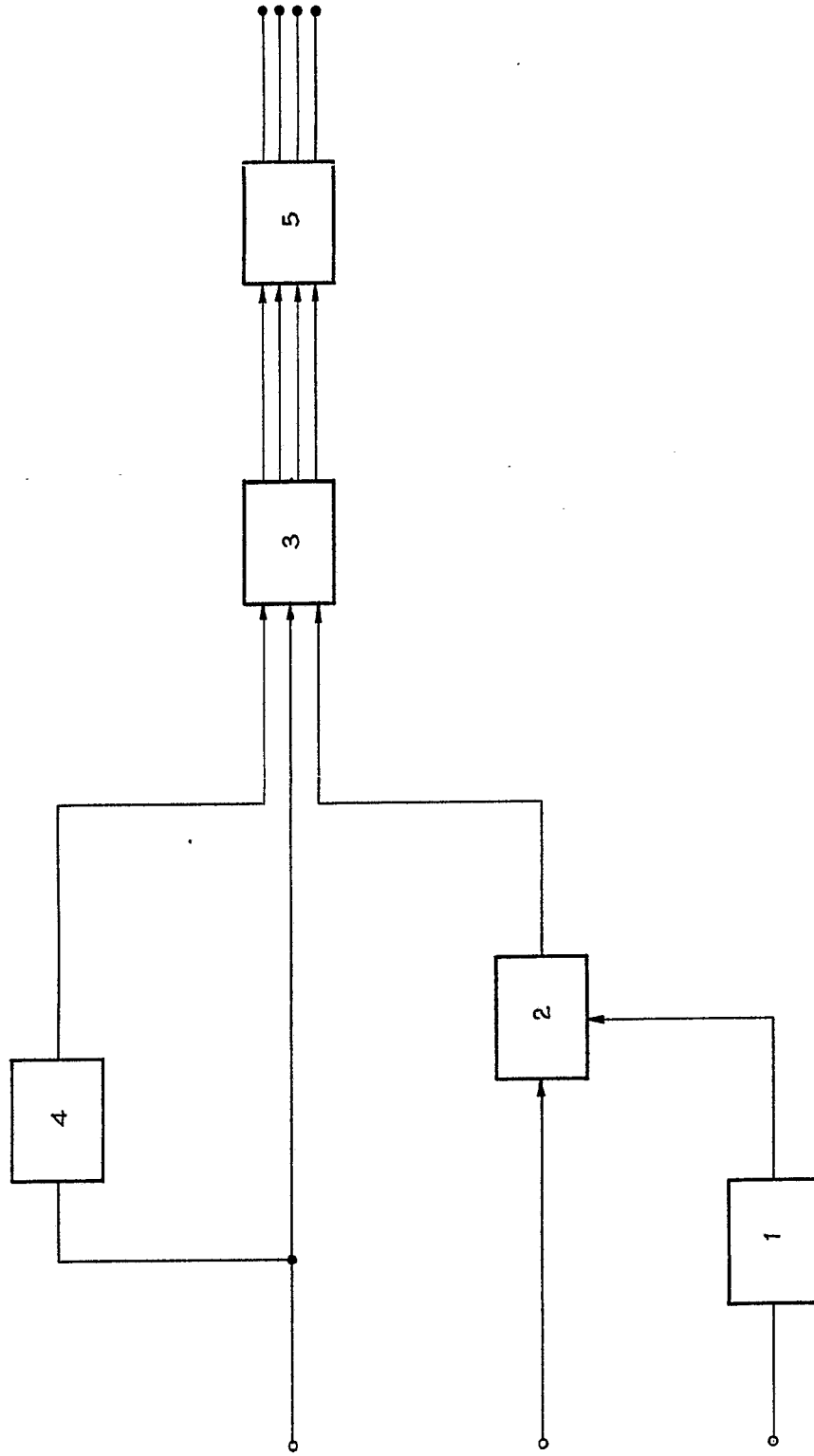
*Carlos Martínez*  
MADRID.



ESCALA VARIABLE

FIG. 8

*[Handwritten signature]*  
MADRID.



ESCALA VARIABLE

FIG. 8

*Handwritten signature and date:*  
MADRID.  
1953

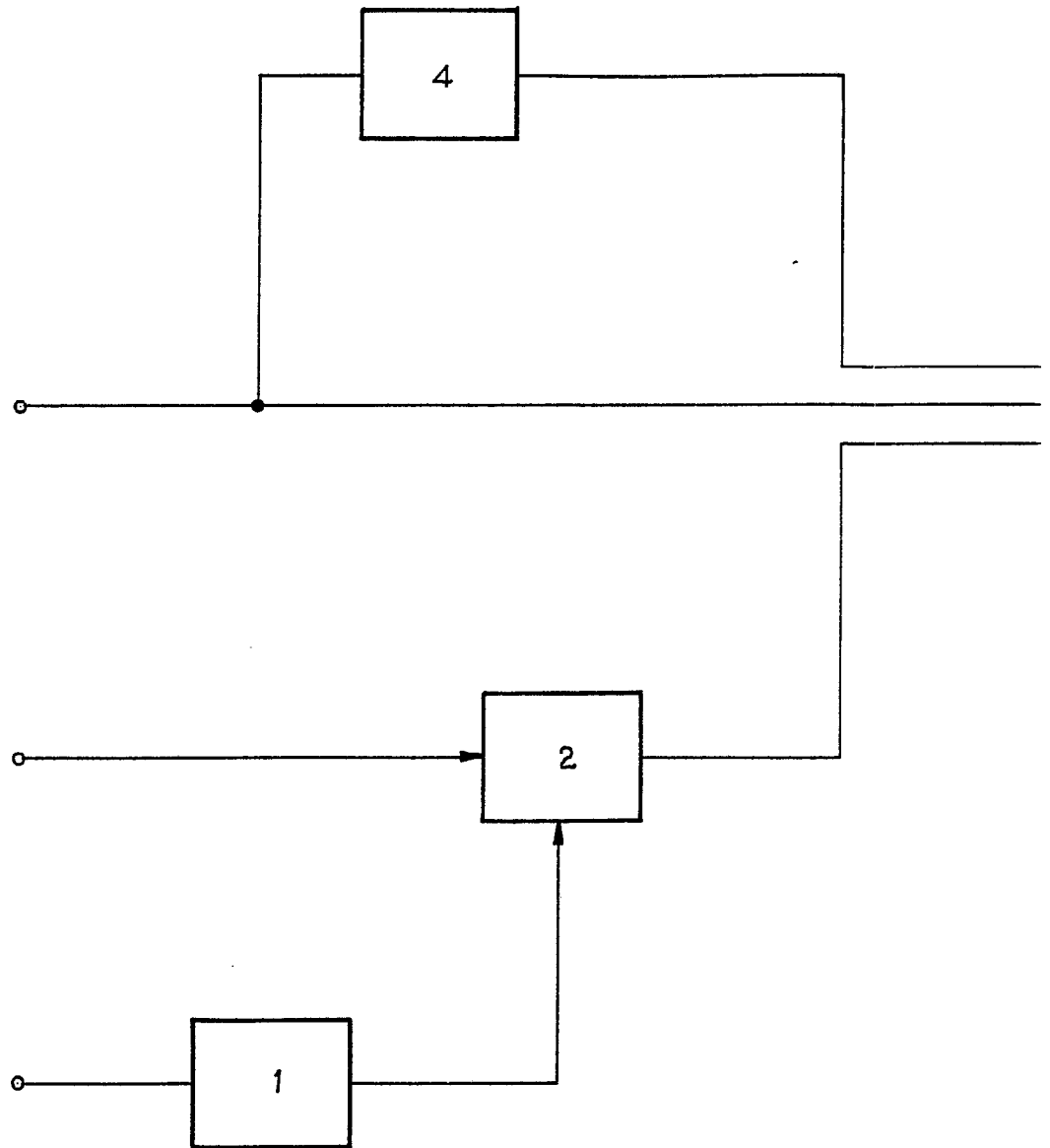
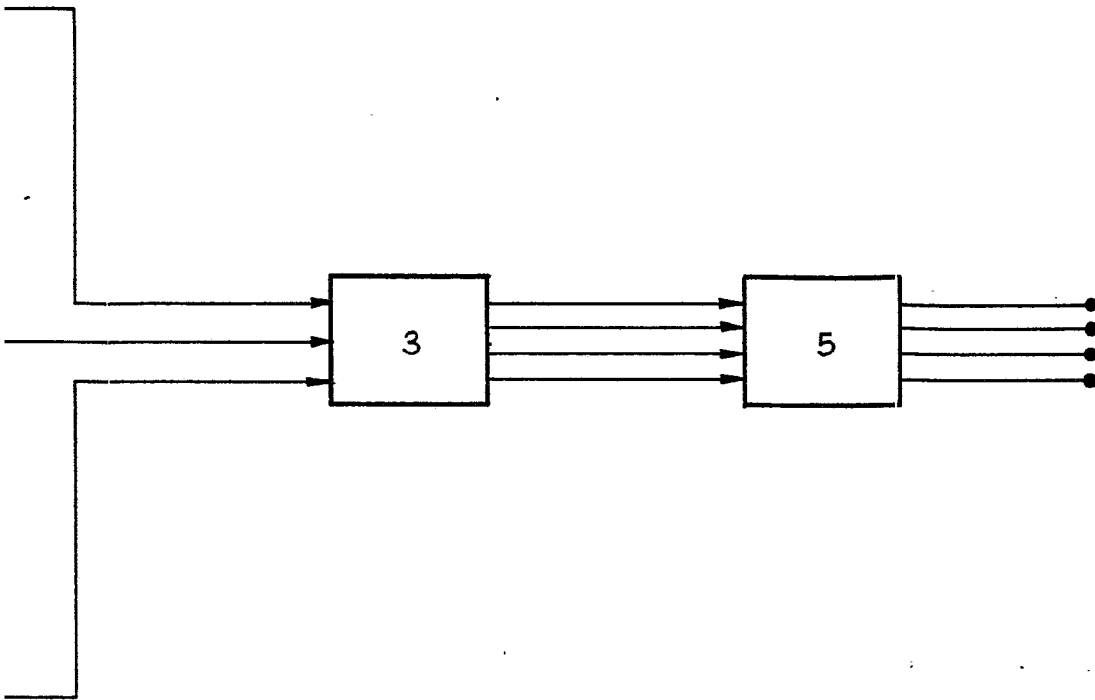


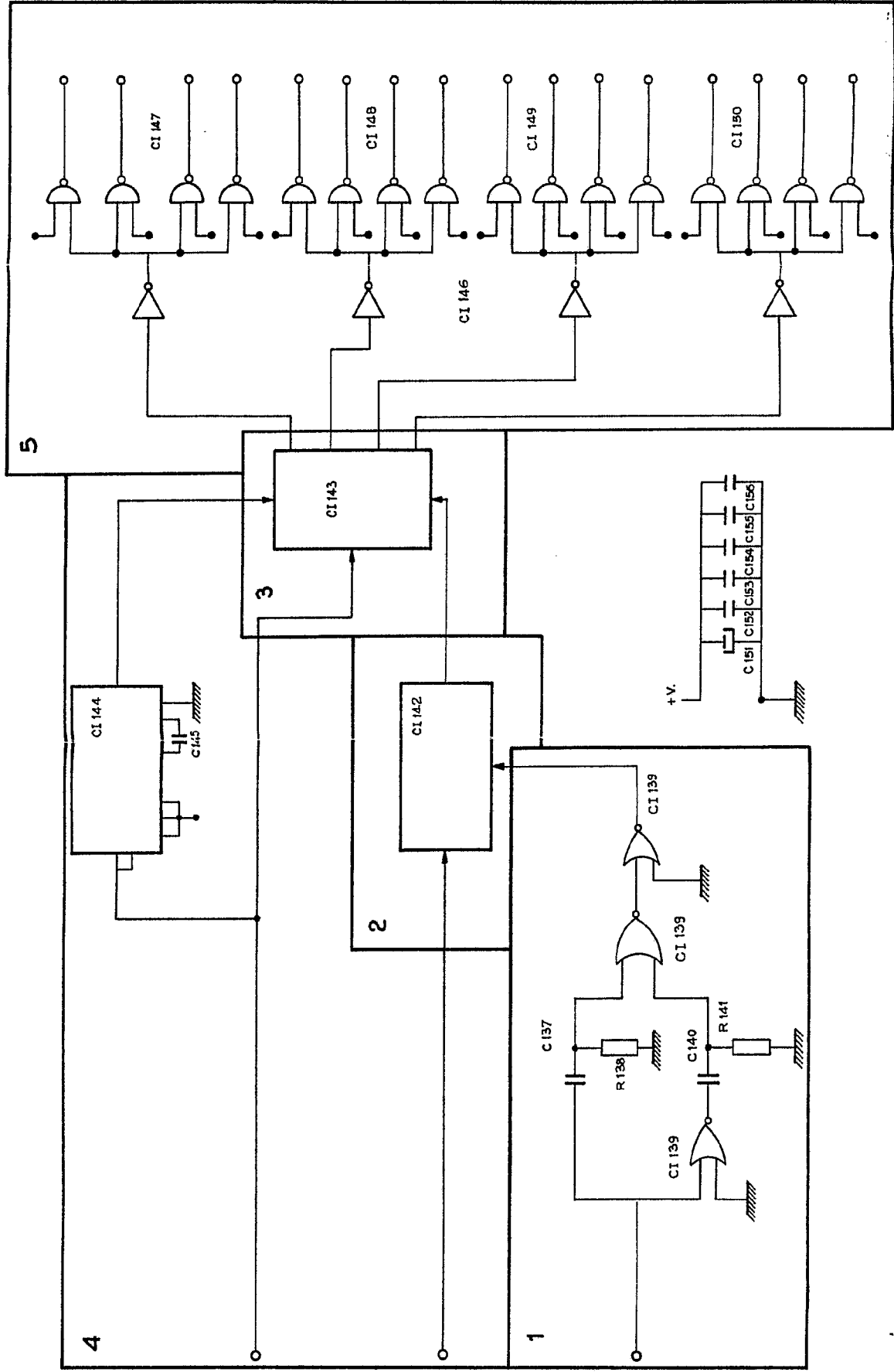
FIG. 8

ESCALA VARIABLE

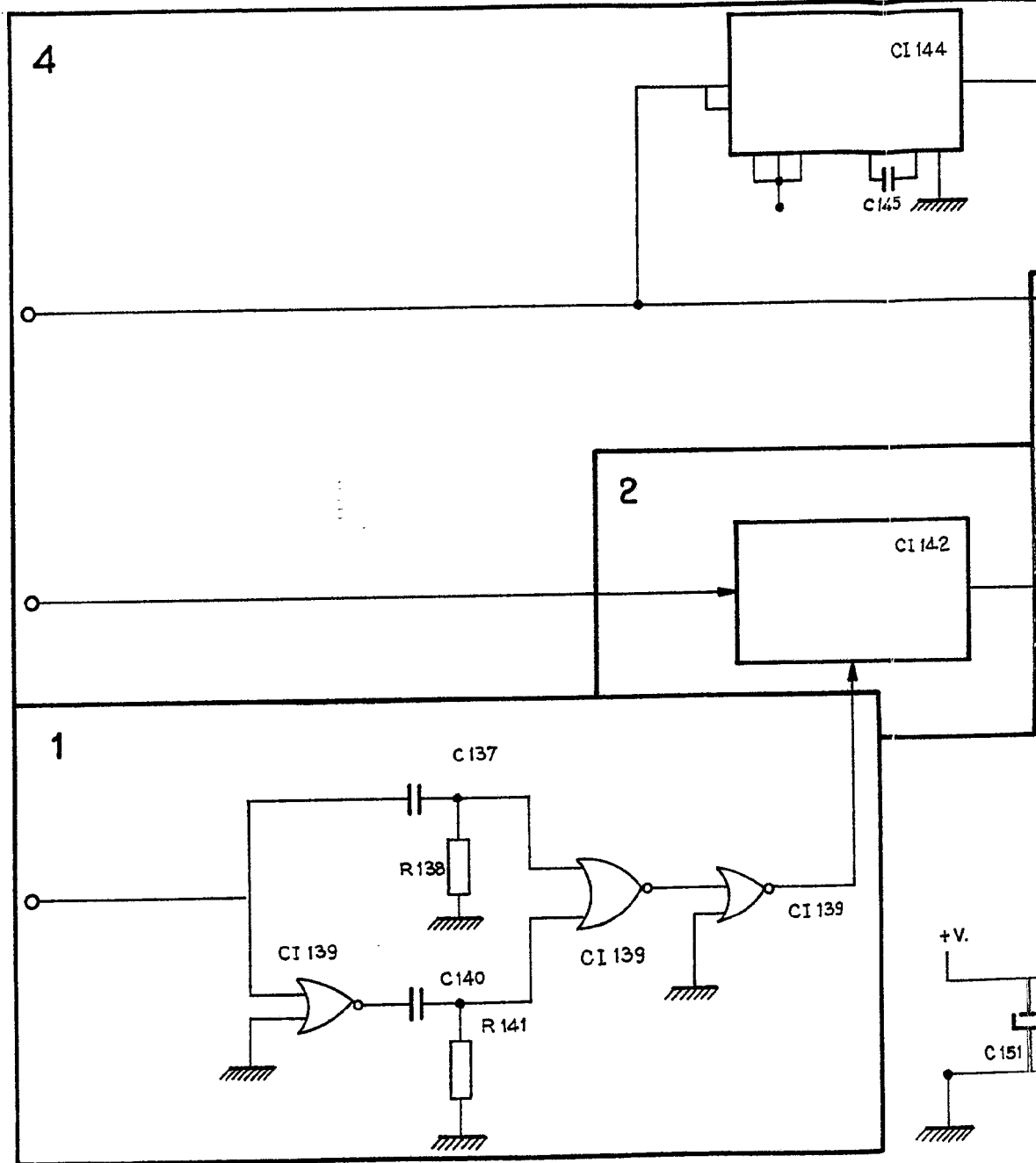


IG. 8

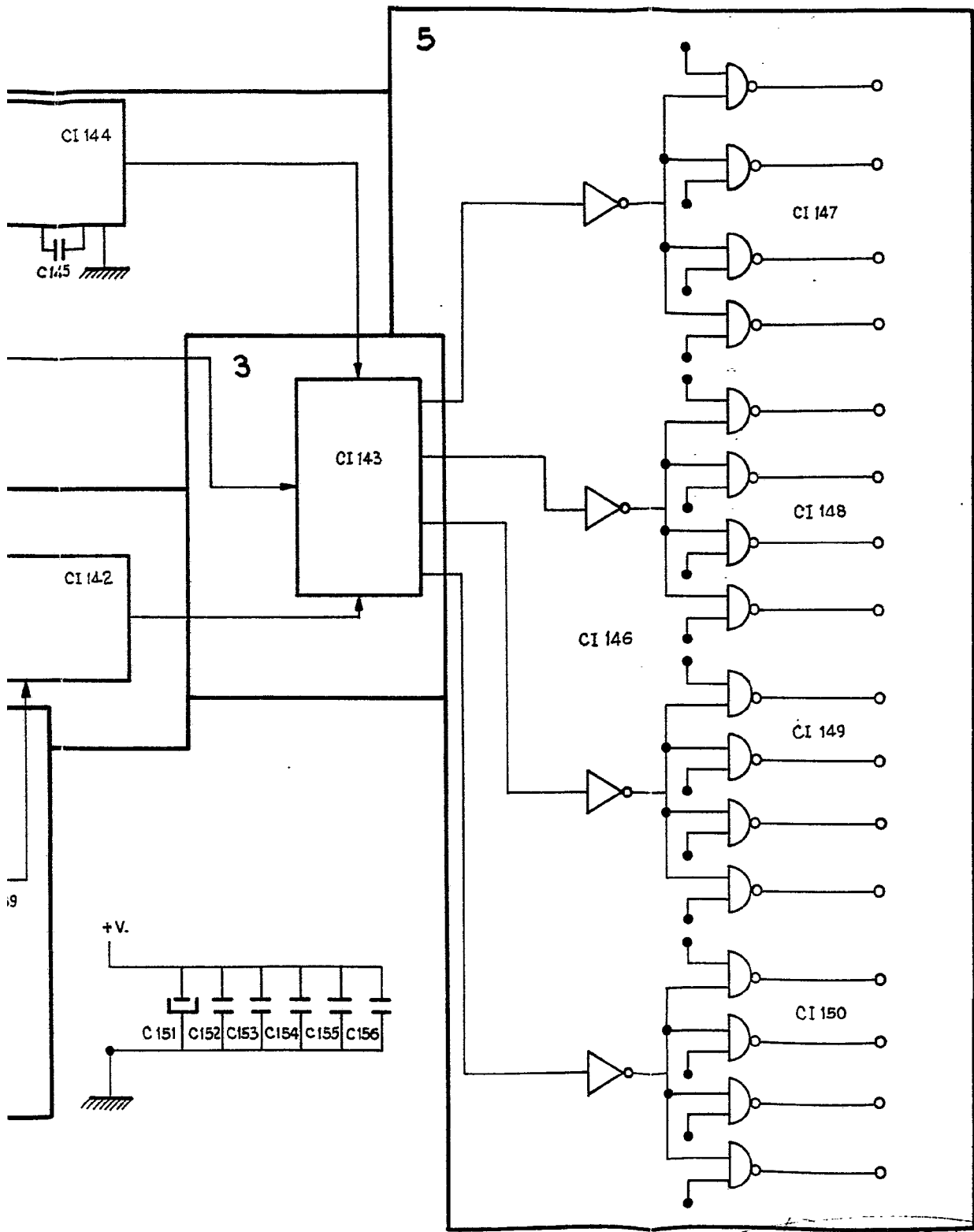
*Carlos Ballester*  
MADRID.



*Est. 111*  
MADRID



ESCALA VARIABLE



*Centro de Estudios Científicos*  
MADRID.

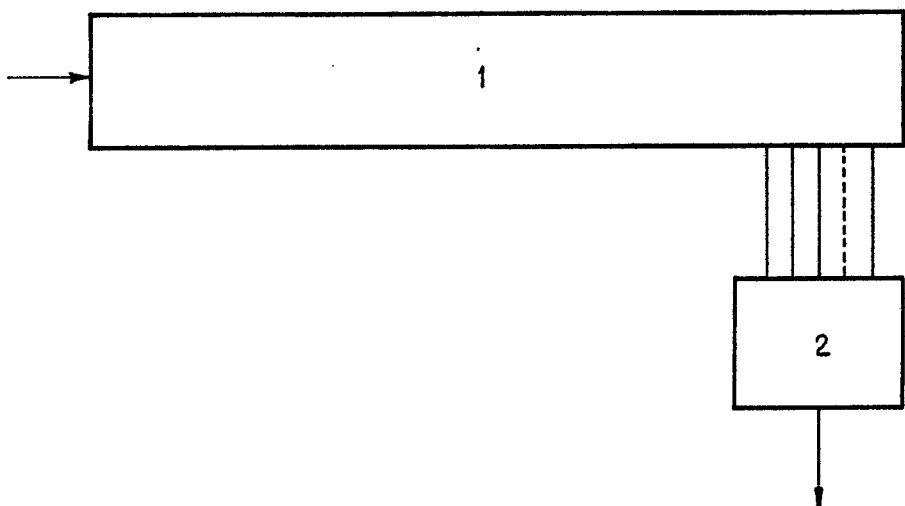
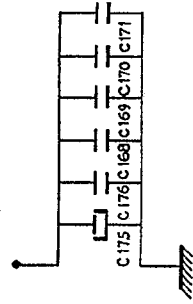
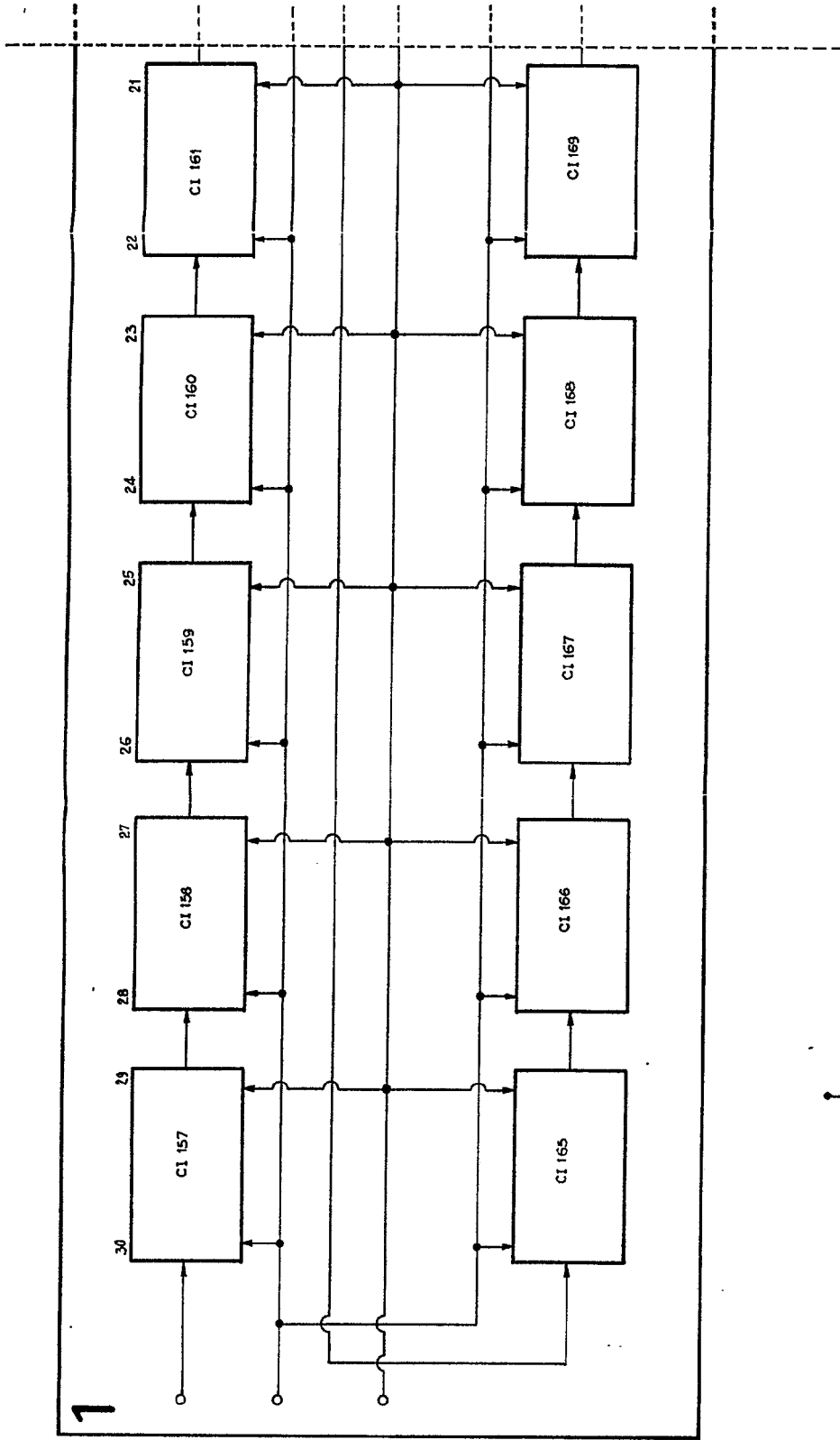


FIG. 9

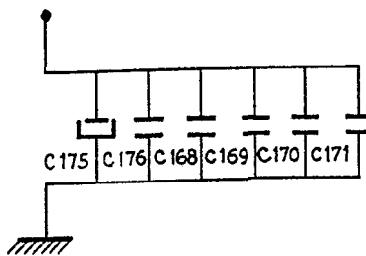
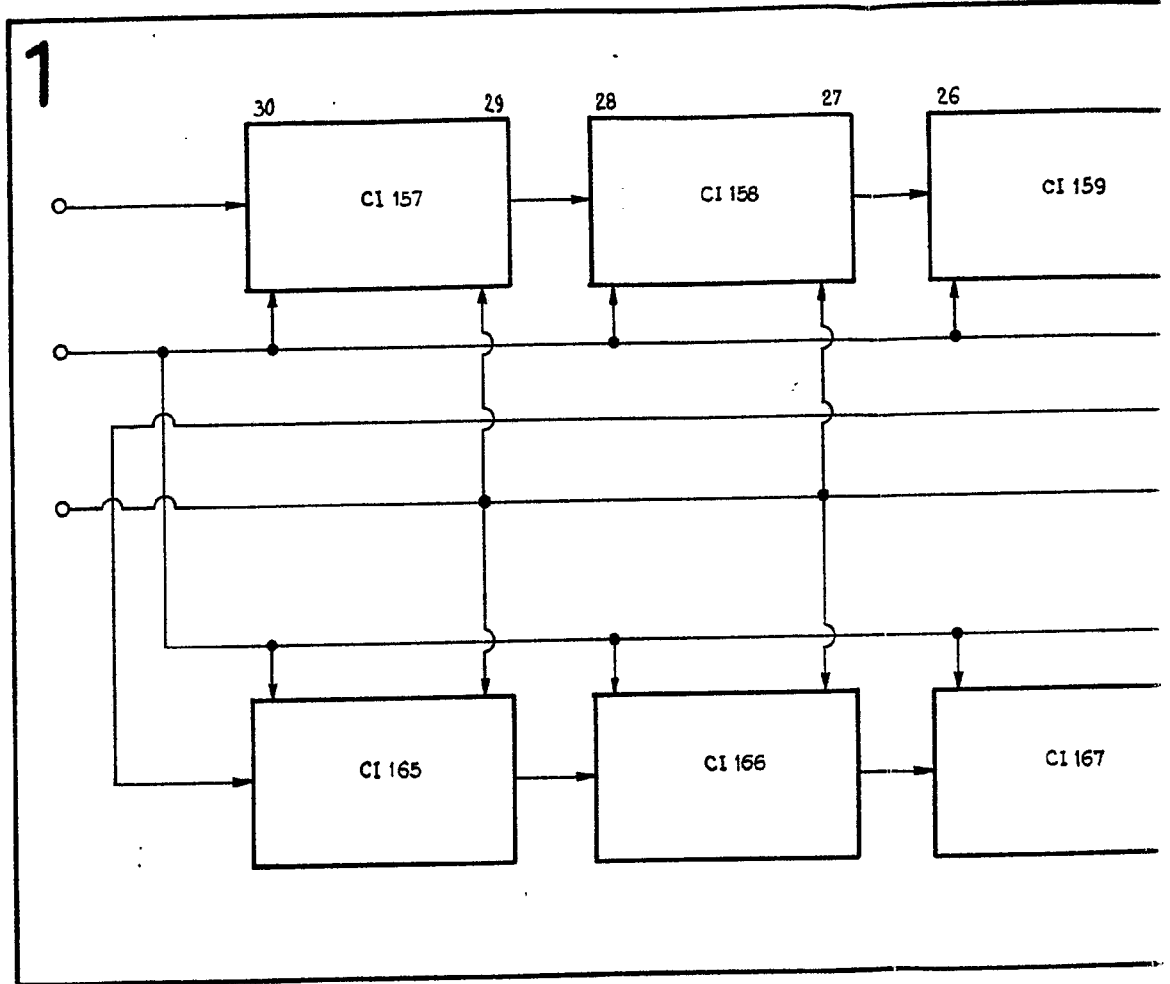
ESCALA VARIABLE.

*Enrique Zaldívar*  
MADRID.

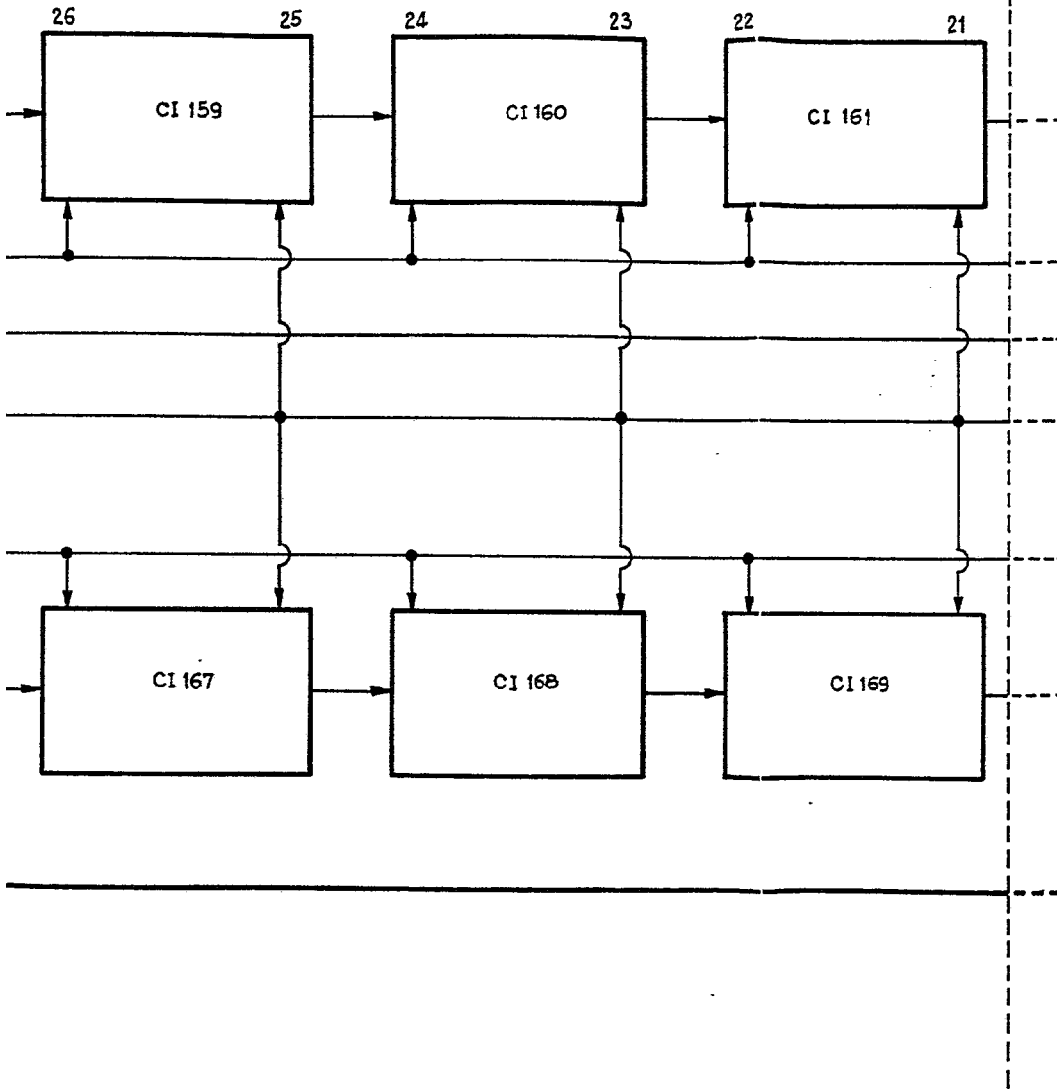


ESCALA VARIABLE

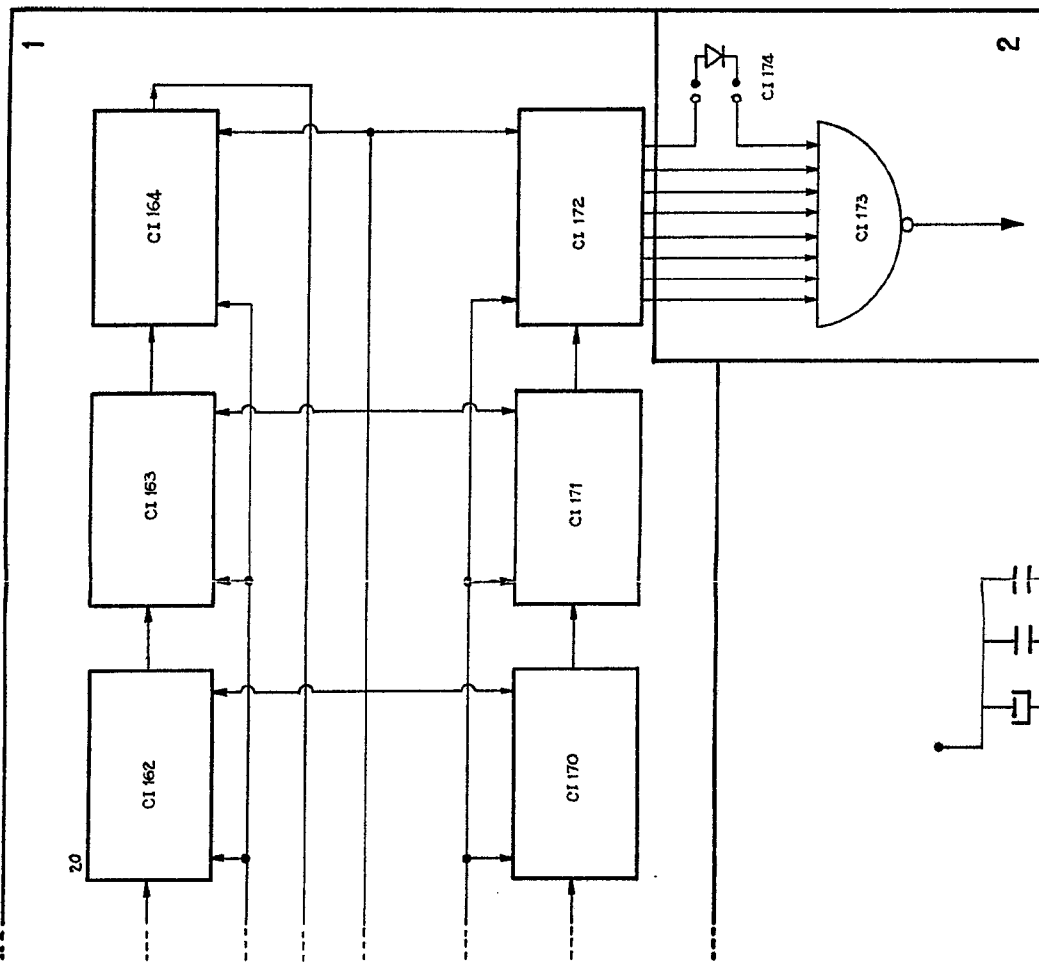
*Handwritten signature*  
MADRID



ESCALA VARIABLE.

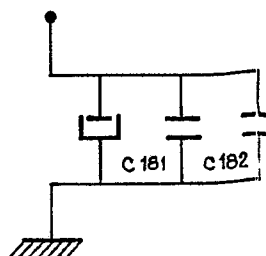
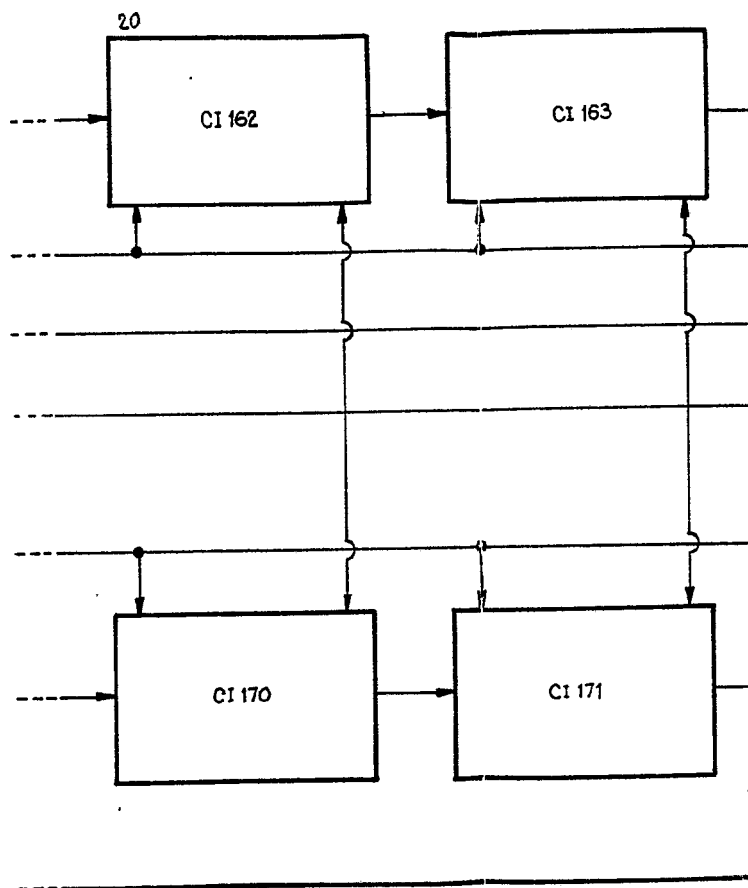


*Carlos de Hoyos*  
**MADRID**

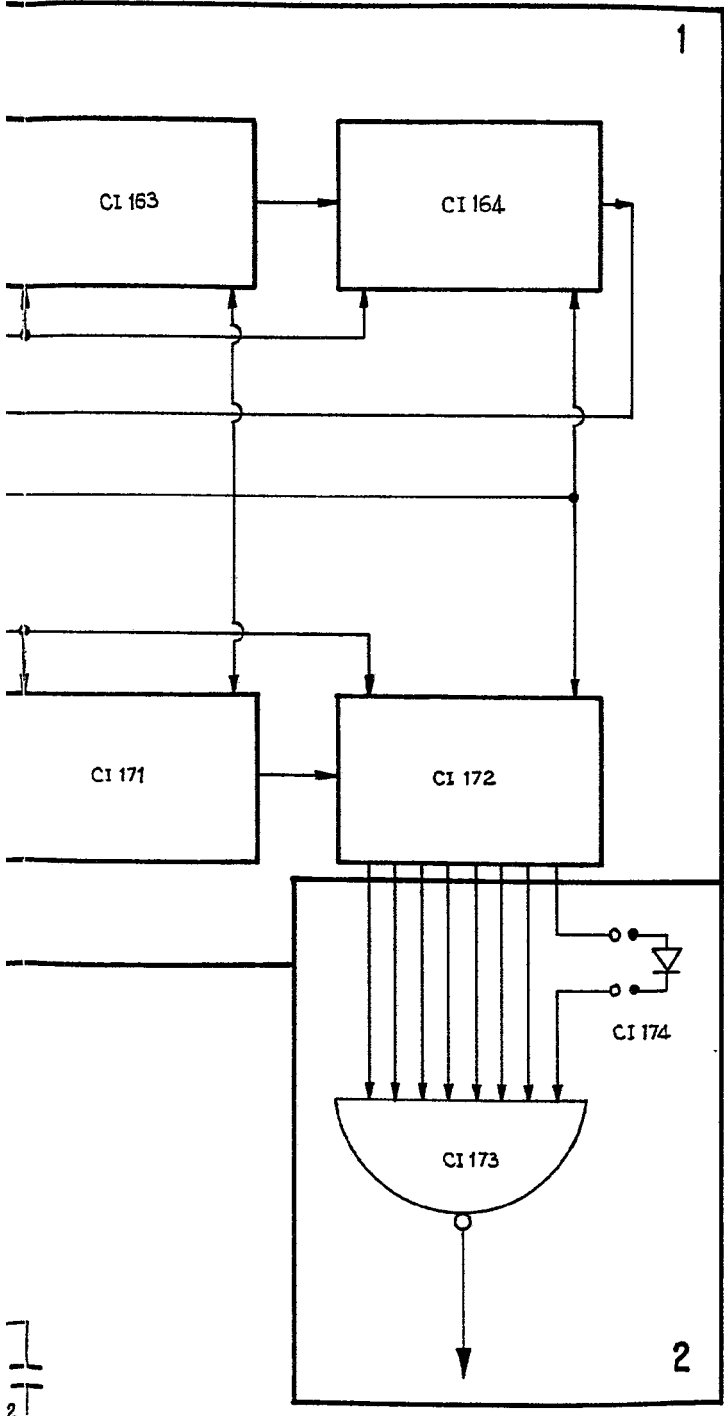


ESCALA VARIABLE.

*Handwritten signature*  
MADRID.



ESCALA VARIABLE.



*Carlos Barbera*

MADRID.

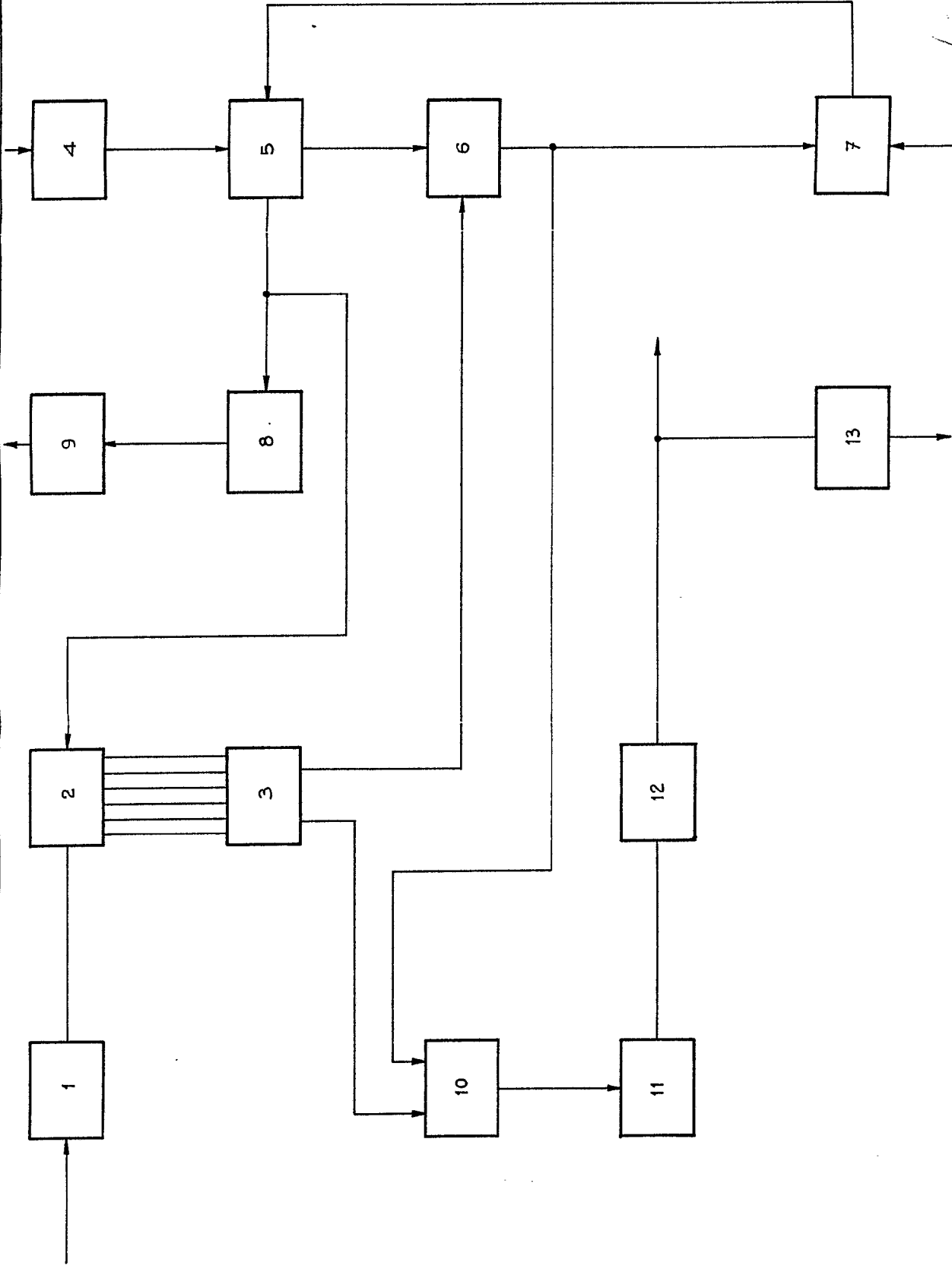
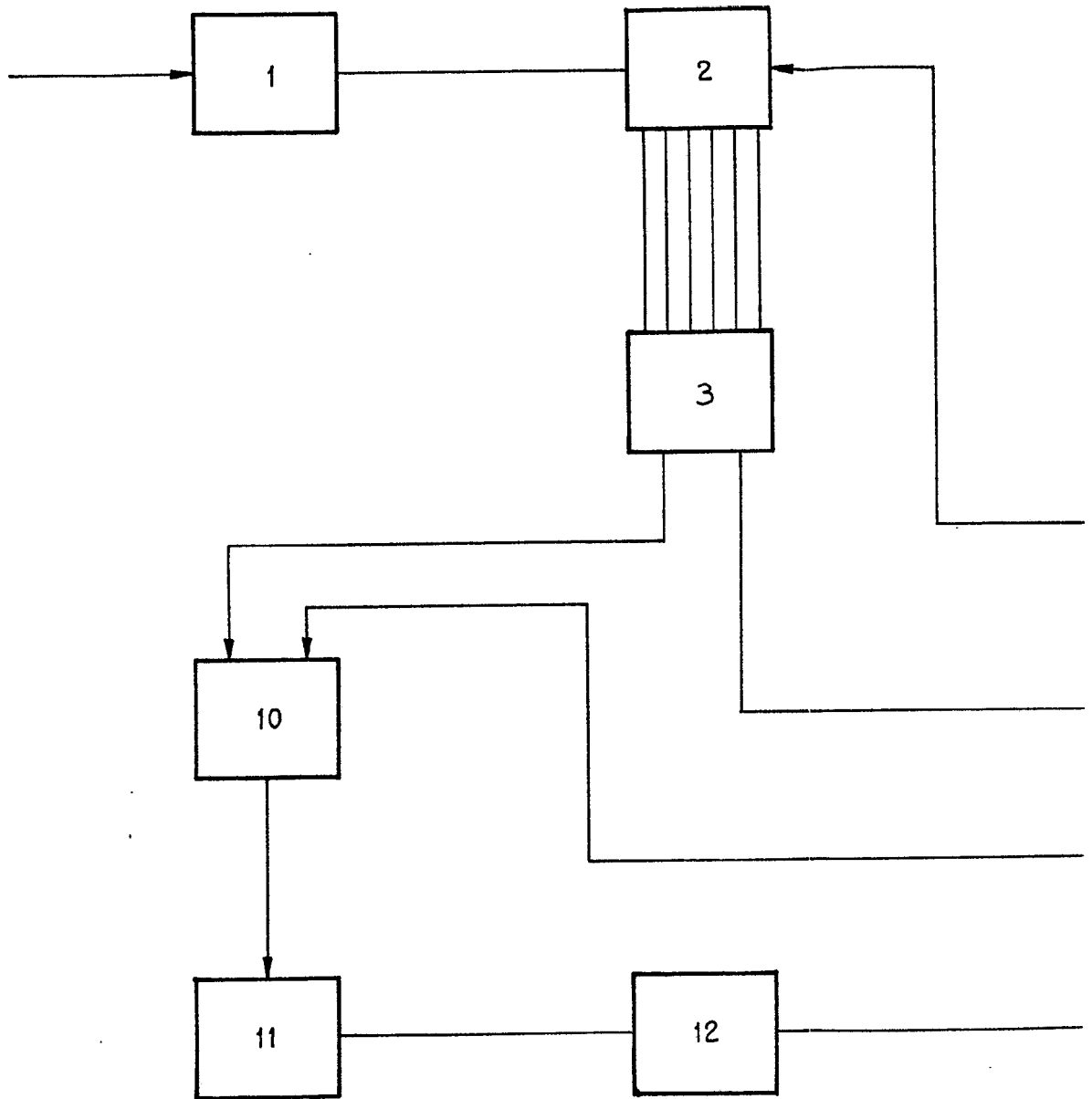


FIG.10

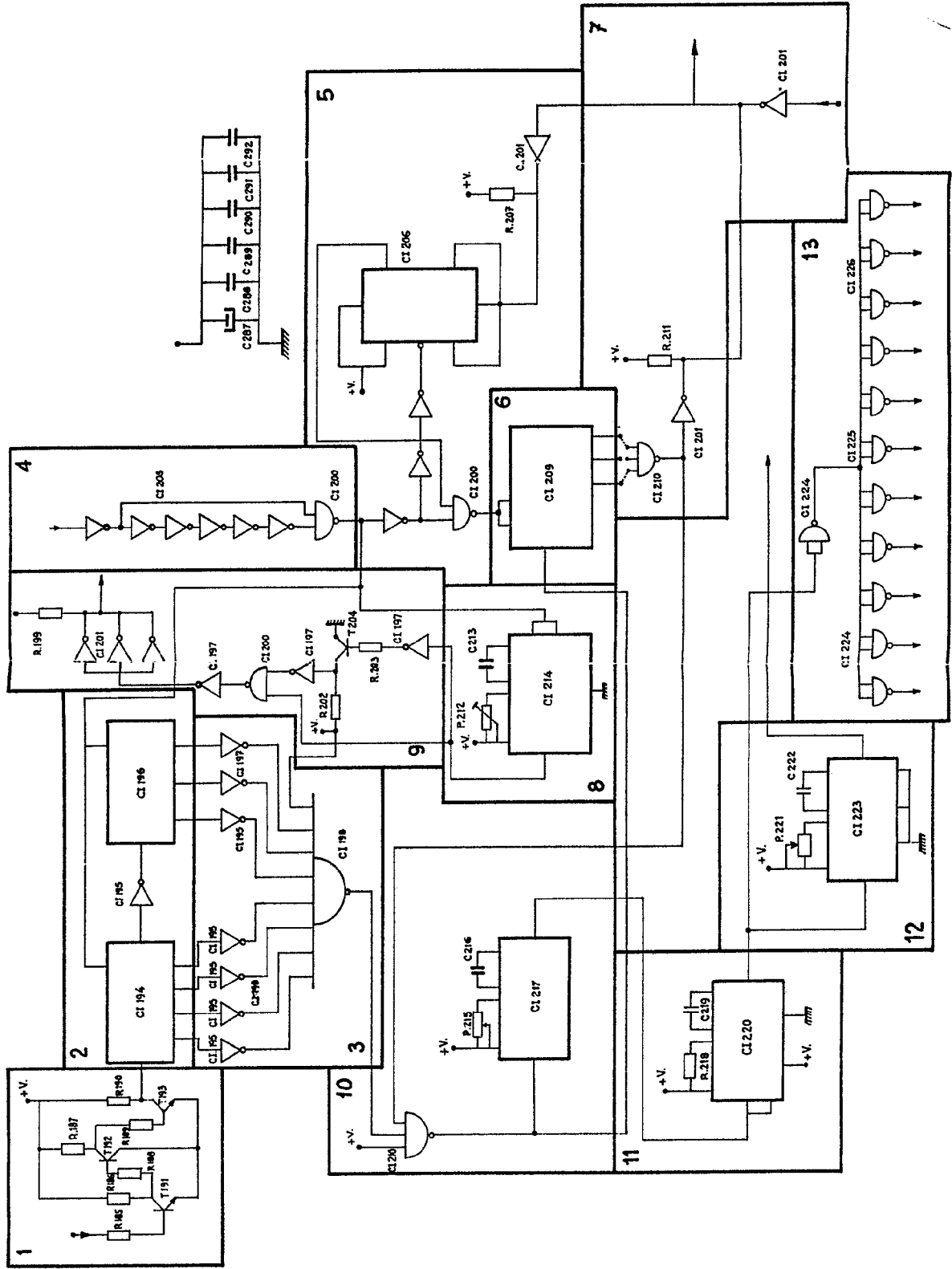
*Handwritten signature or initials in the bottom right corner of the page.*



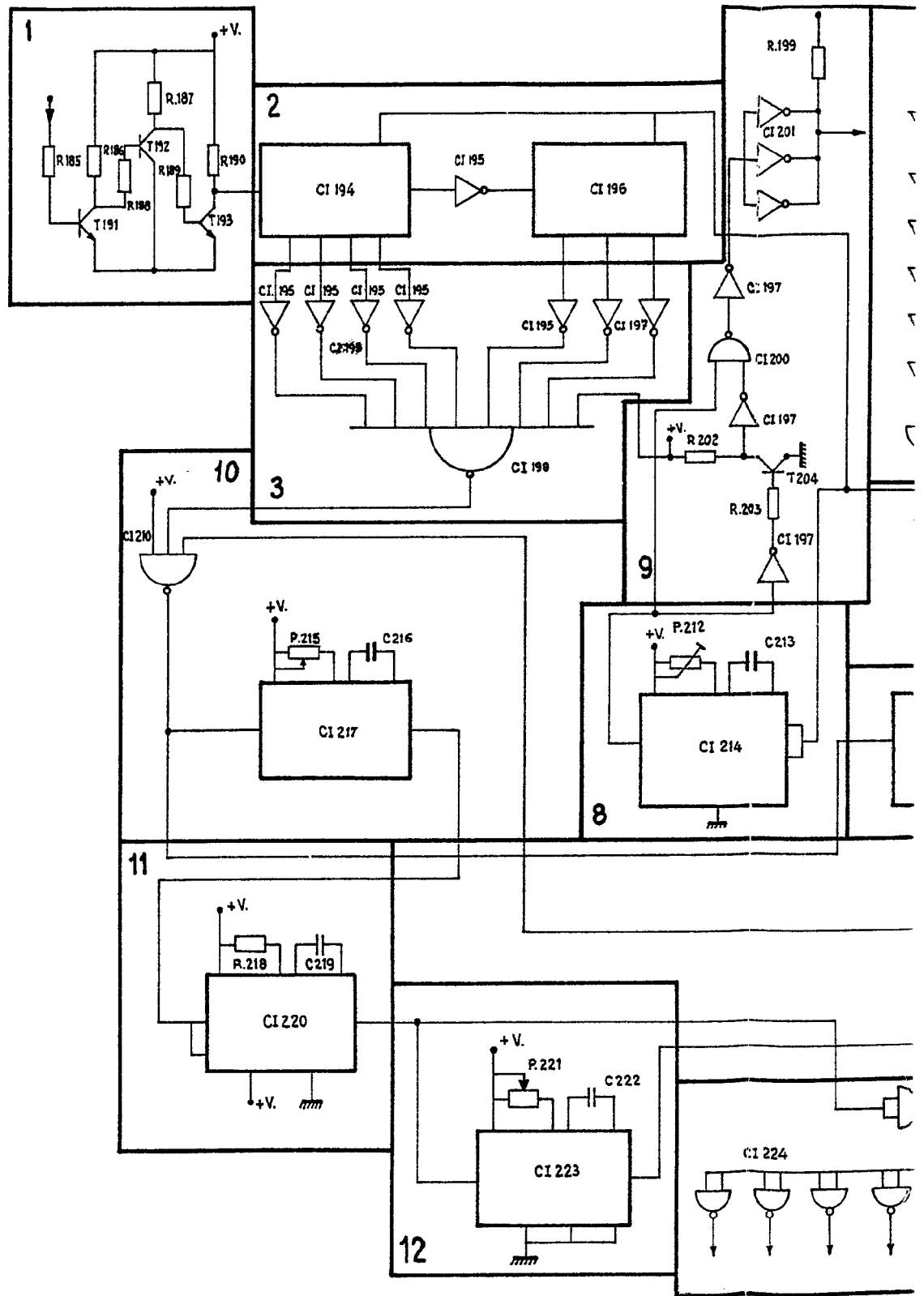
ESCALA VARIABLE

FIG. 4

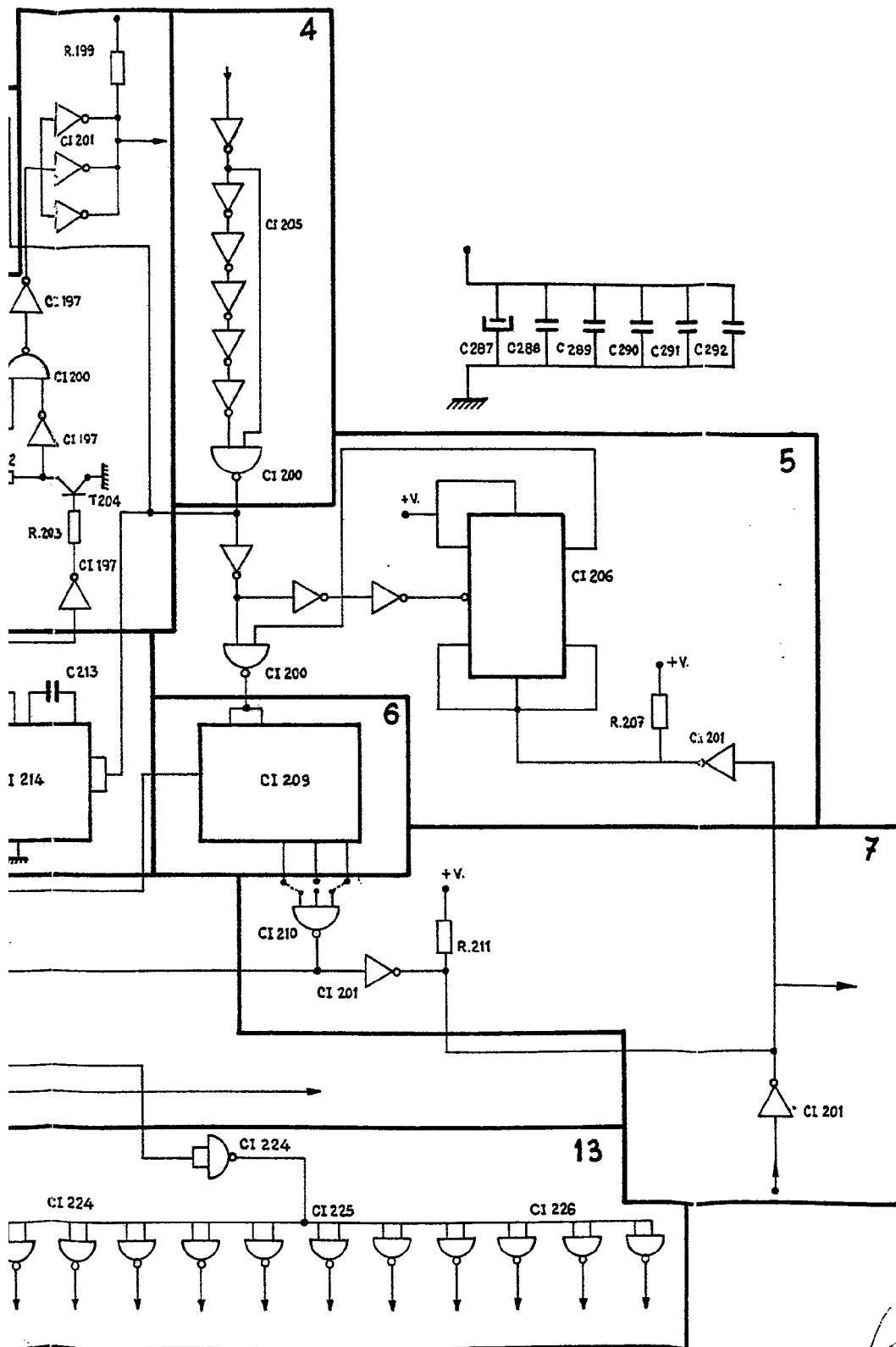




*Handwritten signature*  
MADRID



ESCALA VARIABLE



*Carlos Ballester*  
MADRID

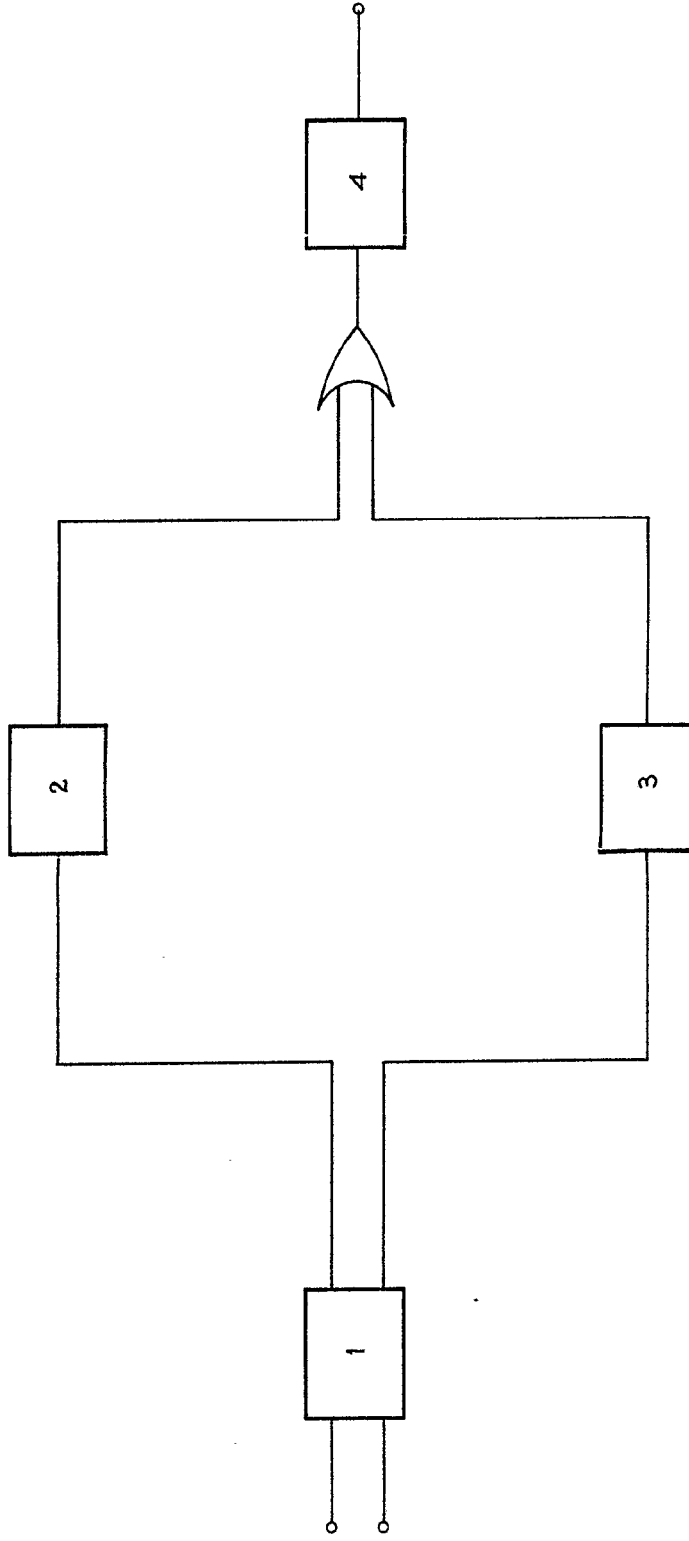


FIG.10 bis.

ESCALA VARIABLE

*Handwritten signature*  
MADRID

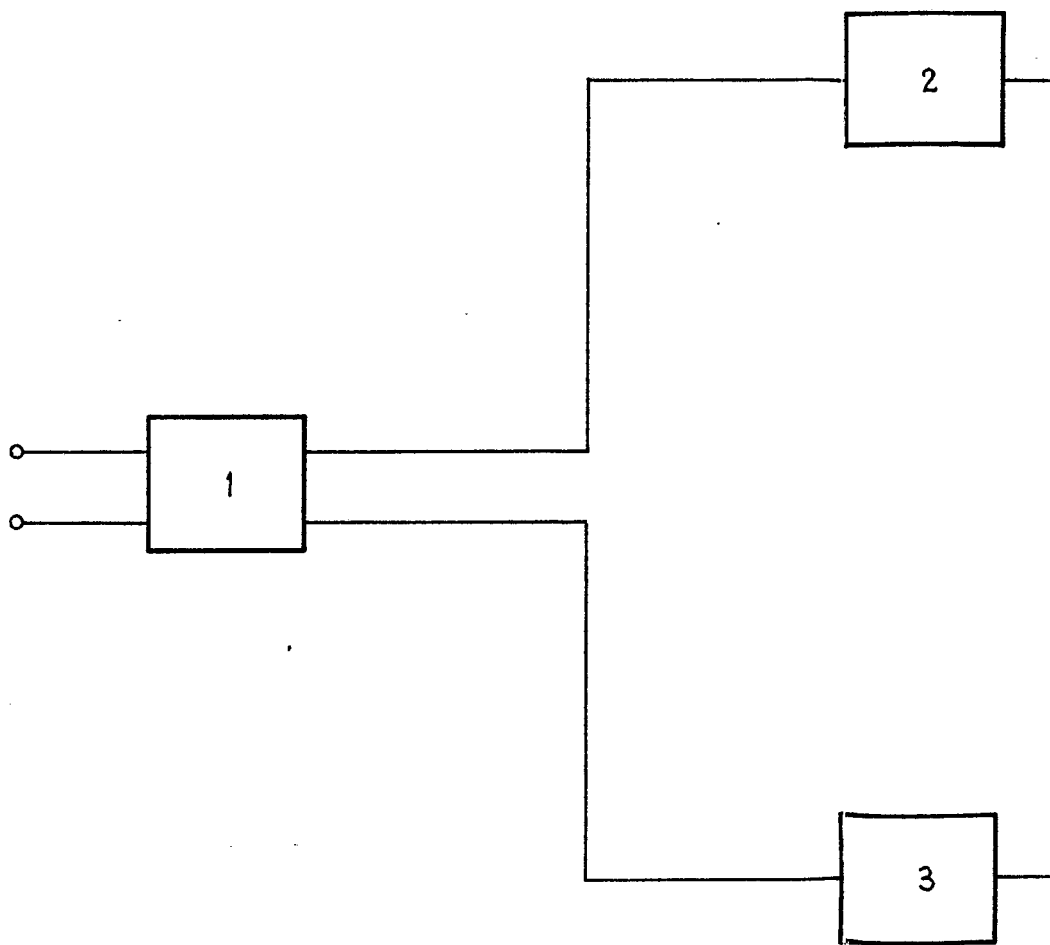


FIG.10 E

ESCALA VARIABLE

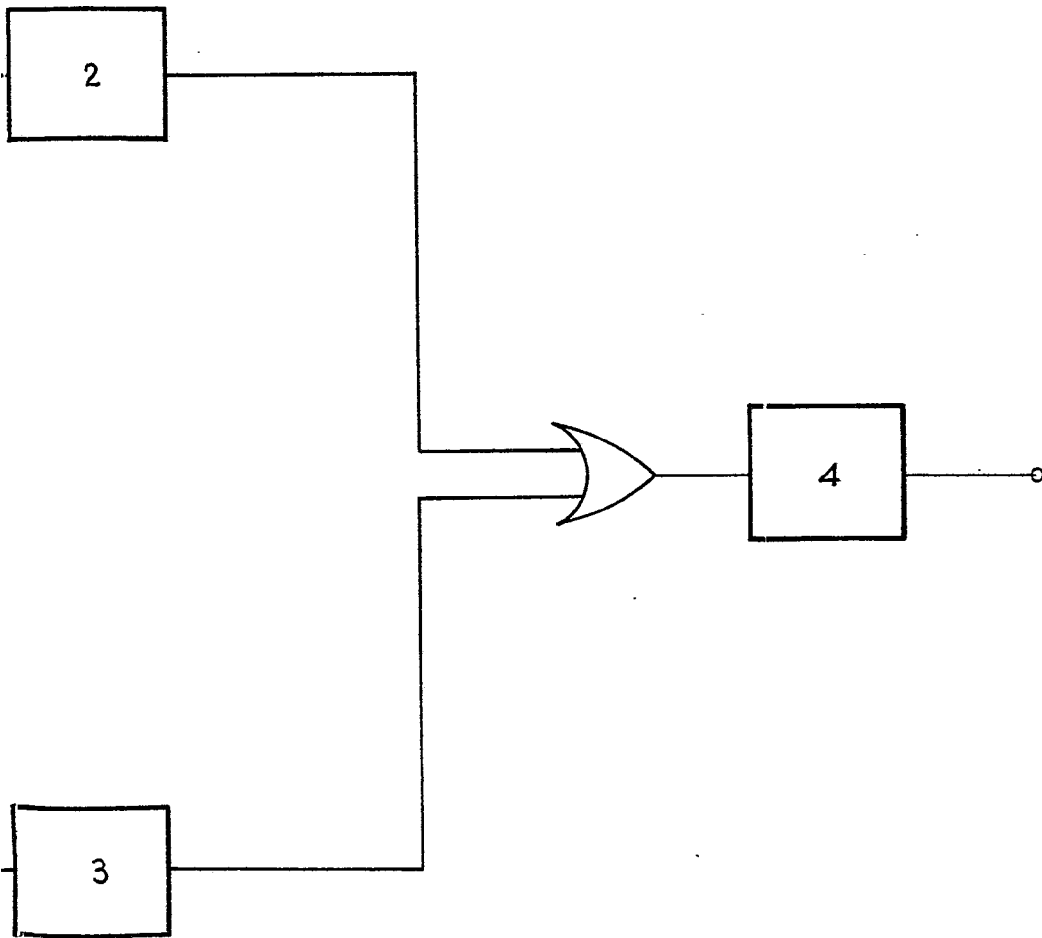
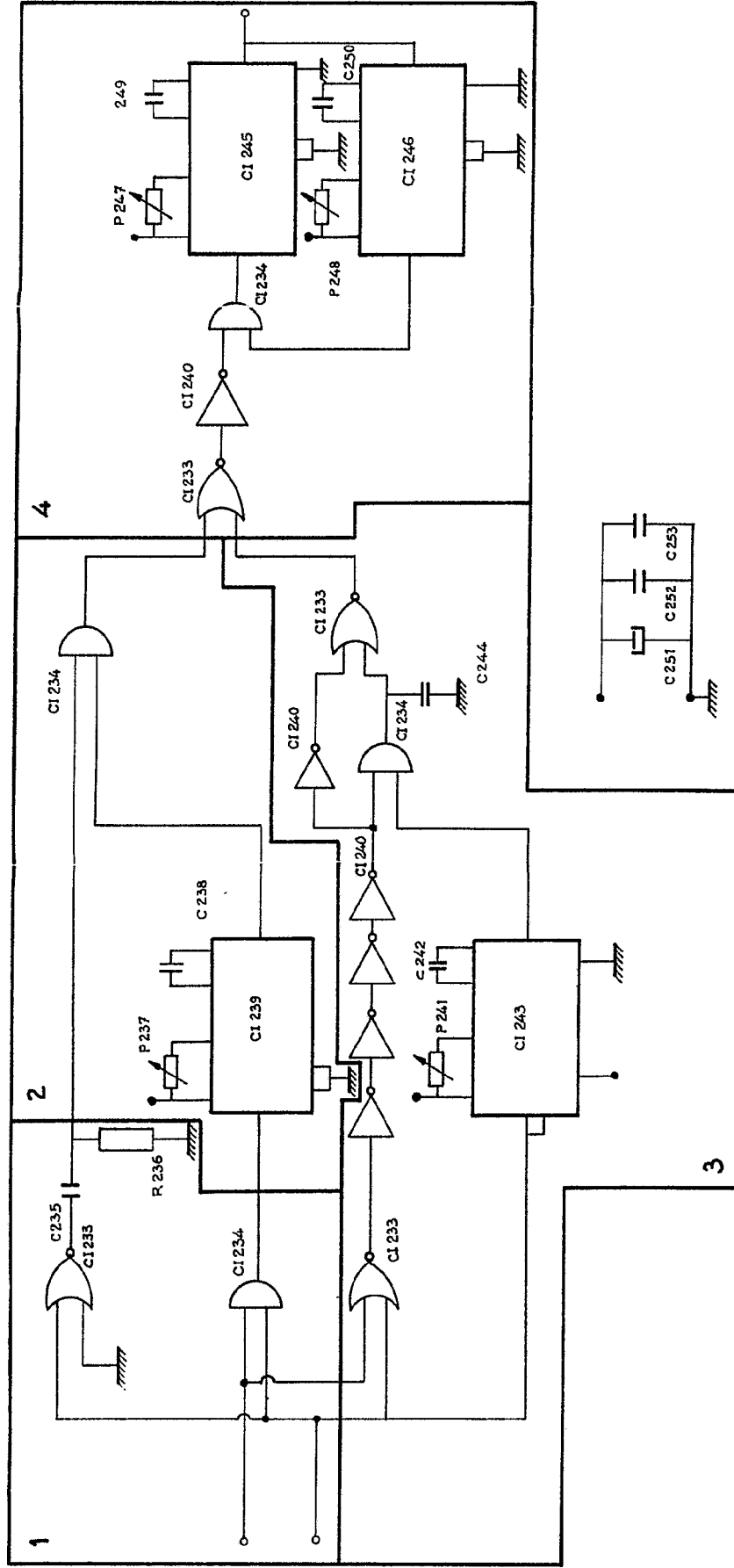
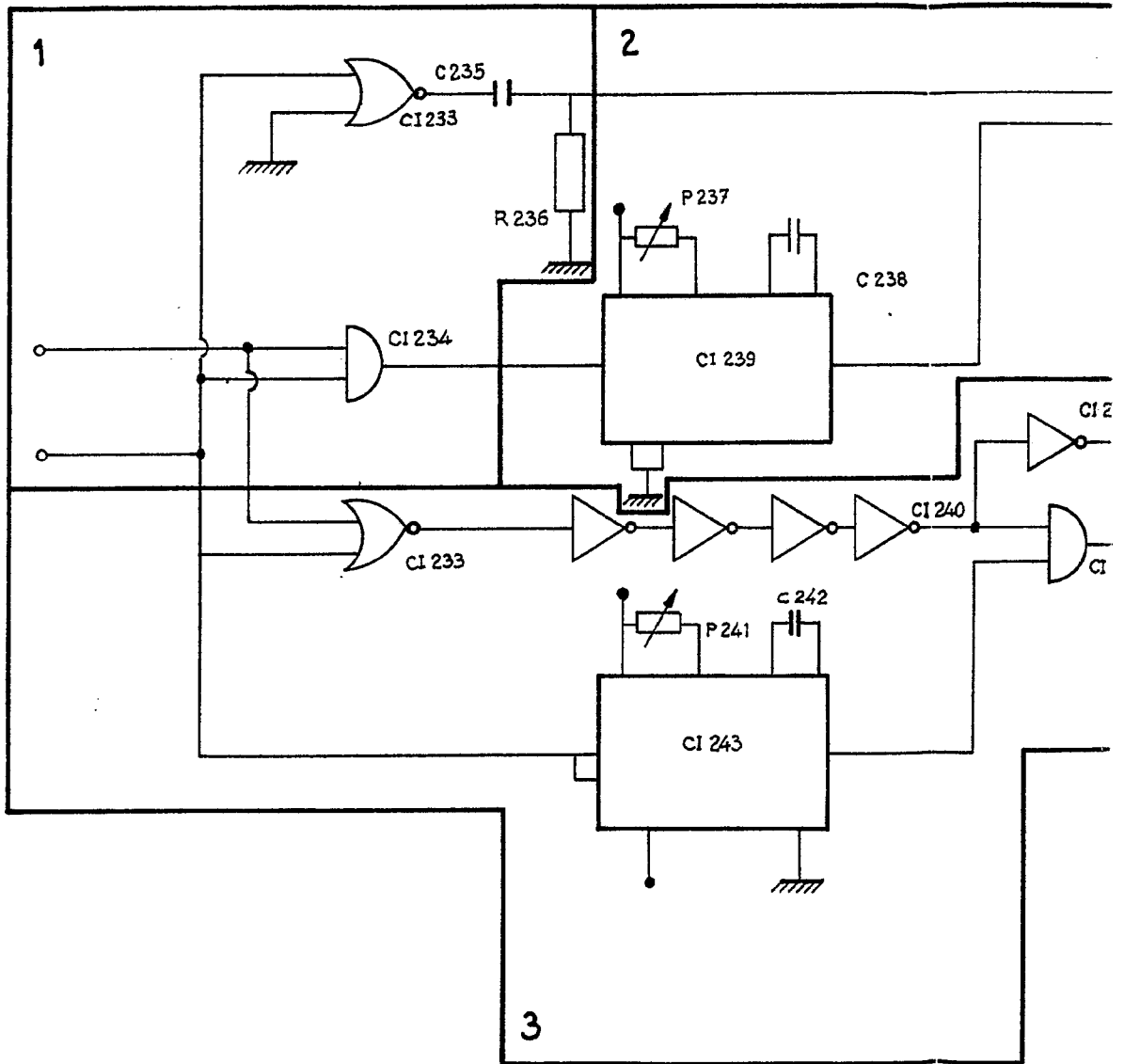


FIG.10 bis.

*Carlos Pacheco*  
MADRID



*[Handwritten signature]*  
MADRID



ESCALA VARIABLE



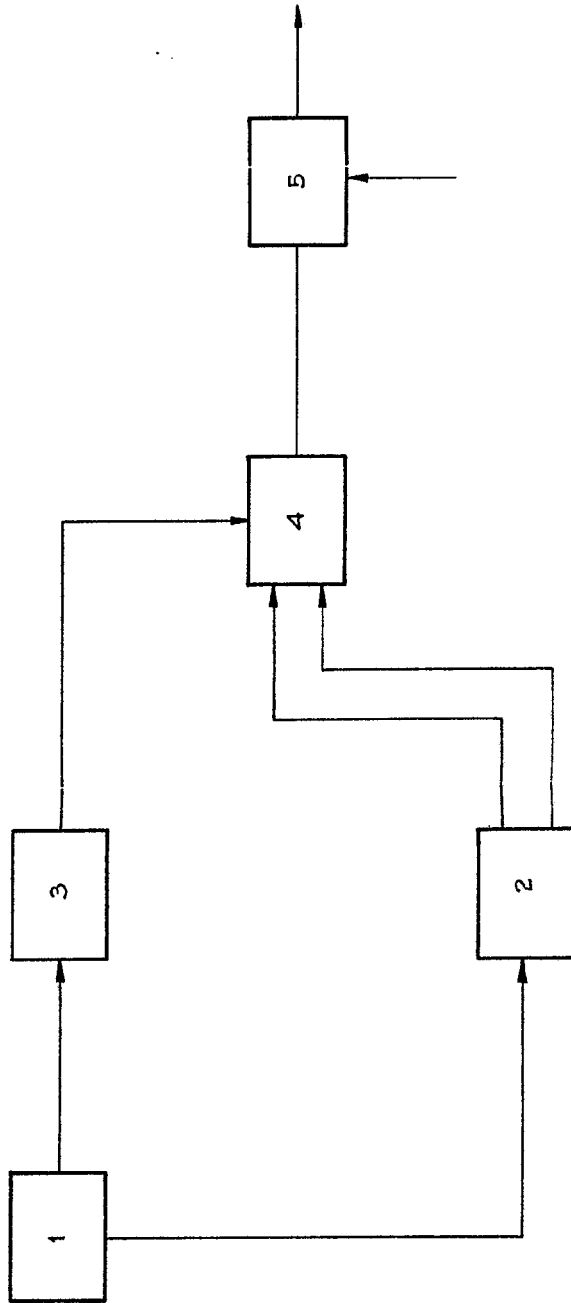


FIG.11

*Handwritten signature or notes in the bottom right corner.*

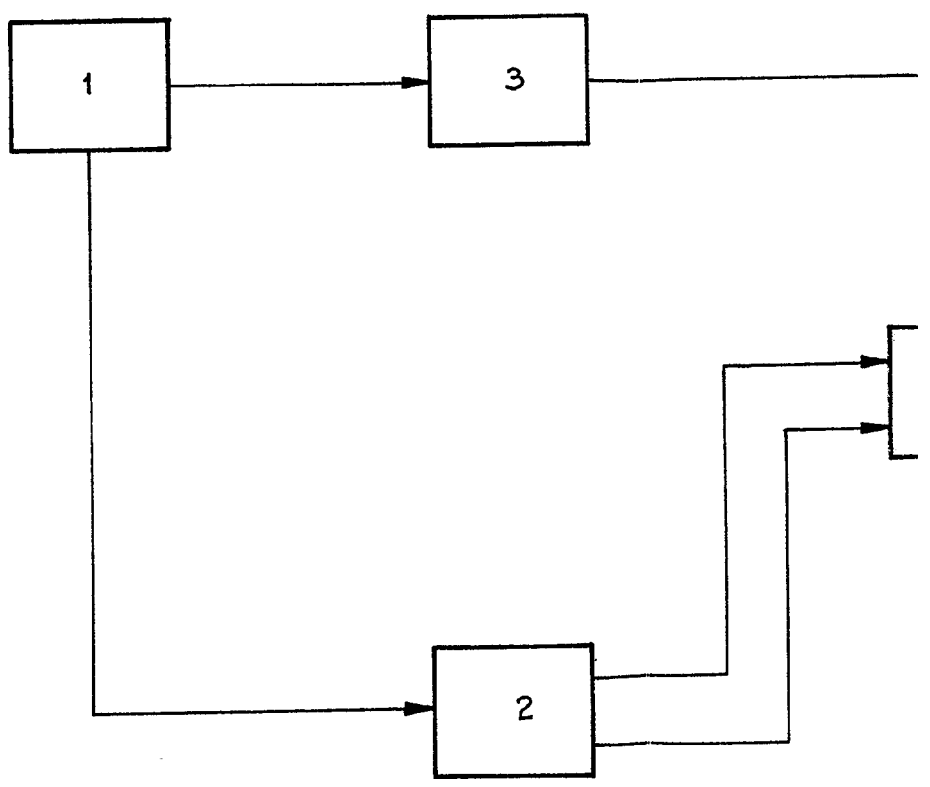


FIG.11

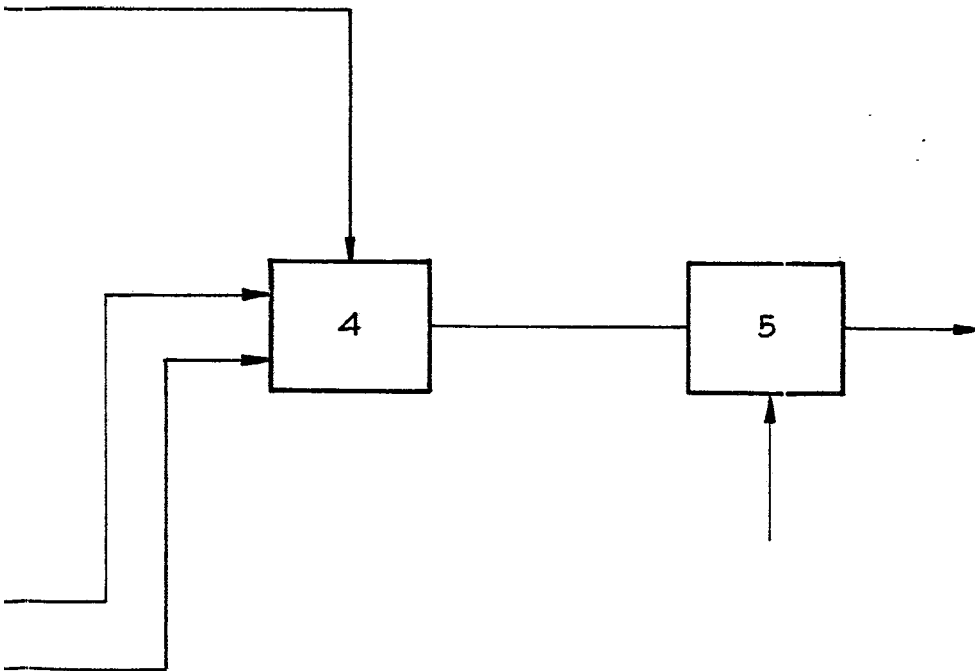
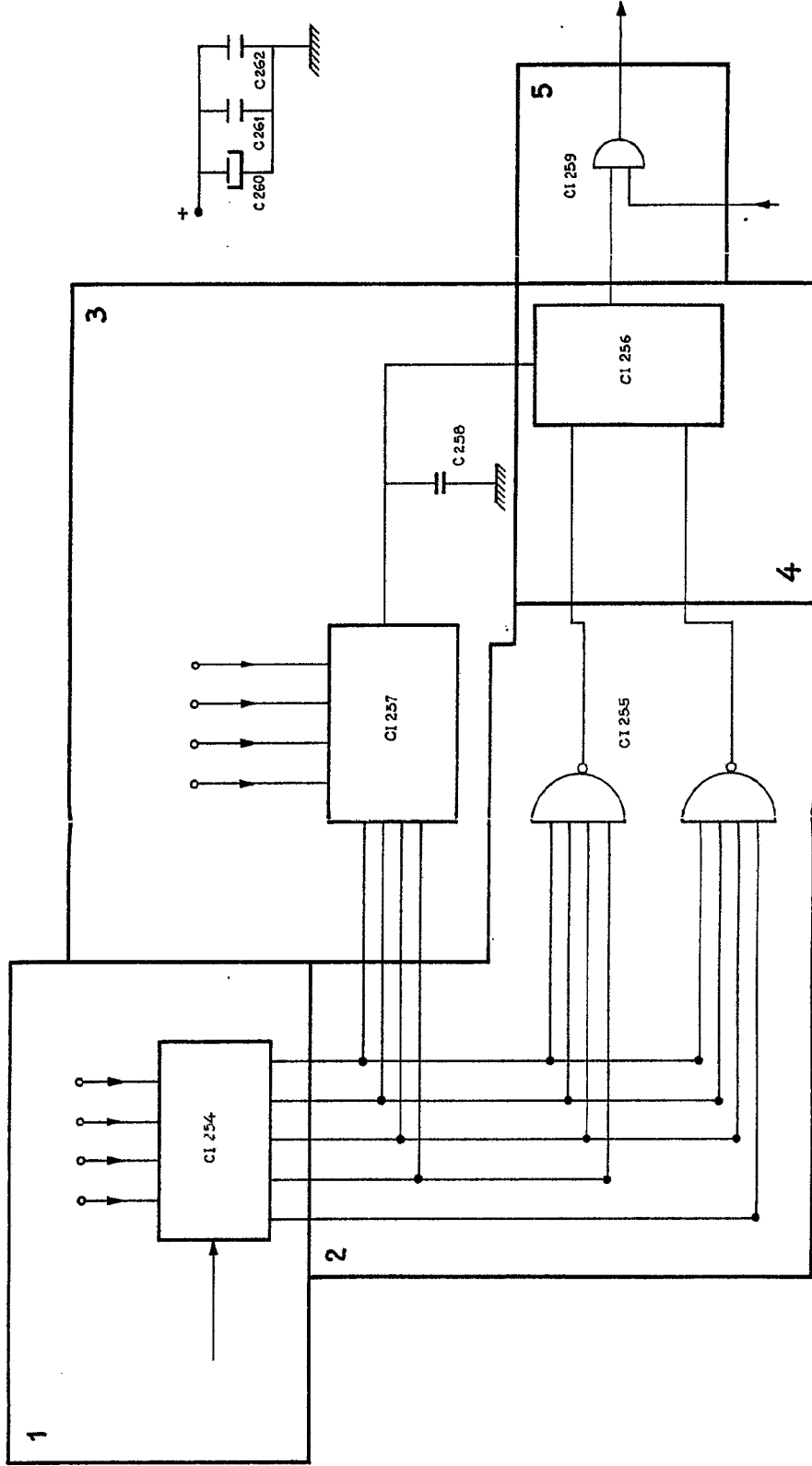
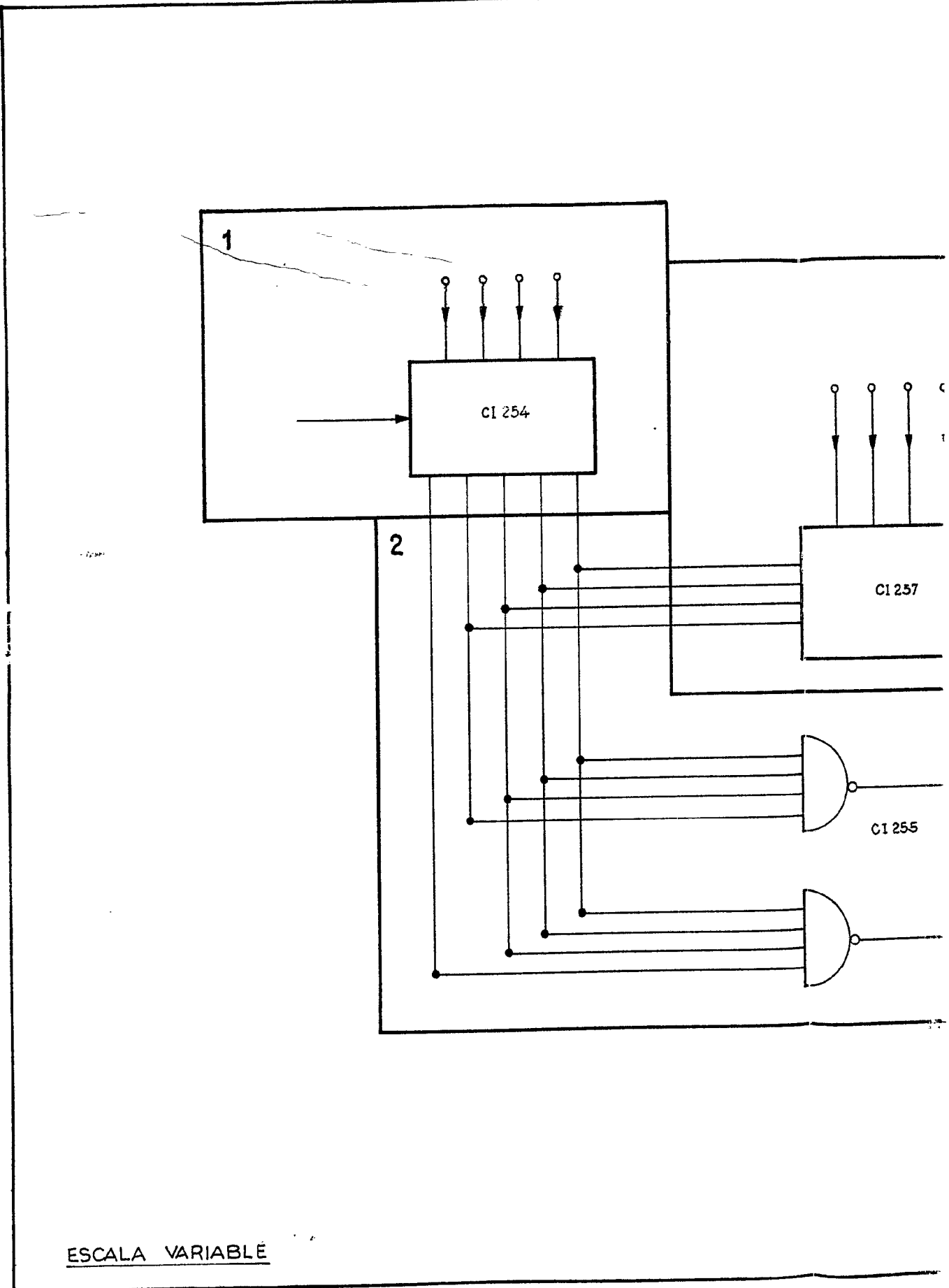


FIG.11

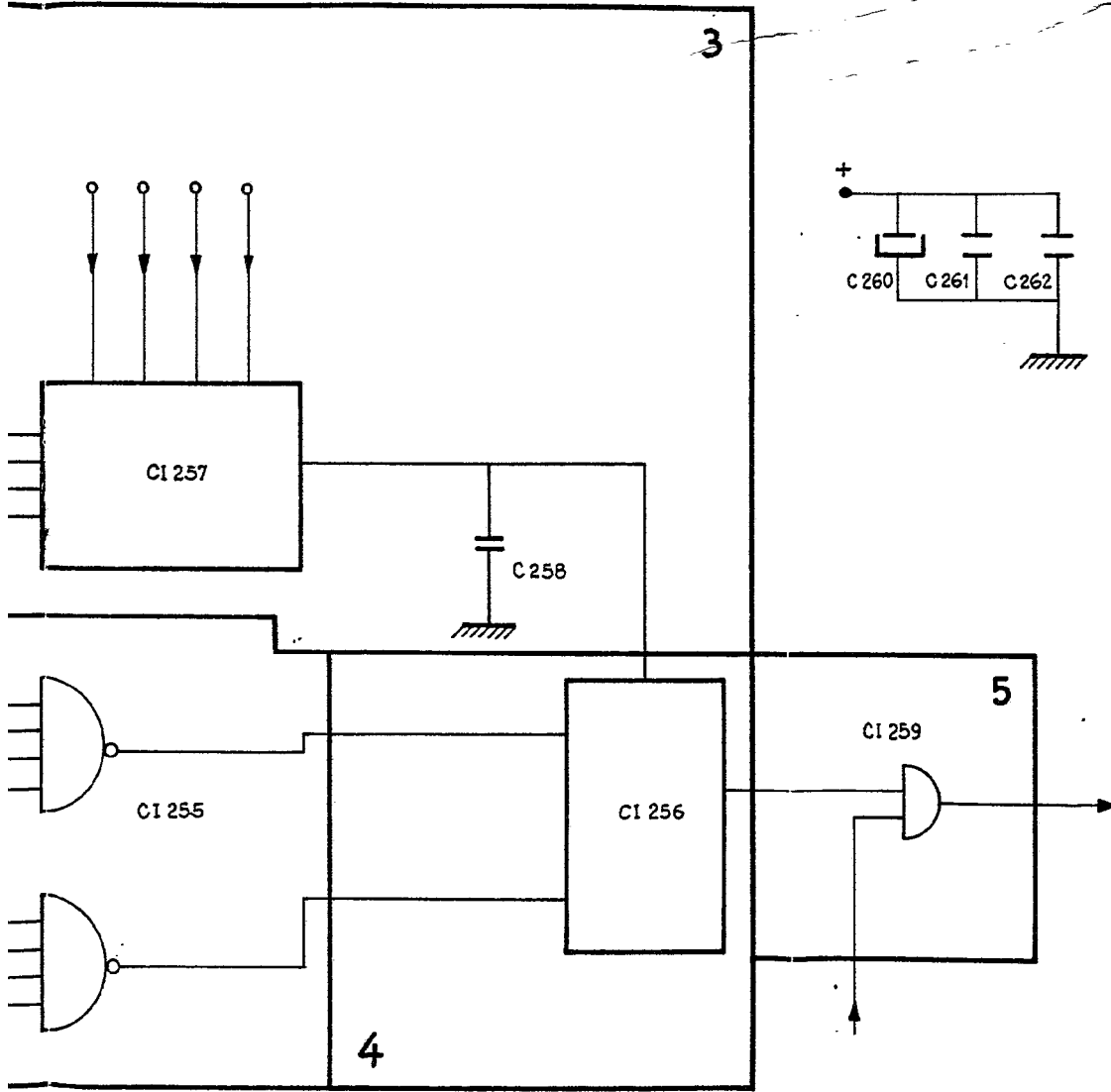
*Carlos Zamora*  
MADRID.



*Handwritten signature or initials in the bottom right corner.*



ESCALA VARIABLE



*Carlos Rodríguez*

MADRID.

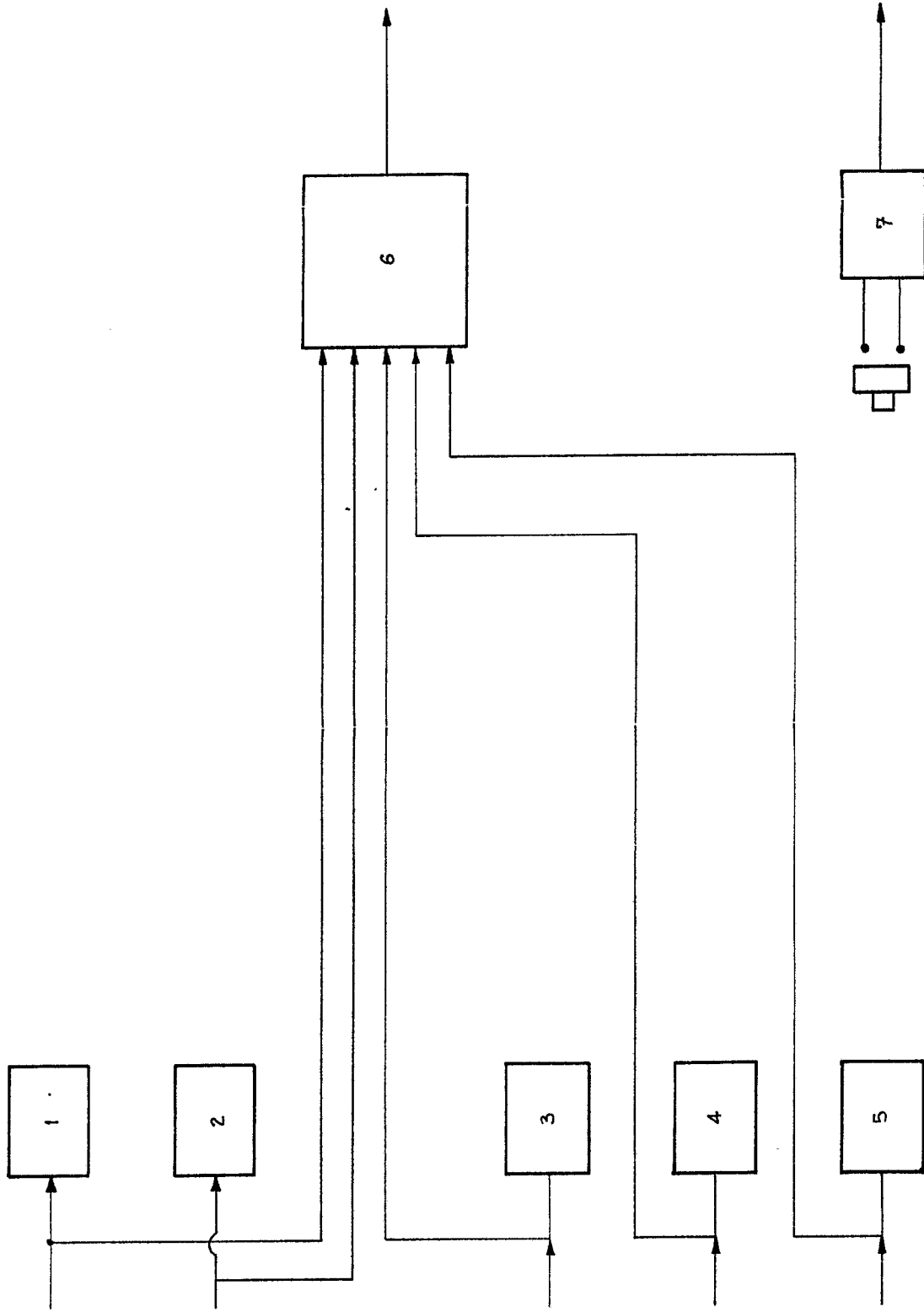


FIG.12

ESCALA VARIABLE

*Esc. h. 1:1000*  
MADRID

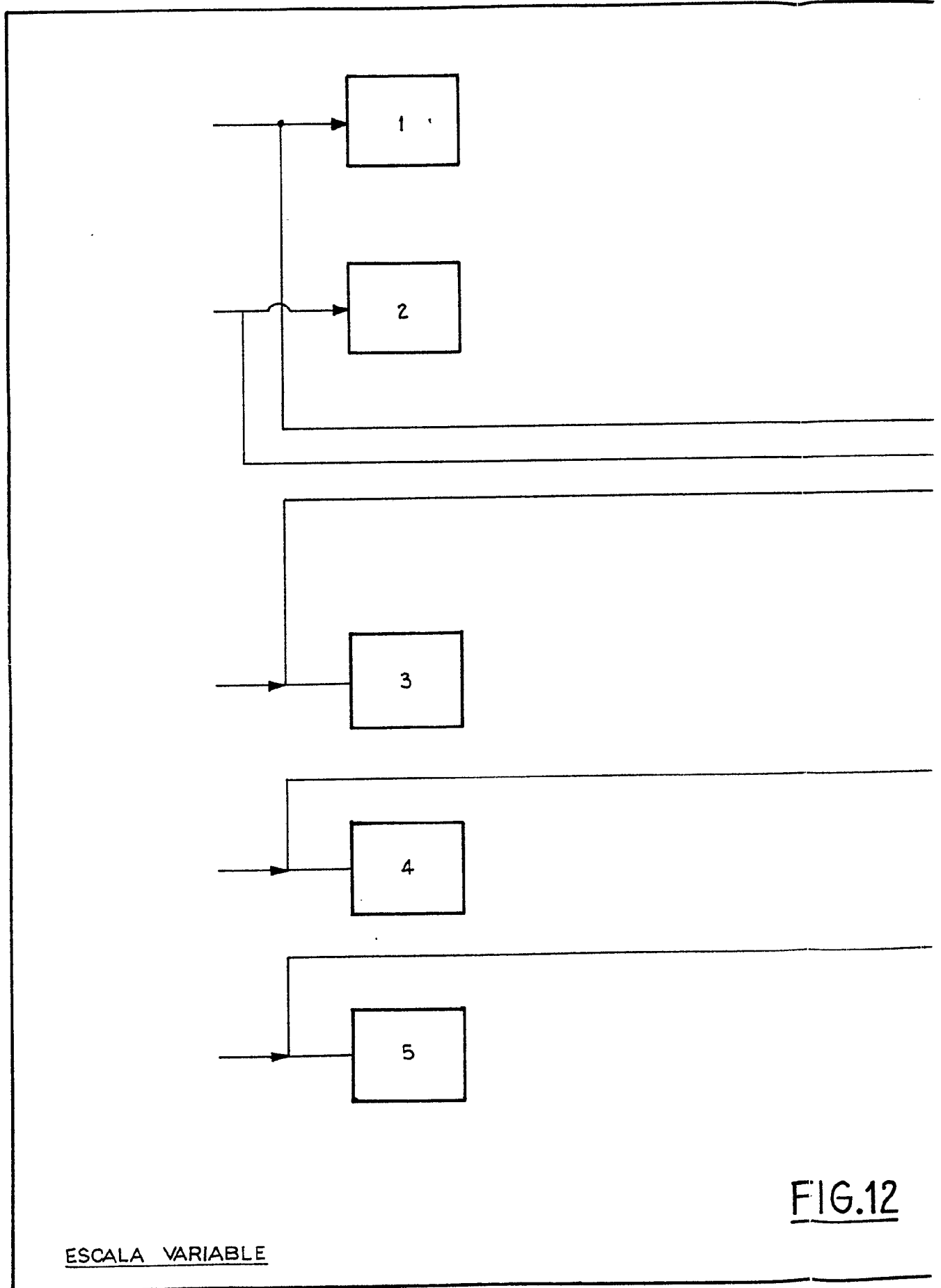


FIG.12

ESCALA VARIABLE

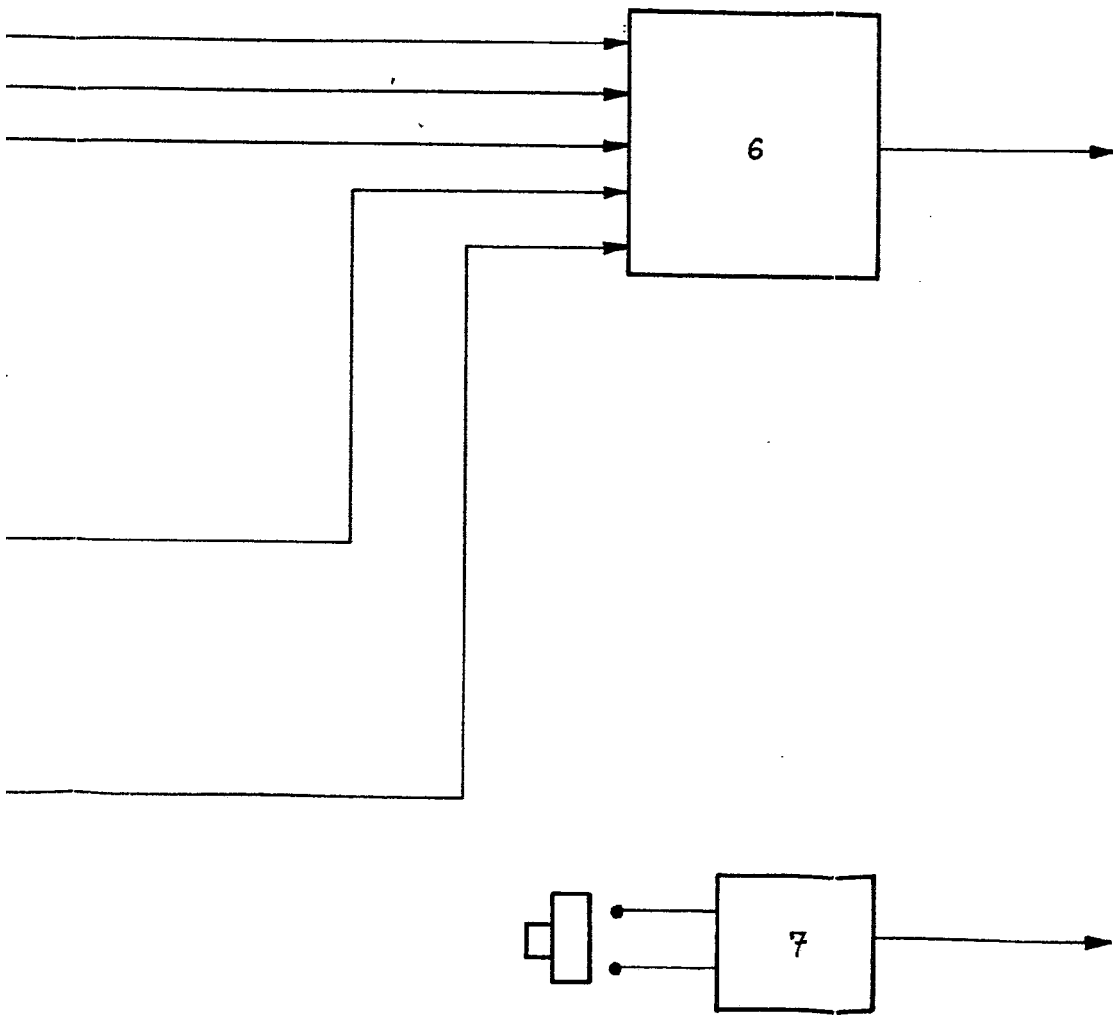
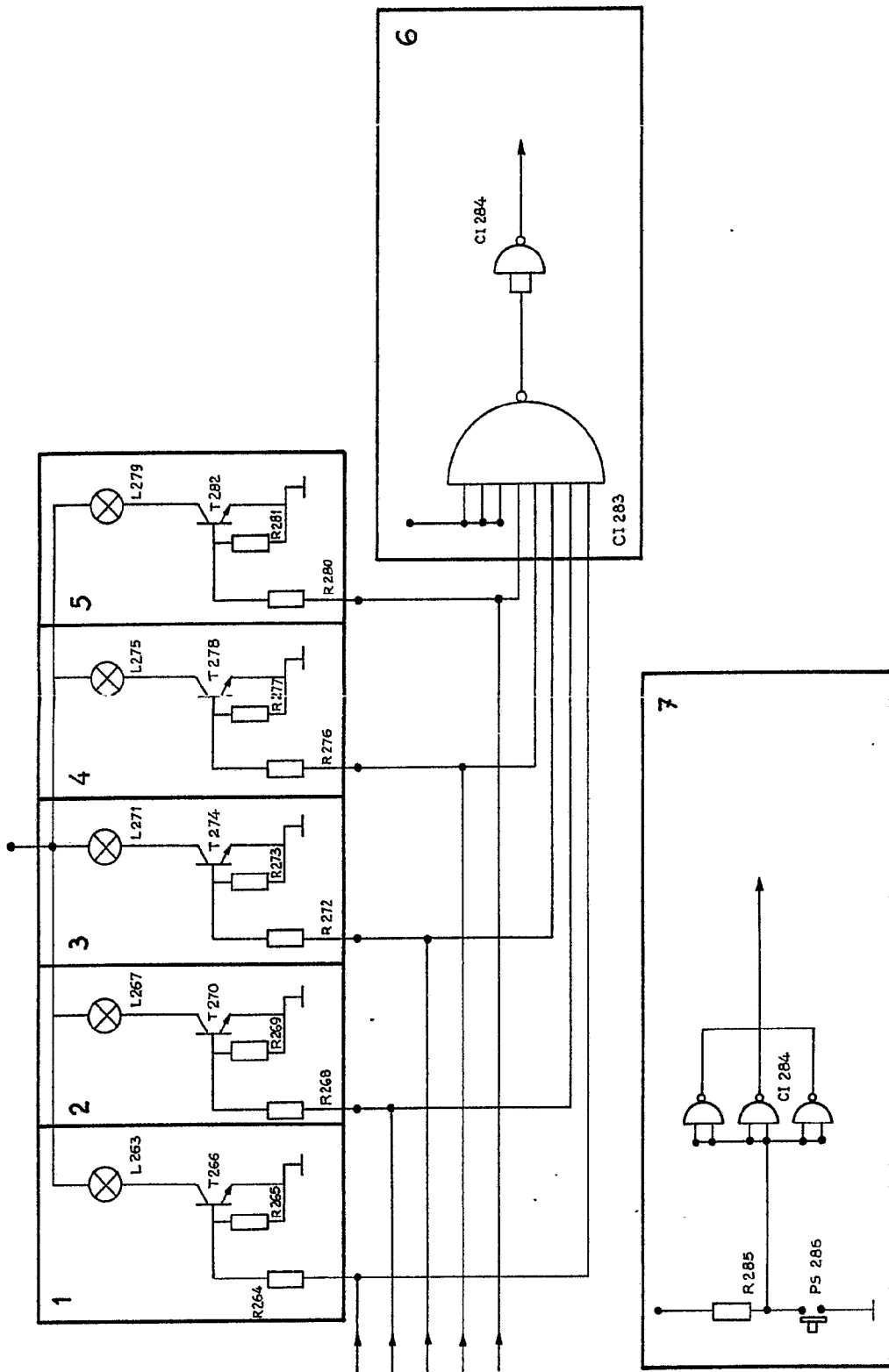
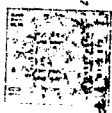
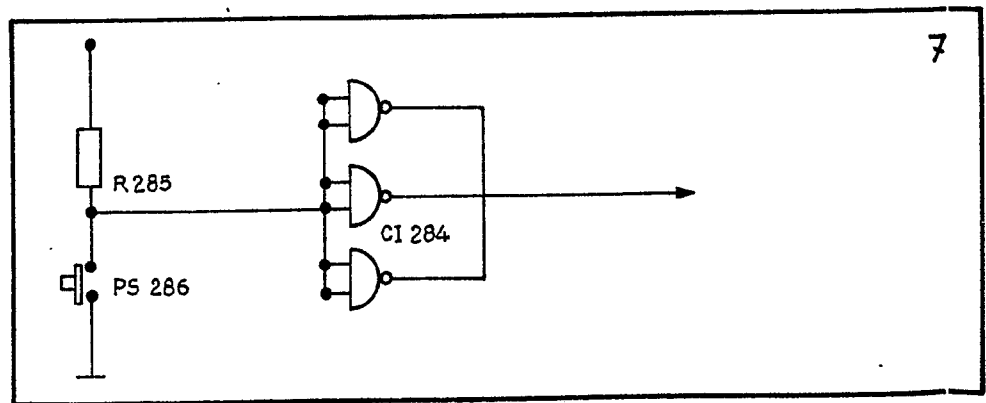
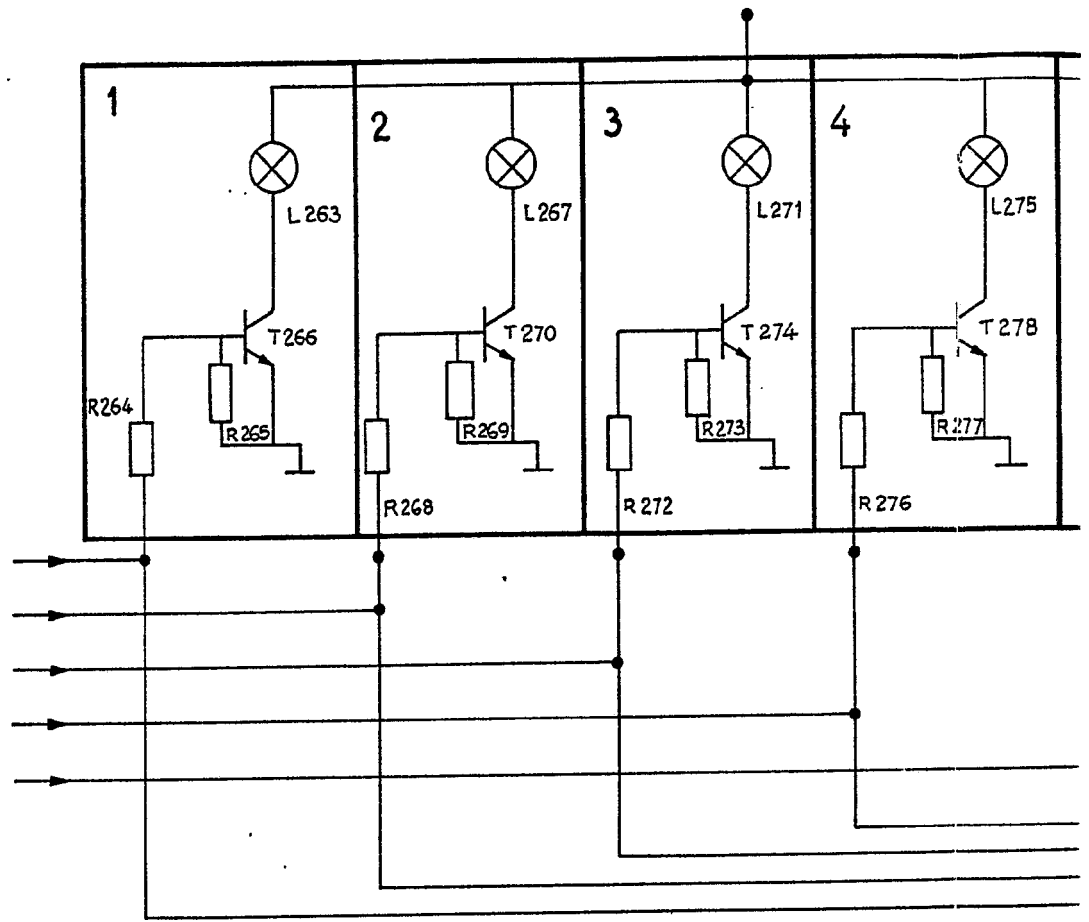


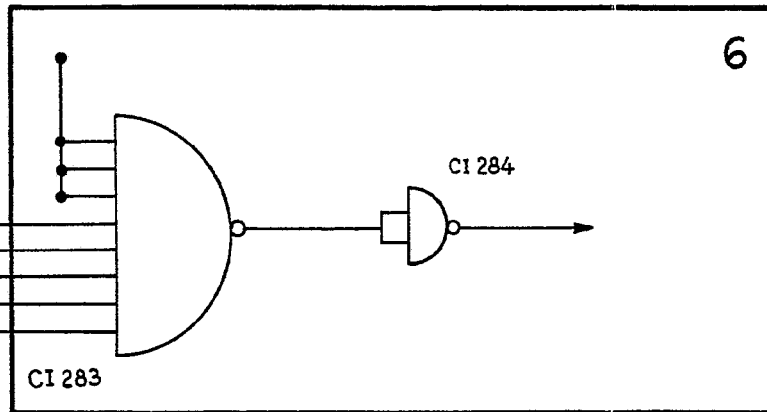
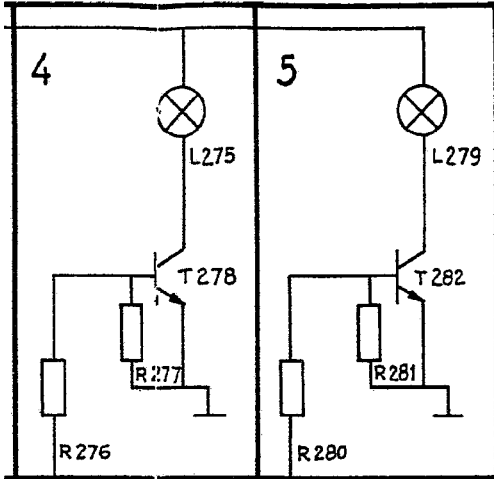
FIG.12

*Carlos G. G. G.*  
MADRID.



*Handwritten signature or notes in the top right corner.*





*Carlos Rodríguez*

MADRID.