

441552

20 NOV. 1975

P.- 61.408
PIDN 7751 Spain
/HK/MC

MEMORIA DESCRIPTIVA

Int. Cl.:

H01L

para solicitar PATENTE DE INVENCION por 20 años

a nombre de N. V. PHILIPS'GLOEILAMPENFABRIEKEN

entidad holandesa

con domicilio en Emmasingel 29, Eindhoven, Holanda

por: "PERFECCIONAMIENTOS INTRODUCIDOS EN UN CIRCUITO INTEGRADO"

10.11.75.

- 1 -

El invento se refiere a un circuito integrado que comprende un cuerpo semiconductor que tiene una capa de superficie de un primer tipo de conductividad, sobre una cara de la cual están presentes los elementos de circuito de varios circuitos puerta lógicos, en el cual sobre dicha cara está presente un trazado de pistas conductoras conectadas a los elementos de circuito que, con la excepción del área de los contactos con los elementos de circuito, está separado del cuerpo semiconductor por una capa aislante, comprendiendo cada uno de los circuitos puerta uno o más transistores inversores, cuyas uniones emisor-base están conectadas en paralelo, teniendo al menos una pluralidad de dichos circuitos puerta al menos dos de dichos transistores inversores conectados en paralelo, estando conectados en conjunto los emisores de los transistores inversores de los diversos circuitos puerta y estando formados por una región común del primer tipo de conductividad, la cual, vista desde la primera cara, se extiende por debajo de cada una de las zonas de base de los transistores inversores, teniendo cada uno de los circuitos puerta una entrada de señal común formada por las bases interconectadas de los transistores inversores del circuito puerta, perteneciendo los colectores de los transistores inversores a las salidas de señal de los circuitos puer

ta, estando conectadas (cada una individualmente) las
entradas de señal de los diversos circuitos puerta, pa
ra proporcionar alimentación de corriente a los circui
tos puerta (alimentación de energía del tipo obtenido
5 de una fuente de corriente), a una zona de superficie
del segundo tipo de conductividad que sirve como colec
tor de un transistor complementario de los transistores
inversores y que se extiende desde la primera cara si
tuada en la capa de superficie del primer tipo de con
10 ductividad, y en la cual, con el fin de formar funcio
nes lógicas, están conectadas entre sí salidas de señal
o colectores de diversos circuitos puerta por medio de
pistas conductoras que pertenecen al trazado y al menos
varias de las salidas de señal están conectadas a la en
15 trada de señal de un circuito subsiguiente de los cir
cuitos puerta para tratamiento adicional de la señal de
salida de dichas salidas de señal, como resultado de lo
cual la conexión de una corriente de alimentación sumi
nistrada a la entrada de dicho circuito puerta subsiguien
20 te proporcionará la corriente de base para los transisto
res inversores de dicho circuito puerta subsiguiente o
la corriente de colector para el transistor o transisto
res inversores de los circuitos puerta precedentes conec
tados a dicha entrada, dependiendo de la señal lógica de
25 entrada en la entrada de dicho circuito puerta subsiguiente.

Tales disposiciones de circuito están descri-
tas, entre otras, en la Solicitud de Patente española
Número 403.026. En la literatura técnica se hace refe-
rencia a esta tecnología como I²L, abreviatura que tie-
5 ne su origen en la denominación inglesa "Integrated In-
jection Logic". Este tipo de circuitos lógicos se consi-
dera generalmente particularmente adecuado para integra-
ción en gran escala o, como se denomina usualmente, LSI,
también porque son circuitos bipolares con los cuales
10 puede conseguirse una alta densidad de agrupamiento
de componentes que es comparable a la de los circuitos
integrados MOST. Adicionalmente, las tensiones eléctri-
cas del circuito lógico son particularmente bajas. La
diferencia de tensión entre los dos niveles lógicos no
15 es mayor que la tensión directa a través de un diodo con-
ductor, mientras que las tensiones colector-emisor a tra-
vés de los transistores inversores, tanto en el estado
estacionario como durante la conmutación desde el estado
conductor al estado no conductor, o recíprocamente, per-
20 manecen siempre en valor absoluto dentro de dicho lími-
te de una caída de tensión directa de diodo. También
como resultado de esto, la disipación de los circuitos
de tecnología I²L es favorablemente baja.

Un objeto del invento es mejorar adicionalmen-
25 te los mencionados circuitos I²L que son ya de por sí

atractivos.

5 Un primer objeto del invento es crear un cir-
cuito I²L que tiene una topología que es adecuada (y se
adapta) a la utilización de computadores en el diseño
de la topología, en la cual se reduce a un mínimo la
pérdida de densidad de agrupación, la cual, como es sa-
bido, está siempre asociada con esta tecnología.

10 Un segundo objeto del invento es realizar la
antes mencionada adaptación de la topología y también
mejorar, o al menos no sacrificar, el rendimiento eléc-
trico de los circuitos puerta, en particular en lo que
respecta a su velocidad de conmutación o tiempo de re-
tardo.

15 Un objeto adicional del invento es crear un
circuito I²L que tiene una alimentación de corriente me-
jorada de modo que se aumenta la velocidad de conmuta-
ción.

20 Aún otro objeto del invento es crear un cir-
cuito integrado que tiene puertas I²L mejoradas que tie-
nen una velocidad de conmutación relativamente alta.

Otro objeto del invento es proporcionar medi-
das para reducir el almacenamiento de carga en los tran-
sistores inversores.

25 Una parte siguiente del invento está basada
en el reconocimiento del hecho de que el almacenamien-

to de carga en el transistor complementario que pertenece a la alimentación de corriente puede tener una influencia importante sobre la velocidad de conmutación del circuito integrado y es por consiguiente un objeto adicional del invento restringir también el almacenamiento de carga en el transistor complementario.

Aún otro objeto del invento es crear un circuito I²L que tiene una estructura en la cual se ponen en práctica medidas para mejorar la velocidad de conmutación o al menos pueden ser incorporadas de un modo relativamente simple.

De acuerdo con un primer aspecto del invento, un circuito integrado del tipo descrito en la introducción está caracterizado porque los transistores inversores están distribuidos entre varias filas sustancialmente paralelas y porque por cada fila al menos los colectores de los transistores inversores de un circuito puerta están dispuestos en la dirección de la fila y los colectores que están presentes en filas diferentes están conectados entre sí por medio de pistas conductoras que se extienden transversalmente a la dirección de la fila a través de las filas cuyas pistas pertenecen al mencionado trazado, formando dichas pistas conductoras un grupo de pistas de señal sustancialmente rectas que son paralelas entre sí, estando situados los colectores en

su fila en la zona del cruce de su fila y la pista de
señal que se extiende transversalmente a dicha fila a
la cual están conectados, estando situados los transig
tores complementarios, vistos sobre la primera cara,
5 junto al grupo de pistas de señal sustancialmente para
lelas, y preferiblemente cada uno de ellos cerca de un
extremo de una fila de transistores inversores, estan-
do presentes al menos entre filas adyacentes de transig
tores inversores medios para la separación eléctrica de
10 los transistores inversores que se encuentran en filas
adyacentes y que pertenecen a diferentes circuitos puer
ta.

Debido al hecho de que los circuitos puerta
están dispuestos de acuerdo con filas y los conductores
15 rectos de señal están dispuestos de acuerdo con columnas
de una matriz, la topología de acuerdo con el invento
es particularmente adecuada para la utilización de com
putadores en el diseño de la topología de circuitos de
tecnología I²L. Por otra parte, dicha topología parece
20 ser contraria a la consecución de la alta velocidad de
conmutación que se tiene como mira. Realmente, debido
a la disposición a modo de matriz de los circuitos puer
ta, las zonas de base serán relativamente largas, de mo
do que la resistencia en serie de la base, particular-
25 mente para los niveles de corriente relativamente altos

que son necesarios para velocidades de conmutación más altas, pueden tener una influencia desfavorable sobre la velocidad de conmutación. Es ya conocido que con el fin de conseguir una velocidad de conmutación máxima el emisor del transistor complementario está dispuesto preferiblemente como zona alargada junto a la zona de base del circuito puerta asociado, de modo que los colectores del circuito puerta están todos presentes a distancias iguales de dicha zona de emisor, cuyas distancias son además lo más cortas posible. De acuerdo con este criterio, los transistores complementarios y más en particular las zonas de emisor de ellos, deben estar dispuestos entre las filas de transistores inversores y alternativamente con dichas filas.

El invento está basado, entre otras cosas, en el reconocimiento de que el criterio descrito con respecto a la velocidad de conmutación no es completo y además da lugar a un factor β de amplificación efectivo de corriente bajo para los transistores inversores, de modo que el número de colectores admisible por circuito puerta resulta restringido. Además, la realización práctica con transistores complementarios que tienen zonas de emisor alargadas que se encuentran alternativamente entre filas adyacentes de transistores inversores requiere mucha área en la superficie semicon

ductora y también impide seriamente o hace sustancialmente imposible la introducción de un número de otras medidas para aumentar la velocidad de conmutación.

De este modo, el invento crea un circuito I²L que tiene una topología relativamente compacta que puede ser diseñada con la ayuda de computadores y que presenta adicionalmente buenas posibilidades para obtener altas velocidades de conmutación, sin sacrificar necesariamente el número máximo admisible de colectores por circuito puerta.

En una realización preferida importante del circuito I²L de acuerdo con el invento, los circuitos puerta tienen medios para reducir la resistencia de entrada en serie. Como resultado de esto, se reduce la influencia de la corriente de base sobre la tensión emisor-base del circuito puerta y se mejora la distribución de corriente entre los colectores del circuito puerta.

Como ya se ha indicado, la influencia de la resistencia en serie de base del circuito puerta sobre la velocidad de conmutación puede reducirse utilizando zonas de emisor alargadas para los transistores complementarios que están dispuestos a lo largo del lado largo de la zona de base de un circuito puerta. Sin embargo, esto es válido solamente durante la carga de las capacidades base-emisor y base-colector cuando los tran

sistores inversores cambian desde el estado no conductor al estado conductor. Cuando los transistores inversores son conmutados en el sentido opuesto desde el estado conductor al estado conductor, la disminución necesaria de la tensión emisor-base depende al menos en un grado considerable de la corriente que fluye a través de la conexión de base a través de la resistencia serie de entrada del circuito puerta y está determinada por dicha corriente. Por consiguiente, la reducción de la resistencia en serie de la entrada es una medida más efectiva para aumentar la velocidad de conmutación.

Además, la elección antes mencionada influye sobre el factor efectivo de amplificación de corriente de los transistores inversores. Ha de entenderse que el factor β de amplificación de corriente efectivo significa la amplificación de corriente de los transistores inversores que se presenta realmente durante el funcionamiento en presencia de los transistores complementarios. Partiendo del principio de superposición, la corriente neta suministrada a la zona de base común de los transistores inversores de un circuito puerta a través del transistor complementario que está en estado de saturación puede considerarse como la diferencia entre la corriente directa que fluye desde el emisor al colector del transistor complementario y una corriente

de retorno. Desde el punto de vista de los transistores inversores, la corriente de retorno últimamente mencionada puede también interpretarse como corriente de pérdidas en la base. Dicha corriente de pérdidas aumenta según que una parte mayor del borde de la zona de base común quede enfrentada con la zona de emisor del transistor complementario. El factor β efectivo de amplificación de corriente de los transistores inversores demuestra así disminuir sustancialmente en proporción directa al aumento del factor α_{inv} de amplificación de corriente en sentido inverso del transistor complementario.

El factor β efectivo de amplificación de corriente es importante para el número máximo de colectores que pueden utilizarse por circuito puerta. Realmente, partiendo del hecho de que cada salida de colector de un circuito puerta debe ser capaz de absorber la corriente de alimentación suministrada a la entrada del circuito puerta subsiguiente conectado a dicha salida, mientras que en la entrada del primer circuito puerta mencionado está disponible una corriente del mismo valor como corriente de base, se deduce que cada circuito puerta debe tener un factor β de amplificación de corriente al menos igual a la unidad por colector. En un circuito puerta que consiste en un transistor de

colectores múltiples, solamente uno de los colectores conduce corriente en el caso más desfavorable. Para esta corriente de colector deberá también mantenerse que el factor β de amplificación de corriente sea al menos igual a la unidad. Esta situación más desfavorable se producirá raramente o nunca en la práctica. El requerimiento menos riguroso de que el factor de amplificación de corriente de un transistor de colectores múltiples tenga al menos un valor que sea igual al número de colectores de dicho transistor, es por consiguiente a menudo suficiente.

De acuerdo con el invento, se consiguen importantes ventajas cuando el transistor complementario está situado junto al grupo de líneas de señal independientemente del lugar de los colectores del pertinente circuito puerta. Adicionalmente a las otras ventajas que se describirán posteriormente, se consigue con esta medida, entre otras cosas, que el transistor complementario pueda diseñarse fácilmente de manera óptima y hacerse relativamente pequeño, de modo que la influencia sobre el factor β de amplificación de los transistores inversores se reduzca y la topología del circuito I²L se haga más compacta. Además, pueden entonces elegirse notablemente las dimensiones del emisor del transistor complementario de modo que sean

tan pequeñas que para el nivel de corriente deseado la
tensión emisor-base del transistor complementario sea
tan grande que esté disponible una tensión de excursión
suficientemente grande para llevar al estado de conduc-
5 ción la unión emisor-base de los transistores inverso-
res.

En una realización simple preferida, la re-
sistencia en serie de entrada relativamente baja desea-
da se obtiene utilizando una zona de base que es común
10 a los transistores inversores de uno de los circuitos
puerta y tiene una subzona de base en forma de banda
que preferiblemente tiene una resistencia relativamen-
te baja o bien es de baja resistividad y se extiende en
la dirección de la fila, cuya subzona en forma de banda
15 limita y es contigua a una o más subzonas de base, pre-
feriblemente de resistencia relativamente alta o de al-
ta resistividad, en las cuales se encuentran los colec-
tores del circuito puerta. La subzona de base en forma
de banda de resistencia relativamente baja se extiende
20 en la dirección de la fila a lo largo de todos los co-
lectores y forma una conexión de baja resistividad pa-
ra la corriente de alimentación y de base recibida a
través del transistor complementario que se encuentra
preferiblemente cerca de uno de los extremos de la zo-
na de base a las partes activas del circuito puerta, a
25

saber las partes que están presentes en inmediata proximidad con los colectores y en las cuales se produce el efecto de transistor en el estado de conducción. Recíprocamente, al producirse la conmutación al estado de no conducción, puede fluir con relativa facilidad a través de dicha conexión de baja resistividad suficiente corriente para reducir o hacer disminuir la tensión emisor-base rápidamente hasta el nivel deseado.

La zona de base común del circuito puerta está realizada preferiblemente en la forma de un rastrillo o peine, en la cual la subzona de base de baja resistividad en forma de banda forma el nervio o base del rastrillo o peine y en la cual sobre uno o ambos costados del nervio del rastrillo o peine se extienden una o más subzonas de base de alta resistividad, más pequeñas desde dicho nervio en la forma de dientes o dedos, cada una de cuyas subzonas de base de alta resistividad comprende un colector del circuito puerta. Pueden conseguirse estructuras particularmente compactas con tales zonas de base en forma de rastrillo.

En otra realización preferida, la entrada de señal del circuito puerta consiste en cierto número de subzonas de base que están separadas entre sí y cada una de las cuales comprende solamente uno de los colectores del circuito puerta, cuyas subzonas de base están

conectadas entre sí por medio de una pista conductora que se extiende en la dirección de la fila, extendiéndose las subzonas de base hasta debajo de dicha pista conductora y estando conectadas a la misma por intermedio de aberturas en la capa aislante. En este caso, los medios para reducir la resistencia de entrada están constituidos, al menos principalmente, por la mencionada pista conductora. En este caso también, el área colectora de las uniones emisor-base de los transistores inversores del circuito puerta es relativamente pequeña. Esta área de unión pequeña tiene una influencia favorable sobre el factor β de amplificación de los transistores inversores. Además, las capacidades de empobrecimiento y de almacenamiento de carga son también relativamente pequeñas, lo cual es favorable para la velocidad de conmutación.

En la forma conocida más comúnmente de circuitos de tecnología I²L, los elementos de circuito están presentes en una capa de superficie de un primer tipo de conductividad que tiene una resistividad relativamente alta y en el cuerpo semiconductor es contigua a una región de resistividad relativamente baja del primer tipo de conductividad en la forma de una capa enterrada o un sustrato de resistividad relativamente baja. Cada uno de los circuitos puerta tiene una zona de ba

se del segundo tipo de conductividad formada por una zona de superficie que se extiende en la capa de superficie y es contigua a uno o más colectores presentes en la superficie. Los transistores inversores son transistores de los llamados de estructura inversa que tienen una zona de emisor común del primer tipo de conductividad que se extiende por debajo de todas las zonas de base y cierto número de colectores relativamente pequeños que se encuentran en la superficie y separados de la zona de emisor común por una zona de base del segundo tipo de conductividad. Los transistores complementarios están contruidos como los llamados transistores laterales, en los cuales las zonas de emisor y colector se extienden desde la superficie dentro de la capa de superficie unas junto a otras y a cierta distancia entre ellas.

En una realización importante preferida de un circuito I²L de acuerdo con el invento, al menos las subzonas de base de alta resistividad consisten en partes de la capa de superficie que, por impurificación local, han sido convertidas del primer tipo de conductividad al segundo tipo de conductividad en todo el espesor de la capa de superficie, de modo que las subzonas de base de alta resistividad se extienden desde la superficie hasta la región de baja resistividad del pri

mer tipo de conductividad.

De este modo el almacenamiento de carga que tiene lugar en el estado de conducción en la unión emisor-base de los transistores de estructura inversa se reduce y es restringido sustancialmente el almacenamiento de carga en la zona de base.

Una solución que parece tener menos fines concretos porque los transistores inversores en el estado de conducción están en régimen de saturación, de modo que tanto la unión emisor-base como la unión colector-base están polarizadas en sentido directo, pero que no obstante es importante y ventajosa dentro del campo del invento, es la inversión de la distribución de impureza al menos y preferiblemente también solamente en las subzonas de base de alta resistividad. En los circuitos conocidos de tecnología I^2L la zona de base de los transistores inversores tiene una distribución de impureza en la cual la concentración de impureza, procediendo desde la unión emisor-base hasta la unión colector-base, aumenta al menos en la mayor parte. Una ley de distribución invertida, de modo que decrece desde el emisor al colector, proporciona un almacenamiento de carga más pequeño para la misma corriente de colector, suponiendo que el valor de la integral de volumen de la impurificación de base es igual en ambos ca-

5 sos. Aunque tanto la unión emisor-base como la unión
colector-base están polarizadas en sentido directo y,
por tanto, se presenta el almacenamiento de carga en
la zona de base en ambas uniones, la unión emisor-base
tiene la zona de superficie más grande como resultado
de la estructura de transistor inverso, mientras que,
además, la caída de tensión directa a través de dicha
unión es siempre mayor que la que se produce a través
de la unión colector-base.

10 En la subzona de base de baja resistividad,
o sea la parte no activa de la zona de base, la curva
de distribución de impureza no está preferiblemente in-
vertida y la concentración de impureza disminuye prefe-
15 riblemente en una dirección desde la superficie hasta
la unión emisor-base, al menos principalmente, y parti-
cularmente en la parte que se encuentra en posición más
próxima a la superficie. No se necesita que fluya co-
rriente de transistor en dicha parte de baja resistivi-
dad de la zona de base y por consiguiente la corriente
20 inyectada a través de la unión emisor-base puede restrin-
girse aumentando la concentración de impureza (al menos
la integral de volumen de ella). Esto mejora el factor
 β de amplificación de corriente de los transistores de
estructura inversa. Este aumento de la integral de vo-
25 lumen de la concentración de impureza se consigue prefe-

5 riblemente sin aumentar la concentración de la unión
p-n. Una concentración aumentada en la unión p-n daría
lugar a un aumento de la capacidad de empobrecimiento
de la unión, de modo que el producto de la disipación
y el tiempo de retardo resultarían menos favorable. Pre-
cisamente con una distribución de impureza que disminu-
ya hacia la unión emisor-base puede aumentarse conside-
rablemente la cantidad global de impurificación o acti-
vación sin aumentar la capacidad de la zona de empobre-
10 cimiento.

Como ya se ha establecido, está dispuesta una
separación eléctrica entre las filas de transistores de
estructura inversa. Como en los circuitos I²L conocidos,
dicha separación puede obtenerse por medio de una zona
15 de baja resistividad del primer tipo de conductividad
que se extiende desde la superficie a través de la ca-
pa de superficie sustancialmente hasta o dentro de la
parte de baja resistividad del primer tipo de conducti-
vidad que pertenece a la zona de emisor común y se ex-
20 tiende por debajo de las zonas de base.

En una realización preferida importante del
circuito I²L de acuerdo con el invento, esta separación
eléctrica que rodea a las zonas de base de los transis-
tores inversores en el mayor grado posible se obtiene
25 por medio de una forma de aislamiento dieléctrico. Esto

significa una forma de aislamiento que no está basada en la presencia de uniones semiconductoras internas. El aislamiento dieléctrico puede realizarse, por ejemplo, en la forma de aislamiento de aire y/o surcos en la capa de superficie o bien estén o no cubiertos y/o rellenos de material aislante o en la forma de un trazado de material aislante hundido o incrustado en la capa de superficie, al menos en parte de su espesor, y que se obtiene por oxidación local o selectiva. No solamente puede reducirse la zona de superficie de la unión emisor-base de los transistores inversores con este tipo de separación dieléctrica que se extiende preferiblemente en el cuerpo semiconductor al menos hasta la misma profundidad que las zonas de base, sino que también, puesto que son eliminadas las partes de ella que se extienden transversalmente a la superficie, los transistores inversores pueden también construirse en conjunto de modo que sean más pequeños en este tipo de aislamiento. Como resultado de esto, este tipo de aislamiento proporciona una contribución importante al aumento deseado de la velocidad de conmutación.

Para mayor claridad, se establece de nuevo que esta forma de aislamiento puede utilizarse sin inconveniente y sin que se aumente, por ejemplo, la resistencia de base en serie de un modo considerable, solamente

5 porque en la topología de acuerdo con el invento los transistores complementarios están dispuestos preferiblemente cerca de los extremos de las filas de transistores y la corriente de base fluye en la dirección de las filas hacia las partes activas de los transistores inversores.

Se describirá el invento con mayor detalle con referencia a unas cuantas realizaciones y al dibujo que se acompaña, en el cual:

10 La figura 1 es una vista esquemática en corte transversal de una forma conocida de un circuito I^2L ,

la figura 2 es un esquema de circuito de un circuito puerta lógica con el cual puede diseñarse un circuito I^2L ; y

15 la figura 3 representa un símbolo simple para tal circuito puerta.

la figura 4 representa el esquema de circuito de un contador de seis en código BCD, en el cual se utiliza el símbolo representado en la figura 3 como componente o bloque básico,

20 la figura 5 representa esquemáticamente la estructura fundamental de la topología de un circuito I^2L de acuerdo con el invento para realizar el contador seis en código BCD representado en la figura 4,

25 la figura 6 representa esquemáticamente una

parte de una vista en planta de una primera realización del circuito I²L de acuerdo con el invento, basado en la estructura fundamental de la figura 5, mientras que,

5 la figura 7 es una vista esquemática en corte transversal de dicha primera realización, tomada sobre la línea VII-VII de la figura 6.

la figura 8 representa esquemáticamente una parte de una segunda realización del invento que está también basada en la estructura fundamental de la figura 5, y

10 la figura 9 es una vista esquemática asociada, en corte transversal, tomada sobre la línea IX-IX de la figura 8.

la figura 10 es una vista esquemática en planta de una tercera realización del circuito integrado de acuerdo con el invento y de la cual

15 las figuras 11 y 12 representan vistas esquemáticas asociadas en corte transversal, tomadas sobre las líneas XI-XI y XII-XII, respectivamente, de la figura 10.

20 La figura 13 es una vista esquemática en corte transversal de una variante de la tercera realización, correspondiente a la vista en corte transversal representada en la figura 12.

25 La figura 14 es un esquema de circuito de dos

circuitos puerta I²L con un ejemplo de un sistema de alimentación de corriente mejorado de acuerdo con el invento.

5 La figura 14A representa otro elemento de impedancia para utilización en el circuito de la figura 14.

La figura 15 representa esquemáticamente una parte de una vista en planta de una cuarta realización del circuito I²L de acuerdo con el invento, en el cual está incorporada en forma integrada la alimentación de corriente mejorada representada en la figura 14.

10 La figura 15A representa esquemáticamente otra parte de una vista en planta de un circuito I²L de acuerdo con el invento.

15 La figura 16 representa esquemáticamente una parte de una de las máscaras a utilizar en la fabricación de la cuarta realización y que corresponde a la parte de esta realización representada en la figura 15, mientras que

20 Las figuras 17 y 18 son vistas esquemáticas en corte transversal de dicha cuarta realización, tomadas sobre las líneas XVII-XVII y XVIII-XVIII, respectivamente, de la figura 15.

25 La figura 1 es una vista esquemática en corte transversal de uno de los ejemplos de un circuito de tecnología I²L descrito en la mencionada Solicitud

de Patente española número 403.026. Se trata de un circuito integrado que tiene un cuerpo 1 semiconductor con una capa 2 de superficie de un primer tipo de conductividad, en la cual están presentes los elementos de circuito de los circuitos de puerta lógica en un lado 3 del cuerpo 1 semiconductor y de la capa 2 de superficie. Cada uno de los circuitos puerta tiene uno o más transistores inversores 5, 6, 7 cuyas uniones 4 emisor-base están conectadas en paralelo. Los emisores 5 de dichos transistores 5, 6, 7, de los diversos circuitos puerta están conectados entre sí y están formados por una región común 5 del primer tipo de conductividad, la cual, vista desde la primera cara 3, se extiende por debajo de cada una de las zonas 6 de base de los transistores inversores 5, 6, 7. Las bases 6 de los transistores inversores 5, 6, 7 que pertenecen al mismo circuito puerta están conectadas entre sí y constituyen en conjunto una entrada 8 única de señal del pertinente circuito puerta. Las bases interconectadas están formados por una zona 6 de superficie común del segundo tipo de conductividad que se extiende en la capa 2 de superficie desde la cara 3 primeramente mencionada. Está presente en la cara 3 una capa 9 aislante que separa del cuerpo semiconductor, un trazado de pistas 10 semiconductoras, estando conectadas dichas pistas 10 conductoras local-

mente a los elementos de circuito por intermedio de aberturas en la capa 9 aislante, de modo que se establecen contactos con los elementos de circuito. La entrada 8 de señal de cada circuito puerta comprende por tanto en este caso una pista conductora 10 y una zona 6 de base común conectada a ella. Los colectores 7 que pertenecen a las salidas 11 de señal del circuito puerta están formados por zonas 7 de superficie del primer tipo de conductividad que están en posición contigua a la primera cara 3 del cuerpo semiconductor 1 y se extienden en las zonas 6 de base. Las uniones base-colector son en este caso uniones p-n formadas entre las zonas 6 de base y las zonas 7 de colector. Sin embargo, las uniones base-colector pueden también ser uniones del tipo Schottky, en las cuales los colectores tienen, por ejemplo, una capa metálica que forma una unión rectificadora metal-semiconductor con la pertinente zona de base contigua. Cada una de las salidas 11 de señal del circuito puerta comprende una pista 10 conductora y un colector 7 conectado a ella.

Cada circuito puerta tiene una fuente de alimentación de corriente. Para este fin, cada una de las entradas 8 de señal está conectada al colector de un transistor 13, 2, 6 que es complementario de los transistores inversores 5, 6, 7. El colector de dicho tran

sistor complementario es una zona 6 de superficie del segundo tipo de conductividad que se extiende en la capa 2 de superficie desde la primera cara 3, realizándose la conexión a la entrada 8 de señal del circuito puerta, por cuanto que dicha zona de colector del transistor complementario 13, 2, 6 es también la zona de base común de los transistores inversores 5, 6, 7 del circuito puerta. El transistor complementario tiene además una zona 13 de emisor que está provista de una conexión 14 formada por una pista conductora 10, mientras que la zona de base de dicho transistor está formada por una parte de la capa 2 de superficie que está conectada directamente a la zona 5 de emisor que es común a todos los transistores inversores. El transistor complementario 13, 2, 6 es uno de los llamados transistores de estructura lateral y los transistores inversores 5, 6, 7 están contruidos como transistores de estructura vertical y en particular como transistores verticales de estructura inversa.

La capa 2 de superficie tiene una resistividad relativamente alta y puede estar dispuesta sobre un substrato de resistividad relativamente baja del mismo tipo de conductividad. En el presente ejemplo, la zona 5 de emisor tiene, además de una parte 15 de resistividad relativamente alta que pertenece a la capa 2 de

superficie, una parte 16 de resistividad relativamente
baja del mismo tipo de conductividad, que tiene, por
ejemplo, la forma de una capa enterrada que es contigua
a la capa 2 de superficie por una de sus caras y por la
5 otra cara es contigua a una región 17 de sustrato del
segundo tipo de conductividad opuesta. La región 17 de
sustrato tiene una conexión eléctrica 18 que está repre-
sentada esquemáticamente. Esta disposición constructiva
brinda la posibilidad de incorporar el circuito I²L co-
10 mo parte componente en un circuito integrado mayor. Tal
circuito integrado tiene típicamente una capa de super-
ficie que está subdividida del modo usual en varias par-
tes o islas separadas entre sí, comprendiendo una o va-
rias de las mencionadas islas un circuito I²L o una par-
te del mismo, estando alojados los elementos de circuito
15 de las partes restantes en varias otras de dichas islas.

Los diversos circuitos puerta del circuito
I²L deben estar separados entre sí de modo que no se
produzca interferencia de diafonía. En otras palabras,
20 debe evitarse el efecto de transistor entre zonas 6 de
base común adyacentes, cuyas zonas de base, junto con
la parte intermedia de la capa 2 de superficie, pueden
formar realmente un transistor de estructura lateral.
Además, el factor β de amplificación de corriente de
25 los transistores 5, 6, 7 inversores no deberá ser dema-

siado bajo, lo cual podría perjudicar el funcionamiento correcto del circuito integrado. En particular este último requerimiento puede dar lugar a problemas debido a la utilización de transistores verticales de estructura inversa que tienen generalmente un factor de amplificación de corriente mucho más bajo que los transistores más convencionales de estructura vertical no invertida. En la antes mencionada Solicitud de Patente española número 403.026 se ha establecido ya en relación con esto que la zona 6 de base común de cada circuito puerta, en tanto no esté enfrentada con la zona 13 de emisor del transistor lateral complementario asociado, debe estar preferiblemente rodeada en el mayor grado posible por una región 19 de separación que puede estar formada, por ejemplo, por un surco en el cuerpo semiconductor cubierto o no cubierto con una capa aislante y/o relleno o no relleno con material aislante o material semiconductor, por un trazado de material aislante que está incrustado al menos en una parte de su espesor en el cuerpo semiconductor y que se obtiene por oxidación selectiva o local o, como en el ejemplo, por una región de resistividad relativamente baja del mismo tipo de conductividad que la capa 2 de superficie. En todos los casos es importante que la región 19 de separación o de aislamiento se extienda en el

mayor grado posible desde la primera cara 3 hasta la parte 16 de baja resistividad de la zona 6 de emisor común o dentro de la misma y se extienda por tanto directamente a través de la capa 2 de superficie.

5 Cada uno de los circuitos puerta usualmente comprende varios transistores inversores, y de este modo varios colectores 7 ó salidas 11 de señal. Para producir o generar funciones lógicas, están conectadas entre sí varias salidas 11 de señal que pertenecen a diferentes circuitos puerta por medio de pistas conductoras 10 que pertenecen al trazado de pistas conductoras, estando conectadas al menos varias de las salidas 11 de señal a la entrada 8 de señal de un circuito puerta subsiguiente de los circuitos puerta para tratamiento adicional de la señal de salida de dichas salidas. 10 Tal conexión está indicada esquemáticamente en la figura 1 por la cifra 20 de referencia.

15 Durante el funcionamiento del circuito, la corriente de alimentación suministrada por intermedio del transistor lateral 13, 2, 6 a la zona de base común del circuito puerta subsiguiente antes mencionado se utiliza como corriente de base para los transistores inversores del circuito puerta subsiguiente, dependiendo de la señal lógica de entrada, o es dirigida hacia la zona 5 20 de emisor común y el contacto 12 conectado a ella, en

la forma de corriente de colector por uno o más transistores inversores del circuito o circuitos puerta precedentes conectados a la entrada de dicho circuito puerta subsiguiente.

5 Una de las características del circuito I²L es que durante el funcionamiento la tensión colector emisor a través de los transistores inversores está comprendida siempre entre cero y una caída de tensión directa en el diodo emisor base. El colector de un transistor inversor en estado de no conducción está conectado a la base de un transistor inversor subsiguiente en estado de conducción, de modo que la tensión colector emisor a través del transistor inversor en estado de no conducción es sustancialmente igual a la caída de tensión directa a través de la unión emisor base de dicho transistor inversor subsiguiente en estado de conducción. Cuando el transistor inversor precedente en estado de no conducción conmuta al estado de conducción cuando es presentada suficiente corriente de base, la tensión colector emisor cae hasta el valor asociado con un transistor inversor que está en estado de conducción y en saturación. Como resultado de esto la tensión emisor base a través del antes mencionado transistor inversor subsiguiente es demasiado pequeña para mantener el estado de conducción. Dicho transistor subsiguiente cam

10

15

20

25

5 bia así al estado de no conducción. De este modo los transistores inversores en estado de conducción están siempre en saturación, es decir la unión emisor base y la unión colector base de los transistores inversores en conducción están ambas polarizadas en sentido directo.

10 Al menos parcialmente debido a la utilización de transistores inversores que tienen una zona de emisor común, y al menos parcialmente debido a la ausencia de resistencias, el circuito I^2L conocido descrito tiene una alta densidad de agrupación de componentes. También, como resultado de las bajas tensiones de funcionamiento, la disipación es relativamente pequeña. El producto de disipación y tiempo de retardo de un circuito I^2L es del orden de 1 pJ por circuito puerta o incluso inferior.

15 El circuito I^2L descrito puede representarse en un esquema de circuito eléctrico como se expone en la figura 2, en el cual componentes correspondientes están designados por las mismas cifras de referencia que en la figura 1. Los circuitos puerta consisten en un transistor inversor de colectores múltiples, que tiene el mismo número de colectores que salidas 11. Además, tienen una única entrada 8 de señal a la cual está acoplado un transistor complementario para la alimentación

20

25

de corriente de polarización. En este caso los transis-
tores inversores son transistores n-p-n y los transis-
tores complementarios son transistores p-n-p. Puede apli-
carse un potencial positivo, con relación a un potencial
de referencia aplicado en 12, al emisor del transistor
p-n-p complementario en el punto 14. Está también indi-
cado que la entrada 8 de señal está conectada, con una
conexión 20 que pertenece al trazado de pistas conducto-
ras 10, a una o más salidas 11 de circuitos puerta pre-
cedentes.

Para fines de simplificación de la ilustración,
el circuito puerta presente en el bloque 21, indicado
en líneas discontinuas, puede también ser representado
por el símbolo que aparece en la figura 3. Esta repre-
sentación simplificada, como se representa en la figura
3, es utilizada en la figura 4. La figura 4 representa
el esquema de un contador de seis en código BCD cons-
truido a partir de veinticinco circuitos puerta, de los
cuales veintiuno forman tres circuitos de báscula bie-
table del tipo D en tres grupos de siete. Este contador
es adecuado, por ejemplo, para utilización en mecanis-
mos de relojería electrónicos. Los circuitos puerta tie-
nen como referencia las cifras 31 a 55.

Se describirá ahora con mayor detalle un pri-
mer aspecto del invento con referencia al circuito de

la figura 4. Este primer aspecto se refiere en primera instancia a la topología a escoger para el circuito integrado, siendo de importancia primordial que tal topología deberá ser adecuada para la utilización y ayuda de computadores en el diseño de la topología y debe estar adaptada para ello. De este modo, se refiere a una estructura básica para la topología dentro de la cual puede diseñarse la topología más detallada de circuitos específicos por medio de un computador. Tal esquema de disposición de componentes es importante en particular para circuitos integrados grandes a los que se hace referencia usualmente como circuitos MSI o LSI (denominaciones derivadas de los términos Medium Scale Integration y Large Scale Integration) en los cuales el diseño manual consume mucho tiempo y por tanto es frecuentemente demasiado costoso y además implica un gran riesgo de cometer errores. Aunque en relación con esto el contador representado en la figura 4 es relativamente pequeño, a pesar de todo dicho circuito es ya suficientemente grande para hacer atractivo el uso de computadores en la elección de una disposición adecuada de los circuitos puerta y la determinación del trazado de conexionado asociado y es también suficientemente grande para explicar el principio, varias posibilidades y varias ventajas del presente invento.

Como es sabido, la utilización de computadores en diseño, a lo que se hace frecuentemente referencia como una forma de diseño con auxilio de computador, se lleva a cabo siempre sustancialmente a expensas de una densidad de agrupación de componentes reducida de los circuitos puerta en el cuerpo semiconductor. Una primera consideración en la elección de la estructura básica para la topología es, por consiguiente, mantener a pesar de todo la topología lo más compacta posible. En relación con esto, entre otras cosas, el número de transistores inversores, o sea el número de colectores, que se considera admisible por circuito puerta también juega un papel importante. De acuerdo con que este número se haga más grande puede conseguirse generalmente una función compleja de una forma más compacta.

Otras consideraciones importantes se refieren a la velocidad de conmutación del circuito integrado. Esta velocidad está también estrechamente relacionada con la topología escogida. Generalmente, por ejemplo, hay una gran posibilidad de que la velocidad de conmutación disminuya cuando aumenta el número de transistores inversores por circuito puerta.

Adicionalmente, y dejando aparte la velocidad de conmutación, cuando el número de transistores por circuito puerta es aumentado, se pone fácilmente en peligro el funcionamiento fiable del circuito I^2L como resultado

del factor β de amplificación de corriente restringi-
do de los transistores inversores de estructura inversa.
Para un buen funcionamiento se requiere que dicho fac-
tor β de amplificación de corriente por salida de se-
5 ñal sea al menos igual a la unidad. Para reducir los
rechazos en la fabricación, se intentará en la prácti-
ca conseguir un valor de, por ejemplo, 1,5 ó 2 o inclu-
so más alto para el factor β de amplificación de co-
rriente por colector, de acuerdo con el grado deseado
10 de seguridad. Adicionalmente, tal valor más alto del
factor β proporciona un margen de ruido que es desea-
do en la práctica y en cuya presencia necesitan imponer
se requerimientos menos rigurosos sobre la igualdad mu-
tua de los transistores y de la corriente conducida por
15 dichos transistores. En relación con esto, el factor de
amplificación de corriente por colector o por cada sali-
da de señal ha de interpretarse en el sentido de la am-
plificación de corriente del transistor de colectores
múltiples que se presenta realmente (es decir en presen-
20 cia del transistor complementario) cuando solamente uno
de los colectores conduce corriente. Dicho factor de
amplificación de corriente puede medirse, por ejemplo,
como la relación entre la corriente de colector y la
corriente de base del transistor inversor en estado de
25 conducción cuando la unión emisor base del transistor

lateral complementario está puesta en cortocircuito y por tanto el emisor de dicho transistor lateral está conectado al del transistor inversor.

5 La estructura básica de la topología debe cumplir así, entre otras cosas, la condición de que el circuito I²L pueda diseñarse con la ayuda de computa-
dores de tal modo que el diseño resultante funcione en forma fiable, sea lo más compacto posible y limite el número máximo de transistores inversores por circuito
10 puerta tan poco como sea posible, no impida demasiado la realización del factor β de amplificación de corriente requerido y permita la velocidad de conmutación más alta posible o al menos presente la posibilidad de adoptar medidas para aumentar la velocidad de conmutación
15 en el circuito integrado.

De acuerdo con el invento, que está basado, entre otras cosas, en el análisis descrito anteriormente, la topología representada esquemáticamente en la figura 5 es particularmente favorable. En esta representación esquemática los transistores inversores de cada uno de los circuitos puerta están representados como bloques 61 y 62 a 85 alargados, respectivamente, teniendo cada uno de los bloques un saliente cuadrado en la zona donde está presente una salida de señal. De acuerdo con el invento, los transistores inversores están
20
25

distribuidos entre varias filas sustancialmente paralelas, por cuanto que cada fila comprende, dispuestos en la dirección de la fila, al menos los colectores de los transistores inversores del mismo circuito puerta y cuyas uniones emisor base están conectadas en paralelo y dispuestas en la dirección de las filas. En este ejemplo hay veinticinco circuitos 61-85 puerta distribuidos entre trece filas, estando dispuestos los colectores o salidas de señal de cada circuito puerta en la dirección de las filas o a lo largo de las mismas. Como se representa en la figura 5, los colectores pueden estar presentes en el lado inferior del bloque alargado, como se indica en el bloque 74, o en el lado superior del bloque, como se representa, por ejemplo, en el bloque 78, o pueden también encontrarse sobre uno u otro lado del bloque, como se representa, por ejemplo, en el bloque 80. Como se explicará posteriormente, la elección depende de la estructura más detallada de los circuitos puerta.

Los colectores presentes en diferentes filas y asociados con diferentes circuitos puerta, por ejemplo los colectores de los bloques 84 y 85, están conectados en conjunto por medio de pistas conductoras que pertenecen al trazado de pistas y que se extienden transversalmente a la dirección de las filas, estando repre-

5 sentadas dichas pistas conductoras esquemáticamente en
la figura 5 como línea 86. Las pistas conductoras 86
constituyen un grupo de línea de señal sustancialmente
rectas y paralelas, estando situados los colectores o
salidas de señal en su fila en el área o posición del
10 cruce de su fila y la pista conductora 86 que se extien
de transversalmente a dicha fila a la cual están conec
tadas. Cada uno de los transistores complementarios es
tán dispuestos cerca de uno de los extremos de una fi
15 la de transistores inversores y, vistos en planta como
se representa en la figura 5, se encuentran junto o a
lo largo del grupo de pistas 86 de señal sustancialmen
te paralelas. Los transistores complementarios están
representados en la figura 5 por dos bloques 87 sobre
20 uno y otro lado del grupo de circuitos puerta, cuyos
bloques representan dos zonas de emisor común, indican
do los bloques 61 a 85 una zona de colector de los tran
sistores complementarios. La estructura real del cuer
po semiconductor del circuito integrado se describirá
25 con detalle posteriormente con referencia a dibujos más
detallados en los cuales se pondrá también de manifiesto
que están presentes entre filas adyacentes de tran
sistores inversores medios para separar eléctricamente
o aislar los transistores inversores que pertenecen a
diferentes circuitos puerta y se encuentran en filas

adyacentes.

5 En la figura 5 las conexiones entre las pistas conductoras y los elementos de circuito están indicadas como puntos sobre las líneas 86 que representan las pistas conductoras. Está también representado esquemáticamente por puntos que las zonas 87 de emisor común pueden ser sustituidas por cierto número de subzonas, por ejemplo, una subzona independiente para cada circuito puerta situada en posición adyacente a la puerta y
10 por debajo del punto, que están conectadas entre sí por medio de una pista conductora 88. Sobre el costado superior de la figura 5, están presentes extremidades de todas las pistas conductoras que forman entradas de señal o salida de señal para el circuito I²L. En ese caso las
15 zonas 87 y/o las pistas 88 conductoras pueden estar conectadas entre sí, si se desea, sobre el lado inferior de la figura por medio de una zona semiconductor y/o una pista conductora representada por la línea discontinua 89. En la disposición de los circuitos puerta,
20 puede también tenerse en cuenta, si se desea, el hecho de que puede ser más ventajoso situar cierto número de entradas de señal y/o salidas de señal sobre el lado inferior. Si se desea, pueden también disponerse entradas de señal y/o salidas de señal simplemente sobre el lado izquierdo o sobre el lado derecho, como se explicará posteriormente.
25

La topología representada en la figura 5 se refiere al circuito representado en la figura 4 con los circuitos puerta 31 a 55 correspondiendo a los bloques 61 a 85, respectivamente. Con la ayuda de un computador se disponen los circuitos puerta de modo que sean rec-
5 tas sustancialmente todas las líneas 86 de señal. En este ejemplo la única excepción a esta regla es la pista 90 de señal que conecta una salida de señal del bloque 64 inferior a la salida de señal del bloque 65 y la
10 entrada de señal del bloque 66. Dependiendo del circuito a realizar, puede ser también ventajoso algunas veces, sin embargo, dividir una o más pistas conductoras representadas verticalmente en la figura 5 en dos o más
15 columnas, en las cuales las diversas partes que se extienden verticalmente de la misma conexión eléctrica están combinadas con miembros de conexión que se extienden horizontalmente para formar una conexión conductora continua. Frecuentemente, las pistas 86 conductoras
20 rectas se extienden transversalmente a través de una o más filas de transistores inversores sin estar conectadas a ninguno de los transistores de la fila particular.

La figura 6 representa la parte del circuito I²L rodeada en la figura 5 por la línea 91 de puntos y rayas, con mayor detalle. La figura 7 es una vista en
25 corte transversal asociada, tomada sobre la línea VII-VII

de la figura 6. En lo que respecta a la estructura de las zonas semiconductoras y las regiones semiconductoras, dicha vista en corte transversal es esencialmente comparable a la vista en corte transversal representada en la figura 1. La diferencia que es más importante dentro del campo del invento es fácilmente visible en el circuito puerta 64. Como es usual, este circuito puerta está construido como un transistor de colectores múltiples que tiene una zona 64 de base común, una zona 92 de emisor común y una pluralidad de zonas 93 de colector. El transistor de colectores múltiples del circuito puerta 64 es alargado en la dirección de las filas a fin de disponer los colectores 93 en el lugar correcto bajo las pistas conductoras 90 y 86.

El circuito integrado, por ejemplo, tiene un substrato 94 de baja resistividad de silicio de tipo n, sobre el cual está presente una capa 95 de superficie de tipo n de resistividad relativamente alta. Están presentes en la capa 95 de superficie de silicio las zonas 64, 65, 66 y 82 de base común de tipo p, cada una de las cuales comprende una o más zonas 93 de colector de tipo n. Los emisores de los transistores laterales complementarios pnp tienen sus zonas 87 de emisor de tipo p están conectadas entre sí por medio de una pista conductora 88. Las pistas conductoras 86, 88 y 90 se ex-

5 tienden a través de aberturas de contacto representadas
en líneas de puntos y rayas hasta el material semicon-
ductor subyacente, donde forman conexiones con las di-
versas zonas semiconductoras, y se extienden también
10 sobre una capa 96 aislante, por ejemplo, de dióxido de
silicio. Entre los circuitos puerta y en este ejemplo
también entre las subzonas 87 se encuentra una zona de
separación o región 97 de aislamiento que se extiende
desde la superficie semiconductora hasta el substrato
10 94 de baja resistividad y que está formada, por ejem-
plo, por una región de tipo n de baja resistividad.

Debido a la disposición regular de los cir-
cuitos puerta y sus salidas de señal y debido a que
las pistas de señal son rectas en su mayor parte, la
15 estructura básica escogida de la topología es muy ade-
cuada para la utilización de computadores en el diseño
de circuitos I²L específicos. Adicionalmente, esta es-
tructura básica proporciona también un buen punto de
partida en lo que respecta al rendimiento eléctrico de
20 funcionamiento del circuito I²L. Es de particular impor-
tancia para el funcionamiento fiable el factor β de am-
plificación de corriente de los transistores inversores.
Debido a la relación relativamente desfavorable entre
el área de unión de emisor y el área de unión de colec-
25 tor, este factor β es relativamente bajo. Puede aumen-

tarse utilizando anchos de base muy pequeños. Sin embargo, esto hace considerablemente más crítico el proceso de fabricación, de modo que el porcentaje de rechazos en producción en serie aumentará considerablemente. De este modo, en la práctica se preferirá utilizar otros medios para asegurar un factor β de amplificación suficientemente grande.

Además del funcionamiento fiable, es también de gran importancia la velocidad de conmutación o tiempo de retardo. Además de depender del nivel de corriente, es decir, del valor de la corriente suministrada al circuito puerta por el transistor lateral, la velocidad de conmutación depende también de la posición de los colectores con relación al lugar donde es suministrada dicha corriente a la zona de base común. Cuando es conmutado al estado de conducción un transistor inversor, las capacidades del transistor y las capacidades adicionales conectadas a la base del transistor deben cargarse. Para corrientes no demasiado grandes, la carga se producirá más rápidamente de acuerdo con que la corriente presentada sea mayor y el pertinente colector del transistor inversor esté dispuesto más cerca del punto donde la corriente presentada alcanza la zona de base común. Cuando se utilizan zonas de base común alargadas, como es el caso en el presente ejem

5 plo, este razonamiento lleva a la utilización de transistores laterales presentes en la dirección longitudinal junto a la zona de base, es decir, entre las filas. En el ejemplo de la figura 5, las filas de transistores inversores habrían de estar alternadas con zonas de emisor en forma de banda de los transistores pnp presentes en la dirección de la filas. Sin embargo, esta última topología da lugar a problemas serios. Por ejemplo, requiere más área en la superficie semiconductor. Además, excepto para niveles de corriente muy bajos, la utilización de zonas de emisor largas es perjudicial para los transistores pnp en combinación con pérdidas de tensión que se presentan en las zonas de emisor y que se ponen de manifiesto de un modo inmediato en el valor de la corriente suministrada a las bases de los transistores inversores. En la práctica será casi siempre necesario cubrir tales zonas de emisor largas con una capa metálica a fin de reducir su resistencia en serie, lo cual en una topología como la representada en la figura 6, que tiene pistas de señal que se extienden transversalmente a los circuitos puerta, requerirá prácticamente de un modo automático un trazado de conexiones en dos capas o niveles que están separados entre sí y dará lugar por tanto a un proceso de fabricación relativamente complicado. Además, todas las zonas de base

común deben tener la misma longitud, independientemente del número de colectores, a fin de asegurar que las corrientes suministradas a las bases sean igualmente grandes en el mayor grado posible. Esto empeora también
5 adicionalmente la densidad de agrupación de componentes.

Un problema bastante diferente se deriva del factor β de amplificación de corriente requerida de los transistores inversores. Se encuentra en la práctica que el factor β en primera aproximación disminuye
10 aproximadamente en proporción directa con factores α_{inv} de amplificación de corriente inversos crecientes del transistor pnp lateral. El factor α_{inv} de amplificación de corriente inversos designa la amplificación de corriente del transistor pnp en el caso en el cual la
15 zona de base común del transistor inversor funciona como emisor y la zona de emisor del transistor pnp funciona como colector. De acuerdo con que la zona de base común, conservándose sus dimensiones, quede enfrentada a la zona de emisor del transistor pnp con una mayor parte de su borde, el factor α_{inv} de amplificación de corriente inverso aumenta y el factor β de amplificación de corriente de los transistores inversores disminuye. La influencia del transistor pnp sobre el factor
20 β puede compensarse aumentando el área de la superficie de colector de los transistores inversores con rela
25

ción al área de superficie de emisor, conservándose el tamaño de la zona de base. En la práctica esto origina una seria restricción del número de colectores por zona de base y disminuye la densidad de agrupación de componentes. Una característica adicional importante es que cuando se reduce el número de salidas de señal por circuito puerta, el número de líneas de señal requerido aumenta considerablemente y por tanto el trazado de conexiones se hace considerablemente más complejo. Como regla empírica o práctica, el factor β de amplificación de corriente por colector deberá ser al menos igual a la unidad. En el caso más desfavorable, en el cual solamente es conductor dicho colector de la puerta y además dicho colector es el único camino conductor para drenar la corriente de entrada presentada a un circuito puerta subsiguiente, cada colector de un circuito puerta debe absorber teóricamente dicha corriente de entrada en su totalidad, mientras está disponible como corriente de base una corriente del mismo valor.

Esta y otras consideraciones sobre las cuales está también basado el invento demuestran que la estructura básica escogida para la topología da como resultado circuitos I²L particularmente compactos y de funcionamiento fiable, en los cuales se llega a un compromiso razonable en lo que respecta a la velocidad de conmuta-

ción. Adicionalmente, por adaptación de la estructura de transistor, puede aumentarse la velocidad de conmutación, siendo una parte considerable de tales medidas para adaptar la estructura practicable en la topología del invento, mientras que no pueden incorporarse o pueden incorporarse solamente con grandes dificultades, por ejemplo, en la construcción que tiene zonas de emisor largas en forma de banda junto a los lados largos de las zonas de base común.

5
10
15
20
25
Una medida importante dentro del campo del invento es la utilización de medios para reducir la resistencia serie de entrada de los circuitos puerta. Una de las posibles realizaciones está expuesta en las figuras 8 y 9, que representan la misma parte del contador de seis en código BCD indicado en la figura 5 por el bloque 91, pero esta vez en una construcción adaptada o modificada. Están representados los circuitos puerta 65 y 66 y una parte de los circuitos puerta 64 y 82. La adaptación está basada, entre otras cosas, en el reconocimiento de que en la estructura representada en las figuras 6 y 7 la resistencia de entrada o resistencia en serie de base para el transistor inversor que se encuentra más alejado del contacto de entrada de señal, y de este modo para el colector que está más alejado, es también alta porque la corriente en la zona de base común

del mismo debe fluir en primer lugar a lo largo de los colectores situados en posición más cercana, y así a través de zonas de paso relativamente estrechas. Esto puede evitarse, por ejemplo, utilizando una estructura de rastrillo o peiné. En la figura 8, la zona 66 de base común, por ejemplo, tiene una subzona 98 de base en forma de banda que se extiende en la dirección de las filas y que es contigua a una pluralidad de subzonas 99 de base y que comprende preferiblemente sólo un colector 93 del circuito puerta. La subzona 98 de base en forma de banda está ocupada preferible y sustancialmente en su totalidad por una región más altamente impurificada que tiene una concentración de impureza más alta que las partes de las subzonas 99 de base cubiertas por los colectores y por tanto tiene una resistividad relativamente baja en relación a las mismas. Las subzonas 98 de base en forma de banda forman una conexión de baja resistividad que se extiende como base de un peine o rastrillo a lo largo de todos los colectores del circuito puerta, mientras que las partes activas del circuito puerta, es decir las partes en las cuales se manifiesta el efecto de transistor durante el funcionamiento, son contiguas a la base del rastrillo o peine como dientes.

25 La resistencia en serie de entrada de bajo v_a

lor resultante tiene importante ventajas. Ante todo, la corriente suministrada por el transistor pnp de estructura lateral cerca del extremo del circuito puerta puede alcanzar fácilmente también partes activas del

5 circuito puerta que están situadas más alejadas, de modo que al tener lugar la conmutación al estado de conducción las capacidades de transistor pueden cargarse rápidamente y por tanto se aumenta la velocidad de conmutación. Como tal, la subzona de base en forma

10 de banda constituye una alternativa para la utilización antes mencionada de zonas de emisor de tipo p en forma de banda, situadas alternativamente entre las filas. Sin embargo, la mencionada solución alternativa indicada es además más efectiva. Al tener lugar la

15 conmutación al estado de no conducción, se produce extracción de corriente por intermedio del contacto de base y el potencial de la zona de base común se adapta correspondientemente. En relación con esto, es ventajoso que todas las partes activas del circuito puerta

20 estén conectadas al contacto de base por intermedio de la subzona de base en forma de banda de un modo tal que el camino de conducción sea de resistividad relativamente baja. De este modo, la resistencia en serie de entrada reducida constituye también una

25 mejora del tiempo de conmutación a corte. El hecho

de que, debido a la disposición de los transistores complementarios, el factor β de los transistores inversores sea relativamente alto contribuye también a dicho tiempo de conmutación a corte mejorado. En realidad, como resultado de dicho factor β más alto, los transistores inversores precedentes pueden extraer más fácilmente la corriente a derivar por intermedio del contacto de base.

Una ventaja adicional de la estructura en forma de peine es que el contacto de entrada con uno de los contactos de salida puede estar situado sustancialmente en una línea en una dirección transversal a la dirección de las filas, estando esto en contraste con la realización representada en la figura 6. Como resultado de esto, la topología se hace más compacta en la dirección de las filas. El espacio requerido en sentido transversal a la dirección de las filas puede restringirse disponiendo los circuitos puerta en forma de peine de modo que queden adecuadamente interdigitados, tal como por ejemplo los circuitos puerta 65 y 66 en la figura 8. La expresión de que los dientes de los circuitos puerta en forma de peine queden "interdigitados" significa solamente que circuitos puerta adyacentes están dispuestos tan próximos entre sí que a la altura de una determinada pista de señal quede disponible en

tre los circuitos puerta un espacio solamente suficien
te para proveer de un diente a uno de dos circuitos puer
ta adyacentes. Sin embargo, será obvio que no solamente
todas las posiciones disponibles para dientes necesitan
5 realmente estar también ocupadas, mientras que en la fi
gura 5 está también representado que los dientes adyacen
tes, por ejemplo, no necesitan obligatoriamente pertene
cer alternativamente a circuitos puerta diferentes.

En el extremo de los circuitos puerta, el tran
10 sistor pnp puede adaptarse al nivel de corriente deseado
y/o la densidad de corriente que se considera admisible
utilizando una forma en L como se representa en la figu
ra 8. La porción de extremo en forma de L de las zonas
de base común y las zonas 87 de emisor situadas en posi
15 ción opuesta, pertenecientes a los transistores pnp,
tienen, en la superficie semiconductor, preferible y
sustancialmente la misma concentración de impureza re
lativamente alta que la subzona 98 de base en forma de
banda.

20 Otra importante medida dentro del campo del
invento es la inversión de la pauta o curva de distri
bución de concentración de impureza en la zona de base
de los transistores inversores. En los transistores in
versores de estructura vertical inversa convencionales
25 de doble difusión y tecnología planar la concentración

de impureza en la zona de base aumenta desde la zona de emisor común hacia la zona de colector. Por medio de implantación iónica, por ejemplo, puede obtenerse una distribución de impureza que disminuya al menos desde una cierta distancia de la unión emisor base en la dirección del colector. Esta inversión de la pauta de distribución de impureza, que se describirá con mayor detalle en un ejemplo siguiente, es notablemente favorable en relación con el almacenamiento de carga que se produce en el estado de conducción. Para mayor claridad, se ha establecido ya aquí también que dicha inversión se realiza preferiblemente sólo en las partes activas de los transistores inversores, teniendo la subzona de base en forma de banda, así como las zonas de transistor lateral, preferiblemente una pauta de concentración de impureza en la cual la concentración de impureza disminuye justamente en el sentido opuesto y desde la superficie semiconductor o la primera cara de la capa de superficie hacia la unión pn formada en el cuerpo semiconductor, al menos principalmente y en particular en la parte contigua a la superficie.

En el presente ejemplo también, los elementos de circuito están dispuestos en una capa 95 de su superficie de resistividad relativamente alta, comprendiendo la zona 92 de emisor común una parte 101 de re

sistividad relativamente baja, por ejemplo, en la forma de una capa enterrada, adicionalmente a una parte de la capa 95 de superficie. En este caso el substrato 102 es del tipo de conductividad opuesta, o sea es un material de tipo p.

En el ejemplo representado en las figuras 8 y 9, se utiliza además una zona de separación o región 100 de aislamiento de material aislante en vez de una región semiconductor de separación de baja resistividad. Esto proporciona una mejor separación eléctrica y adicionalmente la superficie de la unión emisor base se reduce eliminando las partes que se extienden transversalmente a la superficie semiconductor. Ambas mejoras tienen una influencia favorable sobre el factor β de amplificación de corriente, y se aumenta adicionalmente la velocidad de conmutación porque la capacidad emisor base se reduce por la mejora últimamente mencionada. Cuando se utiliza una región de separación consistente en material aislante, puede conseguirse una reducción adicional de las dimensiones geométricas, como se describe en el ejemplo siguiente. El circuito integrado se hace considerablemente más compacto, de modo que es necesario mucho menos espacio en la superficie del cuerpo semiconductor. En particular, la utilización de transistores complementarios situados en la dirección

lateral sobre las líneas de señal y la utilización de circuitos puerta en forma de peine, permiten una estructura compacta en la cual la superficie de las uniones pn es relativamente pequeña, de modo que las capacidades de las zonas de empobrecimiento de portadores y las capacidades de almacenamiento de carga son pequeñas y el factor β de amplificación de corriente es relativamente grande, mientras que, por otra parte, se evitan a pesar de todo las resistencias en serie que podrían influir perjudicialmente sobre la distribución de corriente.

Este ejemplo siguiente, al igual que el precedente, está basado en la topología representada en la figura 5. Esta realización adicional de un circuito integrado de acuerdo con el invento se describirá con referencia a las figuras 10, 11 y 12, en las cuales la vista en planta más detallada de la figura 10 corresponde a las partes de contador de seis en código BCD rodeado en la figura 5 por una línea 110 de puntos y rayas. Las partes interesadas son los circuitos 74, 84, 85 y 83. La estructura de los circuitos puerta tiene también en este caso la forma de un rastrillo o peine, quedando enfrentados siempre entre sí los dientes de cada dos peines en este caso y en relación interdigitada. Los dientes que comprenden los colectores de los transis-

tores inversores están situados inmediatamente por debajo de la pista pertinente de las pistas 86 conductoras a las cuales están conectados y que se extienden transversalmente a las filas.

5 El circuito integrado tiene un cuerpo 111 semiconductor que tiene un substrato 112 de tipo p, por ejemplo de silicio, que tiene una resistividad de aproximadamente 5 ohmios.cm., y una capa 113 de superficie que consiste, por ejemplo, en una capa epitáctica de
10 tipo n, de silicio que tiene una resistividad de aproximadamente 0,5 ohmios.cm y un espesor de, por ejemplo, 1 a 1,5 μ m. Una parte considerable de la capa epitáctica está convertida en material aislante de modo conocido por oxidación local. El material aislante incrustado
15 en la capa 113 de superficie, al menos en parte de su espesor, forma un trazado 114 que sirve como la ya mencionada región de aislamiento o región de separación.

Los circuitos puerta tienen zonas 116 de base de tipo p en forma de peine, comprendiendo los dientes de la configuración de peine zonas 117 de colector de tipo n. Junto al grupo de conductores 86 de señal y cerca de los extremos de las bases en forma de banda de la configuración de peine o rastrillo existe una región
20 118 de tipo n que sirve como zona de base para los transistores complementarios pnp de estructura lateral. En
25

esta región 118 se encuentra una zona 87 de emisor de tipo p entre cada dos circuitos puerta cuyos dientes de las zonas 116 en forma de peine están enfrentados entre sí. Las zonas 87 de emisor están conectadas a una pista 88 conductora que se extiende paralelamente a las pistas 86 de señal. Los colectores de los transistores laterales pnp están formados por partes sustancialmente paralelas de las zonas 116 de base en forma de peine del circuito puerta y que se extienden a lo largo de las zonas 87 de emisor. En este ejemplo los circuitos puerta en forma de rastrillo comprenden siempre dientes solamente en uno de los costados largos del nervio. Las zonas 116 de base de los circuitos puerta 84 y 85 se extienden hasta más allá de la pista conductora 88, estando representado en el lado izquierdo de la figura 10 que pueden estar dispuestas allí con conexiones eléctricas que pueden ser utilizadas como entradas de señal. En la figura 10 todos los colectores 117 de los transistores npn están situados en el lado de la derecha de la pista conductora 88 y las señales de entrada y salida pueden derivarse y ser suministradas, respectivamente, en el lado superior de la figura. Sin embargo, extendiendo una o más zonas de base pertinentes, en este caso, hasta el lado izquierdo de la pista 88 conductora y proyectándolas allí de una zona de colector, pueden también

derivarse señales de salida en el lado de la izquierda. La configuración que se utilizará dependerá frecuentemente de la parte restante del circuito integrado y en especial de la posición en donde se hacen disponibles a las señales de entrada y la situación o situaciones en que son necesarias las señales de salida. Es obvio que la pista 88 conductora y los transistores laterales pnp no necesitan encontrarse siempre en el extremo de los circuitos puerta alargados. Los transistores pnp están siempre situados de modo que se encuentran junto a un grupo de pistas 86 de señal sustancialmente paralelas o entre dos de dichos grupos y están conectados al menos a una fila de transistores inversores conectados a dichas pistas de señal, cuya fila se extiende sustancialmente en sentido transversal a dichas pistas de señal. Los transistores inversores de los circuitos puerta pueden también estar dispuestos a uno y otro lado de la pista 88 conductora y de los transistores laterales pnp. En ambos casos, sin embargo, la corriente suministrada a las zonas de base de los transistores inversores por intermedio de los transistores de estructura lateral, después de haber sido recogida por la zona de colector de tipo p del transistor lateral, fluye en una dirección transversal a las pistas 86 de señal hasta el lugar donde se necesita pa

ra el funcionamiento de los transistores inversores.

Las zonas 117 de colector y los dientes de las zonas 116 de base están rodeadas por tres costados por el trazado aislante o región 114 de separación. Como resultado de esta configuración, la superficie de la unión emisor base de los transistores inversores de estructura vertical inversa y en particular también la superficie de la unión base colector de dichos transistores es relativamente pequeña. Las capacidades de empobrecimiento y de almacenamiento de carga asociadas con dichas uniones pn son por tanto también relativamente pequeñas, de modo que la velocidad de conmutación es relativamente grande.

Como ya se ha indicado, está depositada una capa epitáctica de tipo n sobre el substrato 111 de tipo p. Antes de disponer dicha capa de tipo n se dispone el substrato con una impurificación de tipo n para formar una capa 115 enterrada de tipo n que consiste en una o más partes. Esta capa enterrada tiene, por ejemplo, una resistencia laminar de aproximadamente 25 ohmios. Pueden utilizarse arsénico o antimonio como elementos impurificadores. En los lugares donde han de disponerse los transistores inversores npn, se dispone también una impurificación de tipo p en el substrato, estando escogidas la cantidad y el coeficiente de difusión

del pertinente elemento de impurificación de modo que después de obtener por crecimiento la capa epitáctica y haber efectuado los tratamientos adicionales a temperatura elevada, necesarios para la fabricación del circuito integrado, la impurificación de tipo p dispuesta localmente en el sustrato se ha difundido hacia la superficie y dentro de la capa epitáctica en una distancia tal que las partes de la capa epitáctica original de tipo n presentes por encima de dichas regiones localmente impurificadas se convierten en zonas de tipo p sustancialmente en su totalidad, es decir, al menos hasta el lugar donde se encuentra la unión colector base del transistor inversor o se encontrará en definitiva y preferiblemente en su totalidad hasta la superficie de la capa 113 de superficie. Para este fin, por ejemplo, puede utilizarse boro como impureza de tipo p. La resistencia laminar de dichas zonas de tipo p obtenidas por impurificación en exceso es, por ejemplo, de aproximadamente 5 Kiloohmios. De este modo, se obtienen partes 119 de tipo p que pertenecen a las zonas 116 de base y que tienen una distribución de impureza en la cual la concentración de impureza de tipo p disminuye desde la unión pn formada con la capa 115 enterrada en dirección a la superficie de la capa de superficie y la unión base colector, al menos después de una cierta

distancia (corta). Tales partes 119 que tienen una curva de distribución de impureza invertida pueden también obtenerse por medio de implantación iónica.

5 Los colectores 117 de tipo n están dispuestos en las partes 119 de la zona 116 de base. En la parte restante de la región 119 de tipo p no cubierta por los colectores 117 se dispone desde la superficie una concentración de impureza más alta. Esta región de mayor concentración de impureza o parte 120 preferiblemente no
10 toca a las zonas 117 de colector, mientras que el pertinente tratamiento de impurificación se lleva a cabo, además preferiblemente de modo que cerca de la unión pn formada con la capa enterrada la concentración de impureza de tipo p ya presente en dicho lugar después de la formación de la región 119 no aumenta o aumenta solamente en
15 pequeño grado. Las zonas 87 de emisor y las zonas de colector de los transistores laterales pnp pueden formarse simultáneamente con las partes 120 de tipo p más altamente impurificadas.

20 Si es necesario, puede utilizarse una barrera 121 de detención de canal de tipo p en la zona 116 de base a lo largo de los bordes del trazado 114 aislante. Tal zona 121 con impureza de tipo p puede obtenerse de modo conocido por medio de una máscara adicional y, por
25 ejemplo, mediante un tratamiento de impurificación pre-

cedente a la oxidación local para la formación del trazado 114. Por ejemplo, se difunde boro que tiene una resistencia laminar comprendida entre 100 y 150 ohmios. La máscara adicional no es necesaria cuando la barrera de detención de canal es utilizada también en la parte 118 de la capa de superficie en la cual están presentes los transistores pnp de estructura lateral. Cuando las dos zonas de tipo p de los transistores pnp están en posición contigua al trazado 114, estarán conectados entre sí por la barrera de detención de canal de tipo p. Tal cortocircuito puede eliminarse con una difusión local, profunda, de tipo n a lo largo del borde del trazado 114 entre el emisor y el colector del transistor pnp. El transistor pnp puede también estar construido en estas circunstancias con un emisor o colector anular. En ese caso, la difusión profunda del tipo n para evitar cortocircuitos emisor colector puede omitirse. Sin embargo, será necesaria relativamente mucha área en la superficie para los transistores pnp anulares. Cuando la capa 115 enterrada de tipo n consiste en dos o más partes 122 y 123 que están separadas entre sí, la barrera 121 de detención de canal puede también extenderse por debajo del trazado aislante en una distancia tal que se impide también la formación de canal no deseada entre las capas 122 y 123 enterradas.

Una de las ventajas de la utilización de una región 119 que tiene una distribución de impureza invertida es que no es usualmente necesaria ninguna barrera 121 de detención de canal para evitar un cortocircuito emisor colector en la zona 116 de base. En este caso, si se utiliza una capa 115 enterrada continua y uniforme puede ahorrarse una operación. Cuando la capa 115 enterrada consiste en varias partes 122 y 123, puede disponerse una barrera de detención de canal entre dichas partes proveyendo a la capa de superficie completa del sustrato de una concentración de impureza más alta antes de disponer la capa epitáctica. Otra posibilidad es aumentar localmente la concentración de superficie en el sustrato entre las partes de la capa enterrada con la ayuda de una imagen negativa del trazado de la capa enterrada.

En la parte 119 activa de la zona 116 de base de estructura inversa que se encuentra entre la unión emisor base y la unión colector base, en cuya parte se produce principalmente el efecto de transistor durante el funcionamiento, está presente en consecuencia una distribución de impureza que proporciona un campo eléctrico de deriva coadyuvante para los portadores de carga minoritarios inyectados por el emisor y que cruzan la zona de base. Otra ventaja importante de dicha dis-

tribución de concentración de impureza, sin embargo, se refiere al almacenamiento de carga en el transistor. En el estado de conducción el transistor inversor está en saturación, estando polarizadas en sentido directo tanto la unión emisor base como la unión colector base. El almacenamiento de portadores de carga minoritarios tiene lugar en ambas uniones y sobre todo principalmente en la zona de base, porque la zona de emisor y la zona de colector tienen ambas una concentración de impureza más alta que la zona de base. Una de las ventajas de la utilización de una zona de base que está en posición contigua con la capa enterrada de tipo n y en la cual la capa de superficie está así prácticamente convertida en su totalidad en material de tipo p por impurificación en exceso, es que el almacenamiento de carga se concentra sustancialmente en su totalidad en la zona de base. En el estado de conducción la caída de tensión directa a través de la unión emisor base será siempre mayor que la que se produce a través de la unión colector base, mientras que adicionalmente la superficie de la unión emisor base es en la mayoría de los casos mayor que la de la unión colector base. Como resultado de esto, la unión emisor base es más importante que la unión colector base en lo que respecta al almacenamiento de carga. Puesto que la capacidad de alma

cenamiento de carga disminuye cuando aumenta la concentración de impureza, una distribución de concentración de impureza que sea más alta en el lado emisor que en el lado colector proporcionará para un nivel de corriente determinado menos almacenamiento de carga que una distribución de impurificación donde la concentración sea baja en el lado de emisor y alta en el lado de colector, suponiendo que son iguales las cantidades de impurezas en la parte activa de la zona de base en ambos casos. Este almacenamiento de carga reducido es favorable para una velocidad de conmutación más alta en los transistores inversores. En este caso se ha supuesto que la cantidad de elemento impurificador en la parte activa de la zona de base no está escogida de modo que sea mayor de lo que es usual para transistores de estructura planar. Esta cantidad restringida de impurificación con la ley de distribución descrita dará lugar a una concentración en la unión emisor-base, con lo cual se obtiene un compromiso razonable entre el valor de la capacidad de almacenamiento de carga, que es más pequeña según que la concentración sea más alta y el valor de la capacidad de empobrecimiento, que es más pequeña según que la concentración sea más baja.

En la parte restante, o sea en la parte no activa de la zona de base, está dispuesta una región 120

de tipo p altamente impurificada, en la cual la inte
gral de volumen de la concentración de impureza, toma
da por unidad de superficie, es considerablemente mayor
que en la parte activa de la zona de base. Para mayor
5 claridad, se establece que la mencionada unidad de su
perficie se supone ser paralela a una de las caras del
cuerpo semiconductor. Además de para fines de estable
cimiento de contacto, dicha región sirve también para
aumentar el factor β de amplificación de corriente.
10 Cuanto más grande sea la cantidad de agente impurifica
dor en dicha parte 120 de la zona de base menor canti
dad de portadores de carga será inyectada a través de
la parte adyacente de la unión emisor base. En esta
parte no activa de la zona de base se ha de preferir
15 una pauta de distribución de impureza que presente con
centración más baja en la unión emisor base porque en
ese caso el cociente de la integral de volumen de la
concentración de impureza y el volumen para la región
más altamente impurificada puede escogerse de modo que
20 sea considerablemente mayor que para la parte activa
de la zona de base sin que sea necesario que la concen
tración en la unión base emisor en dichas partes sea
diferente. De este modo, en la parte no activa de la
zona de base puede también llegarse al mismo compromi
25 so entre los valores de la capacidad de empobrecimien-

to y la capacidad de almacenamiento que en la parte activa.

La velocidad de conmutación del circuito I^2L puede mejorarse adicionalmente sustituyendo las partes 5 116 en forma de banda de la zona de base que están ocupadas sustancialmente en su totalidad por la región 120 más altamente impurificada por pistas conductoras en el mayor grado posible. Como resultado de esto, la resistencia en serie de entrada de los circuitos puerta se 10 rá reducida usualmente y además la capacidad emisor-base de los transistores inversores será también reducida considerablemente y se aumentará el factor β de amplificación de corriente de dichos transistores. En una vista en planta, esta variación parece ser sustancial- 15 mente la misma que la precedente. En la figura 10, están designadas por cuadrados y rectángulos representados en líneas discontinuas, ventanas de contacto en la capa o capas 125, 126 aislantes que se encuentran sobre la superficie semiconductor. En la primera realización ya descrita, o sea en la realización en la cual 20 los "nervios" de las puertas en forma de rastrillo están contruidos como zonas de tipo p en forma de banda, están presentes las aberturas de contacto designadas por una X. En la variante de mayor velocidad de conmutación, el circuito puerta en forma de rastrillo consis 25

te en varias zonas de base, en este caso rectangulares, cada una de las cuales tiene un colector 117, estando conectadas las partes o subzonas de dichas zonas de base que comprenden las regiones 120 más altamente impurificadas a una pista 128 conductora en forma de banda (figura 13) que se extiende en la dirección de las fibras y que forma el nervio base del rastrillo. Estas zonas de base están separadas entre sí y están dispuestas como los dientes del rastrillo transversalmente al nervio, estando situados los colectores (preferiblemente no más de uno en cada zona de base) junto a la pista 128 conductora. Las zonas de base se extienden en el cuerpo semiconductor hasta debajo de la pista 128 conductora, y por intermedio de aberturas en la capa 125 aislante que se encuentran por debajo de la pista 128 y por intermedio de la pista 128, están conectadas entre sí y a la zona de colector del transistor complementario asociado. En esta realización están también presentes las aberturas de contacto de la figura 10 no indicadas con una X. La figura 13 es una vista en corte transversal de esta realización de mayor velocidad de conmutación correspondiente a la figura 12. Cada uno de los circuitos puerta tiene una pista 128 conductora que conecta un colector 124 de un transistor lateral a una o más zonas pequeñas de base de inversor ro-

deadas por el trazado 114 aislante. La pista 128 conductora está aislada de las pistas 86 de señal y la pista 88 conductora por una capa 126 aislante.

5 Será obvio que la posibilidad de hacer que
la capa 115 enterrada se componga de varias partes que
estén separadas entre sí y que estén aisladas eléctricamente entre sí es de importancia, entre otras cosas, para la integración en el mismo cuerpo semiconductor de otras partes del circuito. Tales otras partes pueden estar construidas según la técnica I^2L pero no es necesario. Por ejemplo, pueden ser circuitos de entrada y/o salida con los cuales se obtiene una adaptación del nivel de señal. Por ejemplo, puede utilizarse un
10 circuito de entrada que pueda ser excitado con señales procedentes, por ejemplo, de circuitos TTL, en los cuales el nivel de señal y el valor de señal son convertidos en valores que son adecuados para circuitos puerta I^2L y puede ser utilizado un circuito en la salida o salidas que transformen nuevamente las señales a valores que sean adecuados para excitar circuitos TTL. Tales y otros circuitos, que están o no están construidos según la técnica I^2L , pueden disponerse simplemente en partes aisladas independientes de la capa epitáctica en el mismo cuerpo semiconductor de un modo usual. Al
15 gunas veces, pueden utilizarse los mismos transistores
20
25

de estructura inversa ventajosamente en la parte que no está construida con técnica I^2L . En el ejemplo últimamente descrito los transistores inversores rodeados en su totalidad por material aislante son transistores de alta velocidad debido a sus dimensiones extremadamente pequeñas y a su ley de distribución de concentración de impureza adaptada, a pesar del hecho de que funcionan en estado de saturación. Con dichos transistores de estructura inversa, por ejemplo, pueden realizarse circuitos TTL en el mismo cuerpo semiconductor, los cuales, sin diodos adicionales, son comparables en velocidad a los circuitos TTL de alta velocidad a los que se hace referencia frecuentemente como circuitos "Schottky TTL".

Sin embargo, para el propio circuito I^2L esta posibilidad es también ventajosa. Hasta ahora, se han descrito varias medidas y posibilidades para mejorar principalmente los transistores inversores. En el primer caso ciertamente los transistores inversores son decisivos en cuanto a la velocidad de conmutación especialmente. Sin embargo, el transistor lateral influye también en la velocidad de conmutación. Durante el funcionamiento dicho transistor está también en estado de saturación siguiendo la tensión de colector a la señal de entrada lógica del pertinente circuito puerta. Como

5 resultado de esto, la tensión colector base del transis-
tor lateral varía regularmente, en cuyo transistor la
cantidad de carga almacenada que está presente princi-
palmente en la base resulta siempre también modifica-
da. En la totalidad de tales realizaciones dicho alma-
cenamiento de carga en el transistor lateral influye
también sobre la velocidad de conmutación. Según que
los transistores inversores estén mejorados en lo con-
cerniente a la velocidad de conmutación, aumenta rela-
tivamente la influencia del transistor lateral.

10 De acuerdo con el invento, el almacenamiento
de carga en el transistor lateral puede hacerse dismi-
nuir por medio de una diferencia de potencial aplicada
entre la base del transistor o transistores laterales
15 y el emisor común de los transistores inversores. Con
una diferencia de potencial adecuada puede evitarse que
el transistor lateral entre en un estado de saturación
profunda cuando el transistor inversor conectado al co-
lector está en el estado de conducción. En la figura 14
20 está representada esquemáticamente una posible realiza-
ción. Están representados dos circuitos puerta 131 y
132 I²L por transistores inversores 133 y 134 de colec-
tores múltiples, respectivamente, cuyas bases están co-
nectadas a un colector de los transistores 135 y 136
25 complementarios, respectivamente, para la alimentación

de corriente de polarización. Está dispuesta una resistencia 137 entre la base del transistor complementario 135 y los emisores interconectados de los transistores inversores. La resistencia 137 está preferiblemente dimensionada de modo que no se origine a través de la resistencia 137 para el nivel de corriente deseado para el circuito I²L una diferencia de potencial de al menos 30 mV, y mejor aún superior a 60 mV. Además esa diferencia de potencial preferiblemente no es mayor de 500 mV y en muchos casos no mayor de aproximadamente 300 mV porque con ello se alcanza el efecto favorable en mira en la mayor parte y un aumento adicional de la diferencia de potencial proporciona usualmente una mejora demasiado pequeña para justificar la disipación que igualmente se hace más grande. Un valor muy práctico para la diferencia de potencial es, por ejemplo, 200 a 300 mV. Cuando la corriente a suministrar al circuito puerta 133 es, por ejemplo, de aproximadamente 1 mA y el factor β de amplificación de corriente del transistor lateral pnp 135 es, por ejemplo, de aproximadamente 10, entonces la corriente de base del transistor 135 es aproximadamente de 100 μ A. Un valor adecuado para la resistencia 137 es, pues, aproximadamente 2,5 kilohmios. En particular debido a que el transistor 135 será usualmente un transistor lateral cuyo

factor de amplificación de corriente depende generalmen
te de las condiciones de fabricación de un modo insig-
nificante, se obtendrá usualmente un ajuste más exacto
si está conectado un diodo en paralelo con la unión emi-
5 sor base del transistor pnp 135. Esto puede conseguirse
simplemente construyendo los transistores 135 pnp como
transistorés de colectores múltiples, estando uno de
los colectores puesto en cortocircuito con la base del
transistor, como se indica por la línea 138 disconti-
10 nua. El cociente entre la corriente que fluye a través
de la resistencia 137 y la corriente suministrada al
transistor 133 inversor está ahora fijado en un grado
considerable por el cociente del área de superficie co-
lectora del colector puesto en cortocircuito con la ba-
15 se que está enfrentada a los emisores comunes y el área
de superficie colectora del colector conectado al tran-
sistor inversor. Cuando dicha relación geométrica es,
por ejemplo, de 1 a 2, fluye aproximadamente una co-
rriente de 500 μ A a través de la resistencia 137 para
20 la corriente de colector deseada de 1 mA. El valor de
resistencia se escoge ahora de modo que sea aproxima-
mente de 500 ohmios. Esto es válido en especial cuando
el factor β es alto. Para un factor β de valor más ba-
jo deberá tenerse también en cuenta la corriente de ba-
25 se del transistor lateral que fluye también realmente a

través de la resistencia.

5 Está representada una conexión 139 entre los
emisores de los transistores 135 y 136 complementarios.
También está presente una conexión 140 entre las bases
de dichos transistores 135 y 136. Los transistores 135
y 136 pueden construirse por tanto colectivamente como
un transistor de colectores múltiples, siendo la resis-
tencia 137 común a ambos transistores 135 y 136. Este
ajuste común del potencial de base de los transistores
10 135 y 136 funcionará fácilmente, en particular cuando
las resistencias en serie en las conexiones 139 y 140
son pequeñas. Asimismo, debido a que la disposición
de corriente a través del circuito I^2L es sensible a
la resistencia en serie en la conexión 139, se reco-
15 mienda combinar el ajuste del potencial de base de los
transistores complementarios solamente para circuitos
puerta situados en proximidad entre sí y ajustar inde-
pendientemente los grupos así formados de circuitos
puerta dispuestos muy próximos. Esto tiene la ventaja
20 adicional de que una pérdida de tensión en la línea de
alimentación que ocurra entre dos grupos es compensada
en un grado considerable por la tensión que aparece a
través de la resistencia 137 de ajuste, de modo que la
distribución de corriente en conjunto se mantiene más
25 uniforme.

Es de observar que en vez de la resistencia 137 puede utilizarse cualquier otro elemento de impedancia adecuado, esquemáticamente representado por el bloque 165 (figura 14) en la conexión eléctrica entre el emisor o emisores de los transistores inversores y la zona o zonas de base de los transistores complementarios asociados, con lo cual puede obtenerse el potencial deseado. Por ejemplo, en combinación con la resistencia 137 ó sustituyendo a la resistencia 137, el bloque 165 puede comprender un diodo Schottky que se utiliza también fácilmente para este fin. La figura 14A representa el bloque 165 que comprende un diodo 166 Schottky. Puede también aplicarse una tensión exteriormente a las bases de los transistores complementarios a través de una conexión adicional que está representada esquemáticamente en la figura 11 y tiene como cifra de referencia 161.

Las figuras 15 a 18 representan el modo en que puede realizarse el ajuste del potencial de base de los transistores complementarios laterales, por ejemplo, en una realización derivada de la realización representada en las figuras 10 y 13. Las partes correspondientes están designadas por las mismas cifras de referencia. Las figuras 15 a 18 representan solamente la parte del circuito integrado que corresponde a la

parte representada en el lado de la izquierda en la figura 10. Esta parte comprende los transistores laterales pnp. La parte de la derecha que comprende los transistores inversores de los circuitos puerta es sustancialmente idéntica para ambas realizaciones.

5

El cuerpo 151 semiconductor comprende un substrato 112 de tipo p y una capa 113 de superficie de tipo n que está subdividida por medio de un trazado 114 de material aislante. Los circuitos puerta están dispuestos en la capa 113 de superficie del modo descrito con referencia a la figura 13, estando conectadas las zonas de base de tipo p de los transistores inversores de cada circuito puerta, cuyos transistores tienen sus uniones emisor base conectadas en paralelo, entre sí y a un colector 124 de un transistor lateral pnp por una pista 128 conductura.

10

15

La capa 115 enterrada de tipo n consiste en diversas partes, a saber una parte 123 que es común a una parte de los transistores inversores y cierto número de partes 122, cada una de las cuales es común a un grupo de transistores pnp cuyo potencial de base está ajustado en común. Las partes 122 y 123 están separadas entre sí por barreras 121 de detención de canal.

20

25

La zona 87a de emisor de tipo p conectada a

la línea 88 de alimentación está situada en posición opuesta a dos zonas 124 de colector de tipo p, cada una de las cuales está conectada a las zonas de base de los transistores inversores npn de uno de los circuitos puerta y adicionalmente en oposición a una tercera zona 152 de colector. El borde de la tercera zona 152 de colector que mira hacia la zona 87a de emisor tiene, por ejemplo, aproximadamente la misma longitud que las zonas 124 de colector, de modo que esta tercera zona 152 de colector durante el funcionamiento conducirá una corriente que es aproximadamente la mitad de la corriente que fluye a través de cada una de las zonas 124 de colector. Pueden conseguirse simplemente otras relaciones de corriente de un modo correspondiente.

Junto a la tercera zona 152 de colector hay una región 153 de tipo n que está más altamente impurificada que la parte 118 de tipo n contigua perteneciente a la capa 113 de superficie. La región 153 puede disponerse, por ejemplo, simultáneamente con las zonas de colector de los transistores inversores. La unión pn entre las zonas 152 y 153 y, por tanto, la unión pn entre la tercera zona 152 de colector y la zona 118, 122 de base está en cortocircuito en la superficie con una capa 155 conductora que está conectada a la superfi

de semiconductor a través de una abertura 154 en la capa aislante 125.

5 En posición contigua a la tercer zona 152 de colector está dispuesta una zona 156 de resistencia de tipo p. La zona 156 de resistencia es contigua a la misma región 118 de tipo n a la cual también son contiguas la zona 87a de emisor y las zonas 124 y 152 de colector. Estas zonas se encuentran además situadas por encima de la misma parte 122 continua de la capa enterrada. La figura 16 representa esquemáticamente el límite lateral de dicha parte 122 de la capa enterrada. Dependiendo del hecho de que el ajuste del potencial de base a obtener con la resistencia 156 debe servir solamente para los dos transistores pnp representados en la figura 15 como los situados en posición más alta o simultáneamente también para los dos transistores pnp en posición más baja, dichos dos transistores pnp en posición inferior están provistos análogamente de un diodo y una resistencia, será suficiente respectivamente una extensión de la parte 122 de la capa enterrada como se indica por la línea 157 discontinua en la figura 16. En el último caso, todos los transistores laterales pnp representados en la figura 15 tienen una zona 118, 122, 157 de base común. Dichos transistores pnp constituyen en conjunto un grupo que tiene un ajuste común para el potencial de base.

10

15

20

25

En la parte del circuito integrado presente en el lado de la derecha de los transistores pnp en la figura 15 están situados los transistores inversores de los circuitos puerta. La zona de emisor común de dichos transistores inversores está formada por la parte 123 de capa enterrada de tipo n. La parte de la capa 113 de superficie que se encuentra sobre dicha parte 123 comprende zonas 116 de base de tipo p (véase la figura 11) consistentes en una parte 119 que está presente entre el emisor 123 y el colector 117 y tiene una pauta de distribución de impureza en la cual la concentración de impureza disminuye en la dirección que va desde el emisor inversor hacia el colector, y una parte 120 más altamente impurificada que tiene preferiblemente una pauta de distribución de concentración de impureza tal que la concentración disminuye al menos principalmente en el sentido opuesto. En cuanto a lo restante, dicha parte de la capa 112 de superficie está ocupada sustancialmente en su totalidad por el trazado 114 aislante.

A diferencia del ejemplo representado en las figuras 10 y 13, está presente una región 158 de tipo n en forma de banda en la presente realización entre los circuitos puerta 84 y 85 que se extienden en la dirección de las filas de los transistores inversores y por

tanto transversalmente a las pistas 86 de señal. Dicha región 158 de tipo n consiste parcialmente en el material original de tipo n de la capa 113 de superficie, disponiéndose en la superficie semiconductoras simultáneamente con la disposición de las zonas 117 de colector una zona 158a de superficie de tipo n más altamente impurificada, en la cual la concentración de impureza es por tanto mayor que la concentración de impureza original de la capa de superficie. Puede también utilizarse una zona 158a de difusión profunda más altamente impurificada que se extiende hasta la capa 123 enterrada. La región 158 en forma de banda pertenece a la zona de emisor común de los transistores inversores y sirve, entre otras cosas, para reducir la resistencia en serie en dicho emisor y para evitar la aparición, o al menos para reducir, diferencias de potencial no deseadas en la zona de emisor común. Las filas de los transistores inversores están distribuidas preferiblemente entre un cierto número de grupos, cada uno de los cuales comprende al menos dos filas, extendiéndose una región 158 de superficie en forma de banda entre grupos adyacentes de filas y que está separada de las filas contiguas de transistores inversores por el trazado 114 de material aislante.

A través de ventanas 159 en la capa 125 aislante y una capa 160 conductora, el extremo de la zona 156

de resistencia alejado de la tercera zona 152 de colector está conectado a la zona 158a de superficie y por tanto a la región 158 de tipo n y al emisor común de tipo n de los transistores inversores. De acuerdo con
5 ello, la resistencia 156 está conectada según el esquema de circuito representado en la figura 14.

Si se desea, la capa 160 conductora puede continuar en la dirección de las filas a través y en contacto con la región 158 en forma de banda completa, de modo que puede obtenerse una contribución adicional a la
10 reducción de la resistencia en el emisor común y una mejor igualdad de la resistencia en serie de emisor de los diversos transistores inversores. La pista 160 conductora está separada de la línea 88 de alimentación
15 por la capa 126 aislante.

La zona 156 de resistencia y la tercera zona 152 de colector pueden obtenerse, por ejemplo, simultáneamente con las partes 120 altamente impurificadas de las bases de los transistores inversores. En la elección
20 del valor óhmico de la resistencia 156, en particular cuando el factor β de amplificación de corriente de los transistores pnp no es demasiado grande, habrá de tenerse en cuenta el hecho de que no solamente la corriente recogida por la tercera zona 152 de colector, sino también
25 la corriente total de base del grupo de transisto

res pnp con potencial de base ajustado en común, fluye a través de la resistencia.

5 El emisor o emisores comunes de los transistores inversores pueden estar dispuestos en uno de los lados del modo usual con una o más conexiones eléctricas que están indicadas esquemáticamente en las figuras 11 y 18 por la cifra 162. En la realización representada en la figura 15 a 18 está preferiblemente presente una conexión conductora que se extiende transversalmente a la dirección de las filas y conecta entre sí las regiones 158 de superficie de tipo n en forma de banda en la dirección de las filas y a la conexión eléctrica 162. Dichas conexiones conductoras están situadas preferiblemente cerca de los extremos de los circuitos puerta, de modo que se obtiene un trazado interdigitado que está formado por una parte por la pista 88 conductora y los nervios base de los circuitos puerta y por otra parte por las regiones 158 de superficie y su conexión conductora.

10

15

20 Una realización adicional de un circuito integrado de acuerdo con el invento y que comprende varios circuitos lógicos I²L interconectados tendría un esquema básico del cual una parte izquierda corresponde a la figura 15 que representa el circuito de alimentación de corriente para los circuitos puerta 128. En esta realiza

25

ción adicional los circuitos puerta 128 se extienden hacia la derecha hasta donde es necesario para disponer las pistas 86 de señal. A lo largo del lado de la derecha del grupo de pistas 86 de señal se extiende una conexión 167 conductora paralela a las pistas de señal, como se representa en la figura 15A. En este ejemplo la conexión 167 es una pista conductora dispuesta sobre la capa aislante. Conecta las regiones 158 de su superficie entre sí y a la conexión 162 y pertenece así al emisor común de los transistores inversores. Esta conexión conductora puede también estar constituida por una región de superficie de tipo n en forma de banda similar a las regiones 158 ó puede comprender una o más de tales regiones en forma de banda. En el ejemplo representado el trazado interdigitado comprende dos nervios base 128 para cada región 158 de superficie.

El substrato 112 de tipo p está también provisto de una conexión eléctrica 163 representada esquemáticamente (figuras 13 y 18).

El invento no está restringido a las realizaciones descritas. Son posibles muchas variantes para los expertos en la técnica sin apartarse del campo del invento. En los ejemplos, la alimentación de corriente de los circuitos puerta comprende, por ejemplo, un transistor complementario que forma un inyector de corriente

de tres capas. En la mencionada Solicitud de Patente española N^o 403.026 se describen inyectores de corriente diferentes de los inyectores de corriente de tres capas para utilización en circuitos de tecnología I²L.

5 Dichos inyectores de corriente diferentes, que pueden tener más de tres capas, pueden también ser utilizados ventajosamente en el circuito integrado de acuerdo con el invento. Los circuitos de salida descritos en la mencionada Solicitud de patente pueden también combinarse
10 de un modo simple con las realizaciones descritas.

En la presente Solicitud se describen un cierto número de medidas para mejorar los circuitos I²L conocidos, cada una de las cuales proporciona su contribución a ello. De un modo notable las diferencias de potencial entre el emisor común de los transistores inversores y las bases de los transistores complementarios tendrán un efecto favorable sobre la velocidad de conmutación del circuito, también en circuitos de tecnología I²L que tienen otra topología que no está basada
15 en la estructura básica descrita y también sin la utilización de aislamiento dieléctrico. A pesar de todo, la mejora conseguida por el invento es superior a la suma de los efectos individuales de las medidas descritas. Combinados en el mismo circuito integrado,
20 cooperan de modo que resaltan más los méritos de los
25

efectos descritos. Especialmente la combinación da como resultado un circuito I²L ventajoso que tiene una estructura compacta que puede ser fácilmente manipulada al diseñar la topología y que tiene una alta velocidad y un producto bajo de disipación y tiempo de retardo.

Además del silicio, pueden también ser utilizados otros materiales semiconductores, tales como germanio o compuestos del grupo A_{III} B_V. Las capas aislantes consistirán usualmente en dióxido de silicio y/o nitruro de silicio. Las pistas conductoras pueden también consistir en molibdeno, titanio-platino-oro, material semiconductor policristalino u otro material conductor adecuado o combinación de materiales conductores.

Los tipos de conductividad descritos pueden ser invertidos si también se invierte la polaridad de las tensiones aplicadas durante el funcionamiento.

En los ejemplos, cada uno de los circuitos puerta tiene solamente un transistor complementario (el colector de uno de ellos) que está situado usualmente en uno de los extremos del circuito puerta. Sin embargo, el circuito puerta puede también estar construido con dos o más transistores complementarios y, por ejemplo, con dos transistores complementarios situa

dos en uno y otro extremo del circuito puerta.

La presente solicitud, que corresponde a la presentada en Holanda, el 9 de Octubre de 1974, bajo el N^o 7413264, se acoge a los beneficios del Artículo 51 del vigente Estatuto sobre Propiedad Industrial.

- REIVINDICACIONES -

10

Los puntos de invención propia y nueva, que se presentan para que sean objeto de esta solicitud de Patente de Invención en España, por VEINTE años, son los que se recogen en las reivindicaciones siguientes:

15

1^a.- Perfeccionamientos introducidos en un circuito integrado que comprende un cuerpo semiconductor que tiene una capa de superficie de un primer tipo de conductividad, en una de cuyas caras o lados están presentes los elementos de circuito de varios circuitos puerta lógicos, en el cual en dicho lado está presente un trazado de pistas conductoras conectadas a los elementos de circuito, cuyo trazado, con la excepción del área de los contactos con los elementos de circuito, está separado del cuerpo semiconductor por una capa aislante, comprendiendo cada uno de los circuitos puerta uno o

20

25

13.11.75.

más transistores inversores cuyas uniones emisor base están conectadas en paralelo, teniendo al menos una pluralidad de dichos circuitos puerta al menos dos de los mencionados transistores inversores dispuestos en paralelo, estando conectados los emisores de los transistores inversores de los diversos circuitos puerta entre sí y estando formados por una región común del primer tipo de conductividad que, vista desde uno de los lados, se extiende por debajo de cada una de las zonas de base de los transistores inversores, teniendo cada uno de los circuitos puerta una entrada de señal común formada por las bases interconectadas de los transistores inversores del circuito puerta, perteneciendo los colectores de los transistores inversores a las salidas de señal de los circuitos puerta, entradas de señal de los diversos circuitos puerta, para proporcionar alimentación de corriente a los circuitos puerta, estando cada uno conectado individualmente a una zona de superficie del segundo tipo de conductividad que sirve como colector de un transistor complementario de los transistores inversores y que se extiende desde la primera cara o lado en la capa de superficie del primer tipo de conductividad, y en la cual, con el fin de formar funciones lógicas, están conectadas entre sí por medio de pistas conductoras que pertenecen al trazado las salidas

das de señal o colectores de diversos circuitos puerta, están conectados al menos varias salidas de señal a la entrada de señal de un circuito subsiguiente de los circuitos puerta para tratamiento adicional de su señal de salida, de modo que una corriente de alimentación suministrada a la entrada de dicho circuito puerta subsiguiente proporcionará la corriente de base para los transistores inversores de dicho circuito puerta subsiguiente o la corriente de colector para el transistor o transistores inversores del circuito o circuitos puerta precedentes conectados a dicha entrada, dependiendo de la señal de entrada lógica en dicha entrada, caracterizados porque los transistores inversores están distribuidos entre varias filas sustancialmente paralelas, por cuanto por cada fila al menos están dispuestos los colectores de los transistores inversores de un circuito puerta en la dirección de la fila y los colectores situados en diferentes filas están conectados entre sí por medio de pistas conductoras que se extienden a través de las filas y transversalmente a la dirección de las filas, cuyas pistas pertenecen a dicho trazado, constituyendo dichas pistas conductoras un grupo de pistas de señal sustancialmente rectas y sustancialmente paralelas, estando situados los colectores en su fila en el área del cruce de su fila y la pista de señal que se

5 extiende transversalmente a dicha fila a la cual están conectados, estando presentes los transistores complementarios, vistos sobre la primera cara, junto al grupo de pistas de señal sustancialmente paralelas, estando presentes al menos entre filas adyacentes de transistores inversores medios para separar eléctricamente los transistores inversores que pertenecen a diferentes circuitos puerta y que se encuentran en filas adyacentes.

10 2ª.- Perfeccionamientos de acuerdo con la reivindicación 1ª, caracterizados porque los medios para la separación eléctrica de los transistores inversores consisten, al menos en un grado considerable, en una forma de aislamiento dieléctrico que está dispuesto
15 entre las bases de los transistores inversores de circuitos puerta adyacentes.

20 3ª.- Perfeccionamientos de acuerdo con la reivindicación 2ª, caracterizados porque el aislamiento dieléctrico se extiende desde una de las caras del cuerpo semiconductor en el cuerpo semiconductor, al menos hasta una profundidad que es igual a la profundidad de las zonas de base de los transistores inversores, estando el aislamiento dieléctrico en posición contigua a dichas zonas de base.

25 4ª.- Perfeccionamientos de acuerdo con las rei

vindicaciones 1ª, 2ª o 3ª, caracterizados porque los circuitos puerta comprenden medios para reducir la resistencia en serie de entrada.

5 5ª.- Perfeccionamientos de acuerdo con una o más de las reivindicaciones precedentes, caracterizados porque la capa de superficie del primer tipo de conductividad es una capa con menor concentración de impureza o que sobre su lado alejado del mencionado primer lado es contigua a una o más regiones del primer tipo de conductividad que tienen una concentración de impureza más alta, estando dispuestas las zonas de base de los transistores inversores por encima de regiones más altamente impurificadas o sobre una de ellas, cuya región pertenece al emisor común, estando localmente la capa de superficie convertida sustancialmente en todo su espesor en el tipo de conductividad opuesta por impurificación en exceso, de modo que las zonas de base son contiguas a la región más altamente impurificada del primer tipo de conductividad.

10 15 20 25 6ª.- Perfeccionamientos de acuerdo con la reivindicación 5ª, caracterizados porque al menos las partes de las zonas de base de los transistores inversores que se encuentran entre el emisor común y los colectores en posición contigua a la primera cara tienen una pauta de distribución de impureza en la cual la con

concentración de impureza desde el emisor al colector disminuye sustancialmente en dicha distancia total.

5 7ª.- Perfeccionamientos de acuerdo con la reivindicación 6ª, caracterizados porque, además de las partes activas presentes entre el emisor y el colector, las zonas de base tienen partes activas contiguas que se extienden hasta la primera cara y que comprenden una región más altamente impurificada, siendo la integral de volumen de la concentración de impureza por unidad de superficie de la zona de base más pequeña para las partes activas de la zona de base que para las partes inactivas.

10 8ª.- Perfeccionamientos de acuerdo con la reivindicación 7ª, caracterizados porque el cociente de la integral de volumen de la concentración de impureza y el volumen para las partes activas de las zonas de base es más pequeño que para las partes inactivas.

15 9ª.- Perfeccionamientos de acuerdo con la reivindicación 7ª o la 8ª, caracterizados porque en las regiones más altamente impurificadas que pertenecen a las partes inactivas de la zona de base la concentración de impureza, desde la primera cara del cuerpo semiconductor al emisor común, disminuye al menos en la primera parte de dicha distancia.

20 10ª.- Perfeccionamientos de acuerdo con una o

más de las reivindicaciones precedentes, caracterizados porque los circuitos puerta están realizados en la forma de un rastrillo, teniendo los transistores inversores de un circuito puerta presentes en una fila una zona de base común en forma de rastrillo, extendiéndose, el nervio base del rastrillo en la dirección de las filas y comprendiendo los dientes del rastrillo que se extienden transversalmente al nervio de base los colectores de los transistores inversores contiguos a la primera cara del cuerpo semiconductor.

11ª.- Perfeccionamientos de acuerdo con las reivindicaciones 4ª y 10ª, caracterizados porque el nervio de base de la zona de base en forma de rastrillo tiene una concentración de impureza más alta que las partes de la zona de base sobre las cuales están dispuestas los colectores.

12ª.- Perfeccionamientos de acuerdo con la reivindicación 11ª y las reivindicaciones 7ª, 8ª o 9ª, caracterizados porque el nervio de base de las zonas de base en forma de rastrillo está ocupado sustancialmente en su totalidad por las regiones más altamente impurificadas.

13ª.- Perfeccionamientos de acuerdo con una o más de las reivindicaciones 1ª a 9ª, caracterizados porque los circuitos puerta están contruidos en la

forma de un rastrillo, en los cuales está presente una pista conductora en forma de banda separada del cuerpo semiconductor por la capa aislante y que se extiende en la dirección de las filas desde el nervio de base del rastrillo, estando dispuestas zonas de base de los transistores inversores del circuito puerta separadas entre sí en el cuerpo semiconductor como dientes del rastrillo, transversalmente al nervio de base, en el cual sobre cada una de dichas zonas de base está dispuesto un colector junto a la pista conductora en forma de banda y en los cuales las zonas de base se extienden en el cuerpo semiconductor hasta debajo de la pista conductora en forma de banda y están conectadas a dicha pista conductora por intermedio de aberturas en la capa aislante que se encuentran por debajo de dicha pista conductora, conectando dicha pista conductora las zonas de base del circuito puerta entre sí y a la zona de colector asociada del transistor complementario.

14ª.- Perfeccionamientos de acuerdo con las reivindicaciones 4ª y 13ª y 7ª u 8ª, caracterizados porque las partes de las zonas de base independientes, cuyas partes están presentes por debajo de la pista conductora en forma de banda, están ocupadas sustancialmente en su totalidad por las regiones más altamente impurificadas.

15^a.- Perfeccionamientos de acuerdo con las reivindicaciones 10^a, 11^a, 13^a o 14^a, caracterizados porque en los circuitos puerta en forma de rastrillo están presentes dientes solamente en un lado largo del nervio de base.

16^a.- Perfeccionamientos de acuerdo con la reivindicación 15^a, caracterizados porque los circuitos puerta adyacentes están dispuestos de dos en dos, teniendo su lado largo los dientes que están enfrentados entre sí y quedando interdigitados dichos dientes.

17^a.- Perfeccionamientos de acuerdo con la reivindicación 16^a, caracterizados porque los transistores complementarios de cada dos circuitos puerta que están enfrentados entre sí con su lado largo con dientes tienen una zona de emisor común, cuya zona de emisor es una zona de superficie del segundo tipo de conductividad que se encuentra situada entre los nervios de base de dichos dos circuitos puerta y en la cual una parte de la capa de superficie contigua a las zonas de colector y zonas de emisor de los transistores complementarios pertenecen a las zonas de base de los transistores complementarios.

18^a.- Perfeccionamientos de acuerdo con una o más de las reivindicaciones precedentes, caracterizados porque la capa de superficie del primer tipo de conduc-

5 tividad está presente sobre un substrato del segundo
 tipo de conductividad en el cual, en la interzona de
 la capa de superficie y el substrato, están dispuestas
 varias regiones del primer tipo de conductividad que
10 están separadas entre sí y tienen una concentración de
 impureza más alta que la capa de superficie y en la
 cual la capa de superficie está dividida en varias is
 las que están separadas entre sí y cada una de las cua
 les es contigua solamente a una de las regiones más al
15 tamente impurificadas, en las cuales uno o más de las
 mencionadas regiones más altamente impurificadas perte
 necen cada una al emisor común de varios transistores
 inversores y una o más de las mencionadas regiones más
 altamente impurificadas pertenecen cada una a una zona
20 de base que es común a uno o más transistores complemen
 tarios, estando separados los emisores de los transis
 tores inversores de los circuitos puerta en el cuerpo
 semiconductor de la zona o zonas de base de los transis
 tores complementarios asociados.

25 19a.- Perfeccionamientos de acuerdo con la rei
 vindicación 18a, caracterizados porque están presentes
 medios para aplicar una diferencia de potencial entre
 el emisor, o al menos uno de los emisores comunes de
 los transistores inversores, y la zona o zonas de base
25 de los transistores complementarios asociados.

20ª.- Perfeccionamientos de acuerdo con la reivindicación 19ª, caracterizados porque los medios para aplicar una diferencia de potencial consisten en una o más conexiones eléctricas que están dispuestas sobre y/o en el cuerpo semiconductor, entre el partinan te emisor común de los transistores inversores y la per tinente zona de base del transistor o transistores com plementarios, comprendiendo cada una de dichas conexio nes al menos un elemento de impedancia.

21ª.- Perfeccionamientos de acuerdo con la rei vindicación 20ª, caracterizados porque el elemento de impedancia es un diodo Schottky.

22ª.- Perfeccionamientos de acuerdo con la reivindicación 20ª o la 21ª, caracterizados porque la conexión o cada una de las conexiones comprende una re sistencia.

23ª.- Perfeccionamientos de acuerdo con las reivindicaciones 20ª, 21ª o 22ª, caracterizados porque está conectado un diodo en paralelo con la unión emisor base del transistor complementario, por cuanto que el transistor complementario tiene una zona de colector adicional que está en cortocircuito con la zona de base de dicho transistor.

24ª.- Perfeccionamientos de acuerdo con una o más de las reivindicaciones 20ª, 21ª, 22ª y 23ª, ca-

5 racterizados porque los transistores complementarios
están distribuidos entre varios grupos, comprendiendo
cada grupo al menos un transistor complementario, en
el cual los grupos tienen zonas de base independientes
para los transistores del mismo grupo común o al menos
zonas de base conectadas conductivamente y cada una de
las mencionadas zonas de base interconectadas o comunes
tiene una conexión eléctrica con el emisor común de los
transistores inversores asociados para la generación de
10 una diferencia de potencial.

25^a.- Perfeccionamientos de acuerdo con una
o más de las reivindicaciones 20^a a 24^a, caracteriza-
dos porque la conexión o cada una de las conexiones es-
tá destinada a generar una diferencia de potencial de
15 al menos 30 mV y a lo sumo de 500 mV.

26^a.- Perfeccionamientos de acuerdo con la
reivindicación 25^a, caracterizados porque la diferencia
de potencial está comprendida entre aproximadamente 60
mV y aproximadamente 300 mV.

20 27^a.- Perfeccionamientos de acuerdo con la
reivindicación 2^a o de acuerdo con la reivindicación
2^a y una o más de las reivindicaciones 3^a a 26^a, ca-
racterizados porque en uno de los costados de la capa
de superficie del primer tipo de conductividad están
25 presentes una o más conexiones conductoras para el emi-

sor o emisores comunes de los transistores inversores, estando distribuidas las filas de transistores inversores entre un cierto número de grupos, cada uno de los cuales comprende al menos dos filas, en el cual entre grupos adyacentes de filas y en la dirección de las filas se extiende una región de superficie en forma de banda del primer tipo de conductividad que en la superficie está separada de las filas adyacentes de los transistores inversores por el aislamiento dieléctrico.

28^a.- Perfeccionamientos de acuerdo con la reivindicación 27^a, caracterizados porque al menos la parte contigua a la superficie de la región de superficie en forma de banda tiene una concentración de impureza que es mayor que la concentración de impureza original de la capa de superficie.

29^a.- Perfeccionamientos de acuerdo con la reivindicación 28^a, caracterizados porque en el primer lado mencionado la región de superficie en forma de banda está cubierta sustancialmente en su totalidad por una pista conductora y está conectada conductivamente a la misma.

30^a.- Perfeccionamientos de acuerdo con las reivindicaciones 27^a, 28^a o 29^a, caracterizados porque en el primer lado del cuerpo semiconductor está presente una conexión conductora que se extiende transversal-

mente a la dirección de las filas y que interconecta las regiones de superficie en forma de banda que se extienden en la dirección de las filas.

5 31ª.- Perfeccionamientos introducidos en un circuito integrado.

Tal y como se ha descrito en la Memoria que antecede, representado en los dibujos que se acompañan y con los fines que se han especificado.

10 Esta Memoria consta de noventa y ocho hojas escritas a máquina por una sola cara.

Madrid,

P.A.

20 NOV 1975
Alberto de Ezcurra
Por Poder

MJP/-

14.11.75

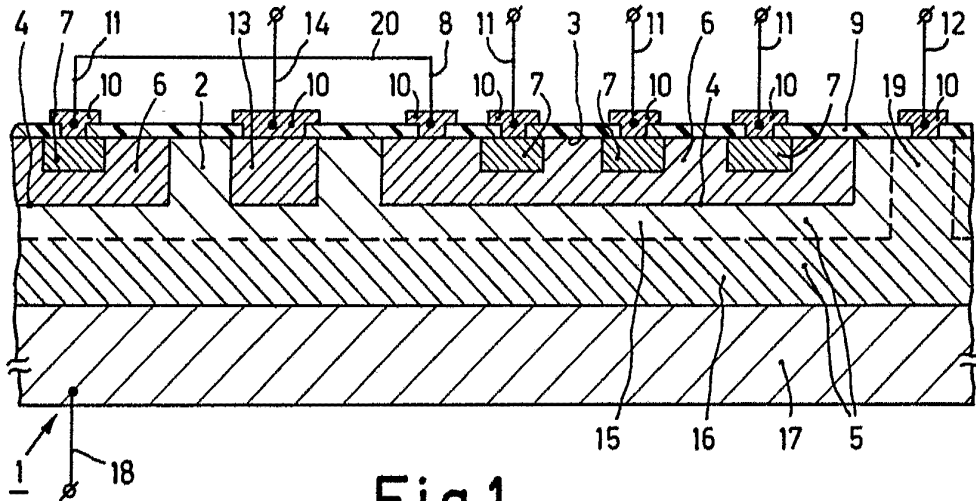


Fig.1

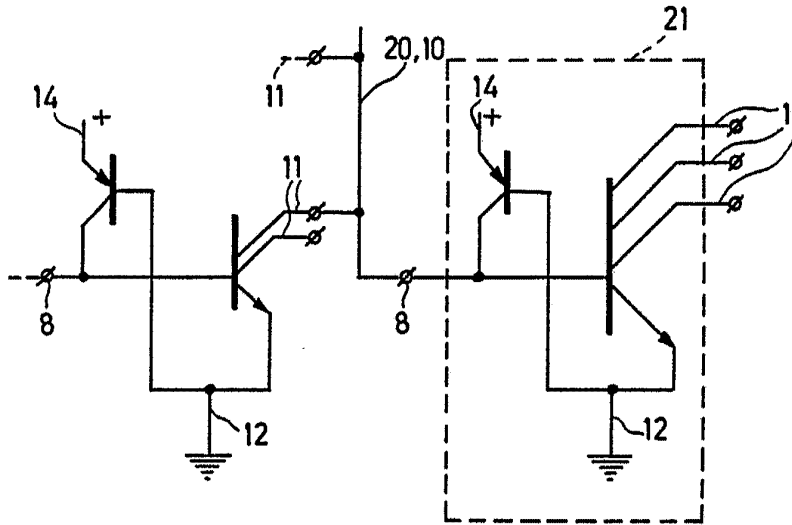


Fig.2

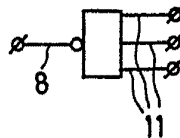


Fig.3

Albert de Klerk
 For Patent

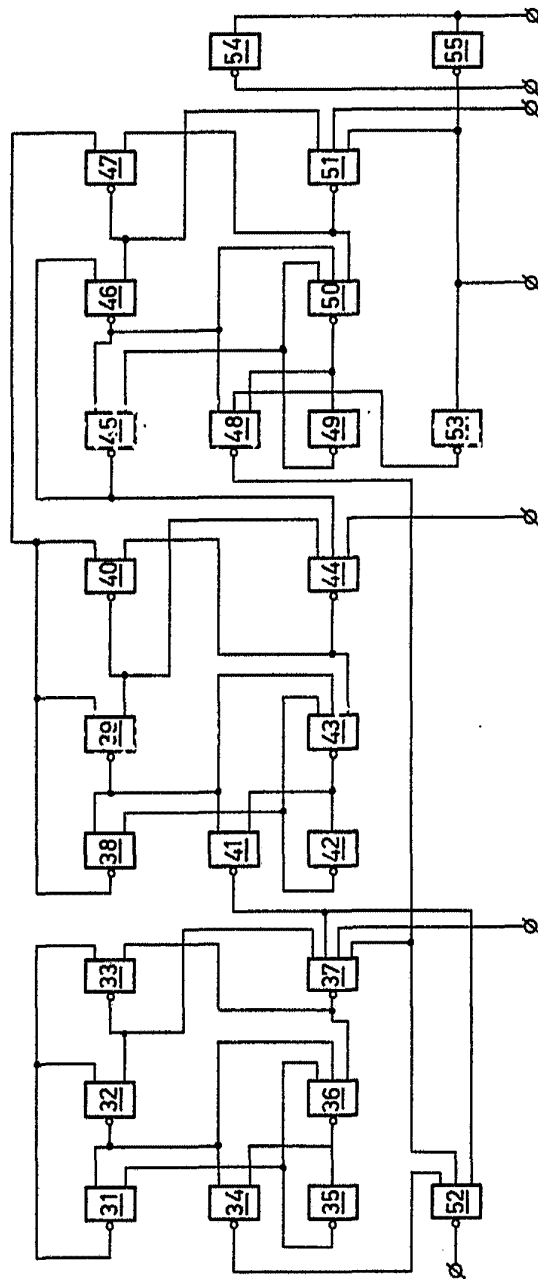


Fig. 4

Handwritten signature

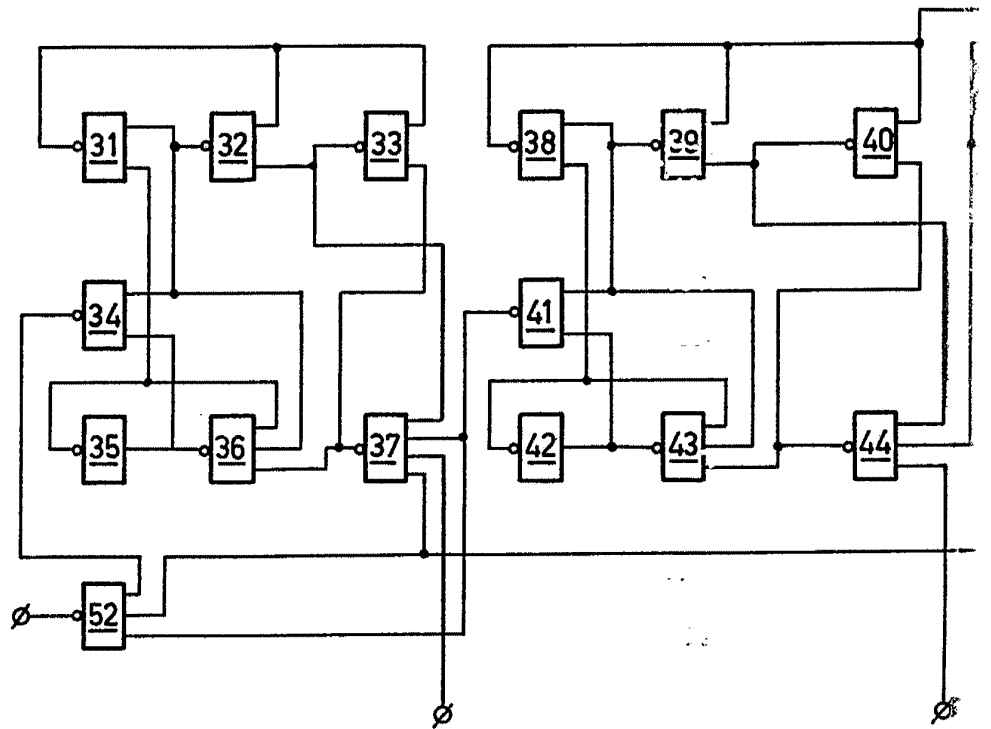
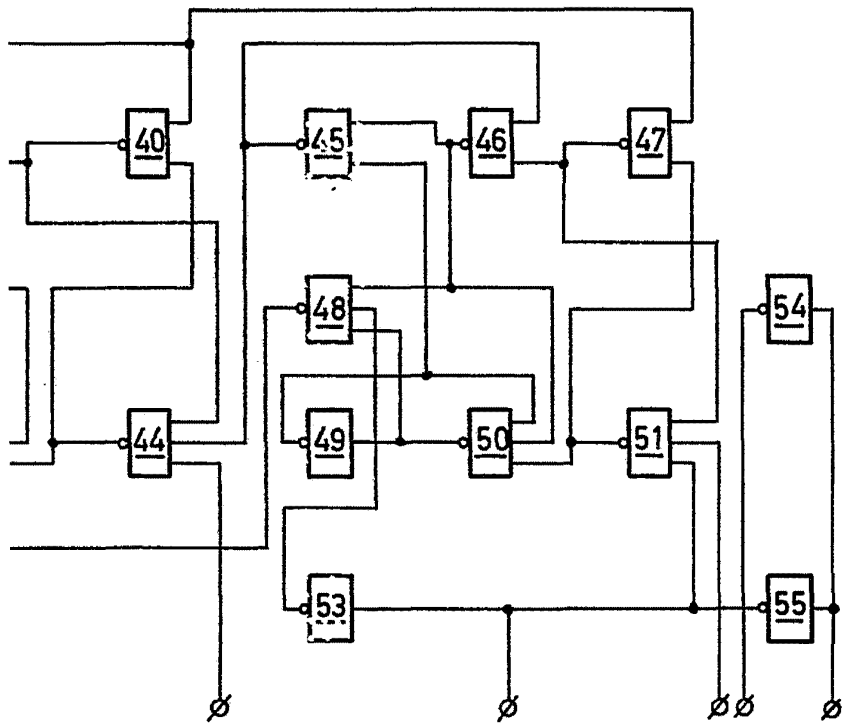


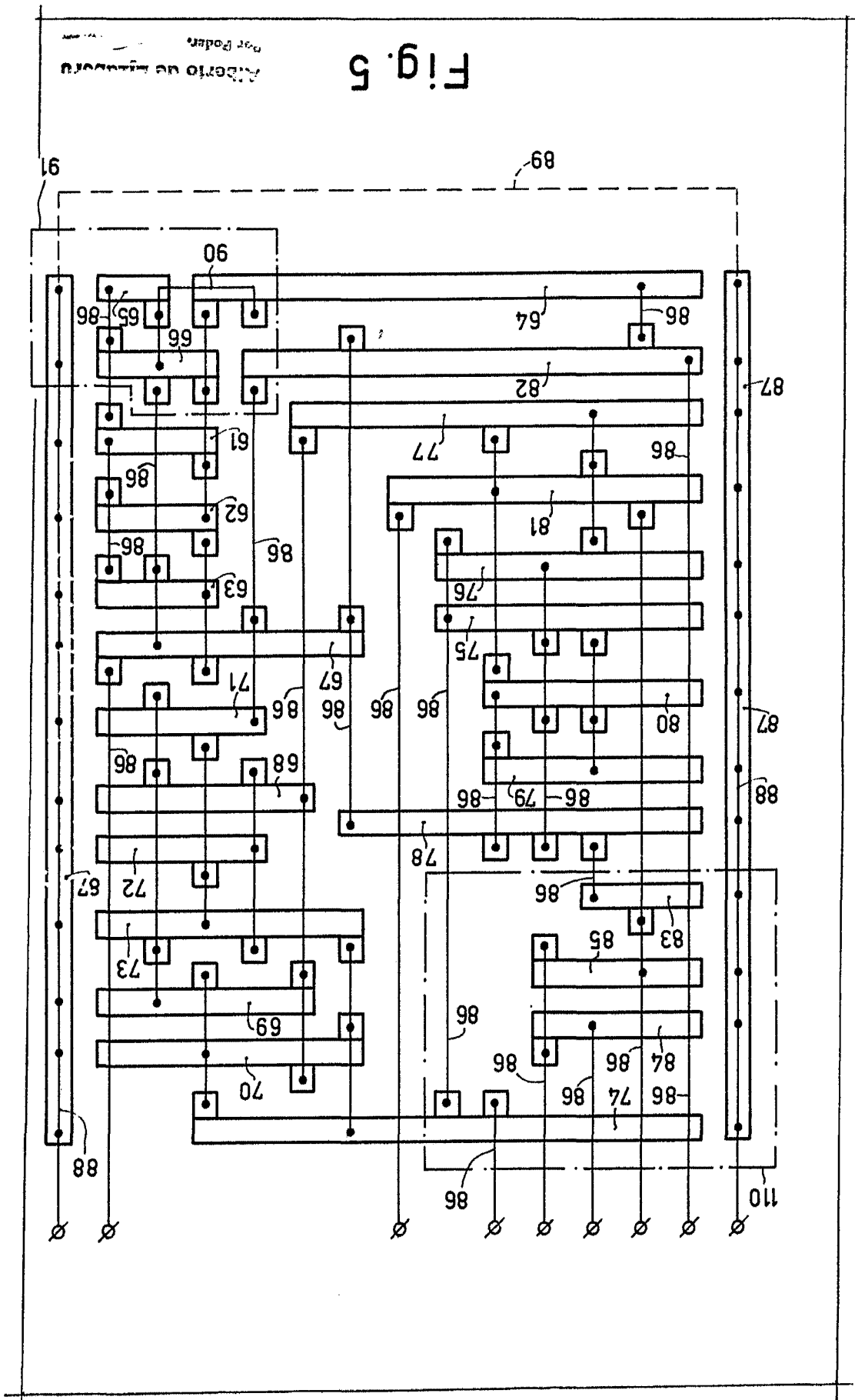
Fig. 4

2-IX-PHN 7751



1. 4

Atestado de Exatidão
Por: *[Handwritten Signature]*



Alberto de Alvarado
 por Poder

Fig. 5

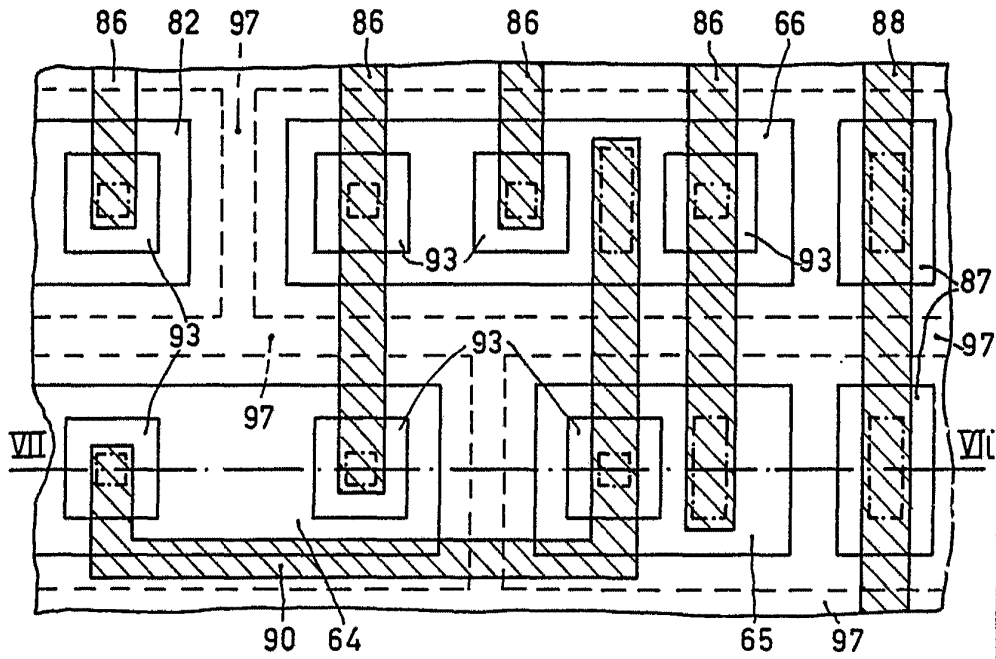


Fig. 6

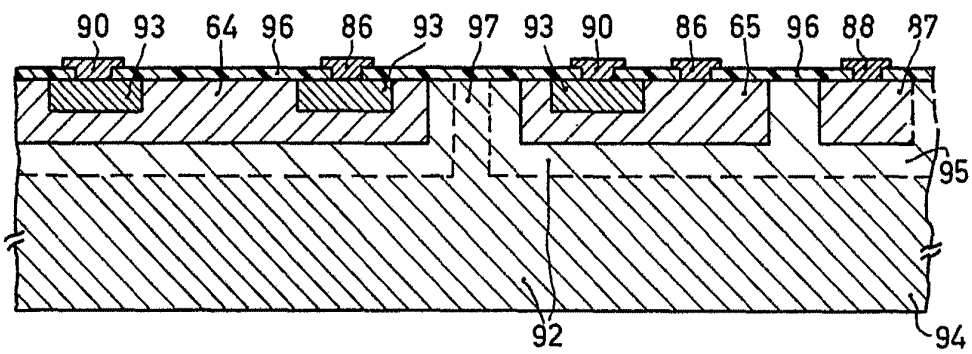


Fig. 7

Alberto de Eizendru
Por Poder

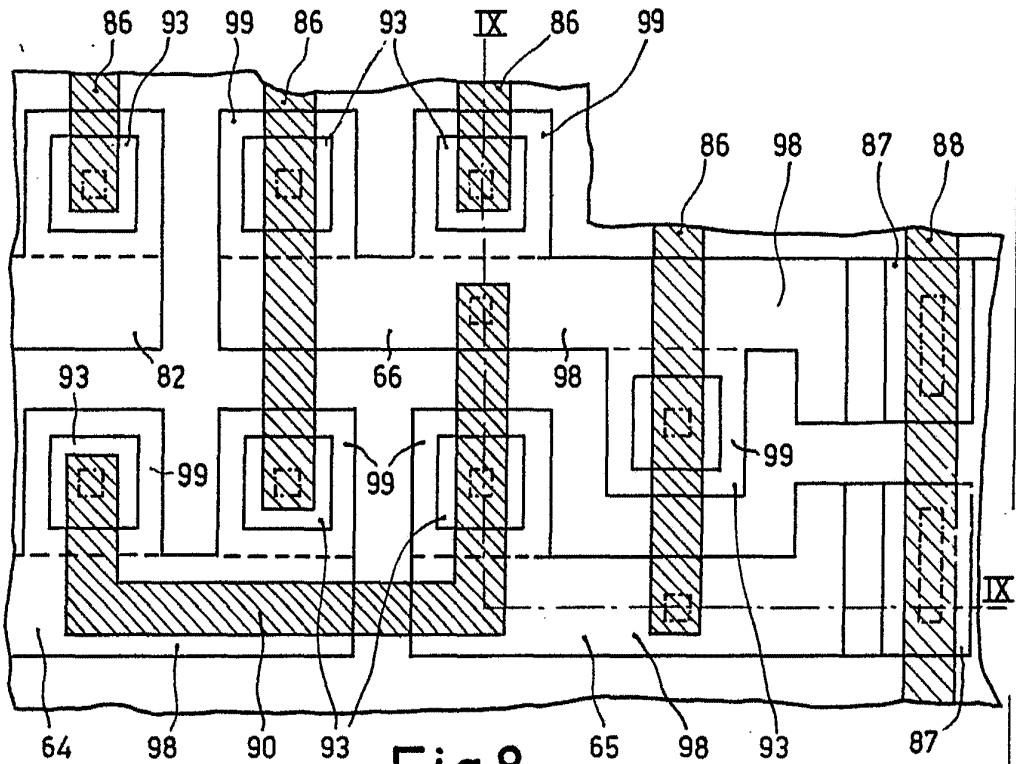


Fig.8

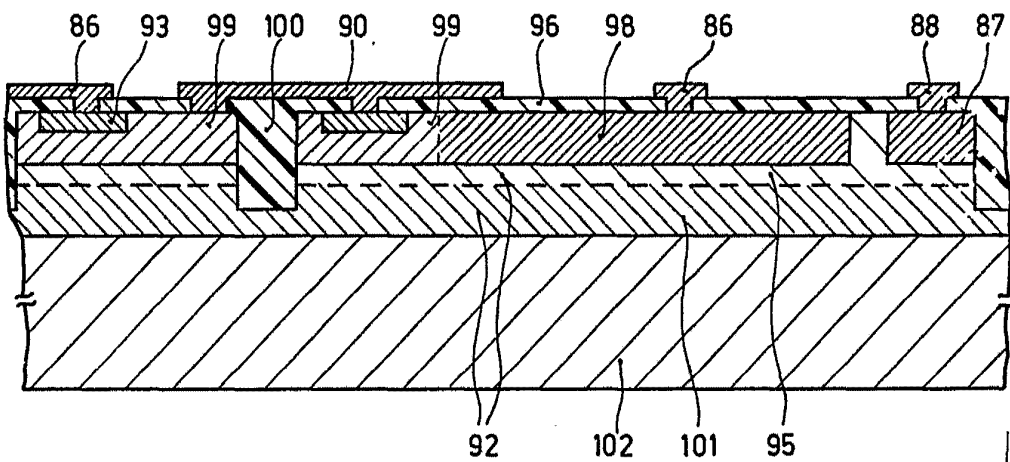


Fig.9

Alberto de Elizaguru
Por Poder.

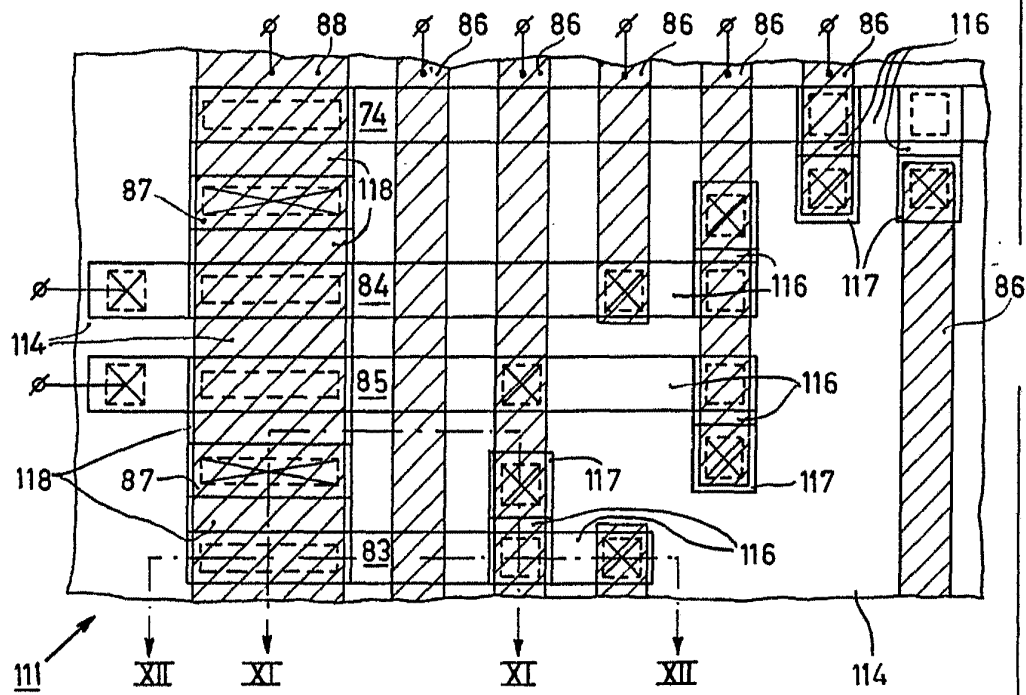


Fig.10

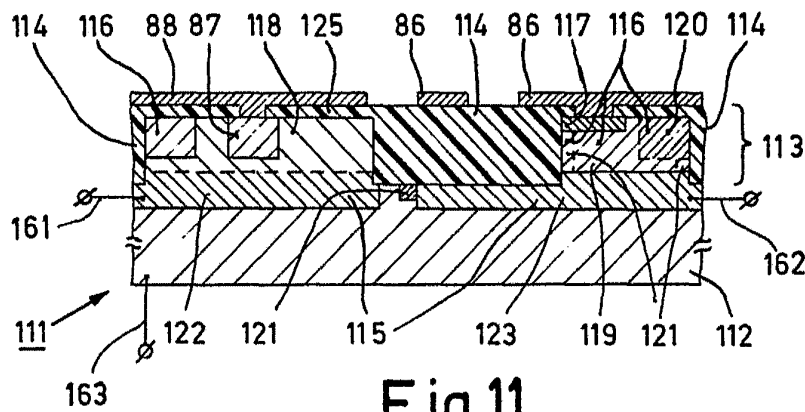


Fig.11

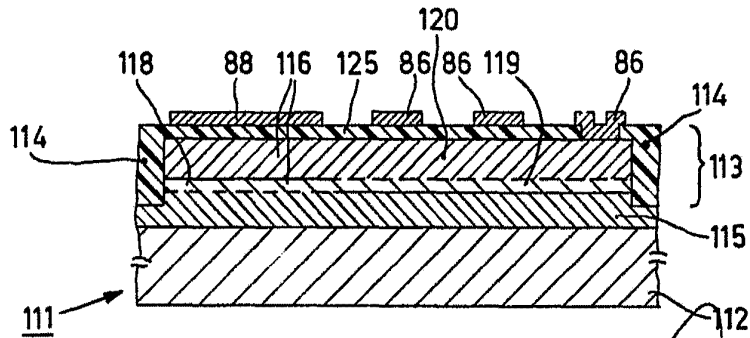


Fig.12

Alberto de Eizaburu

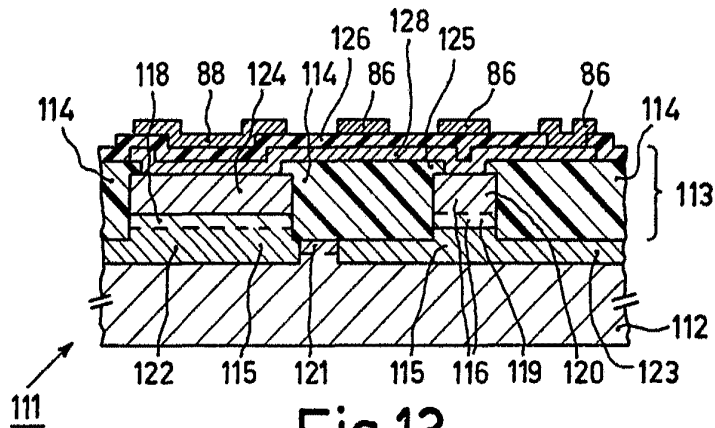


Fig.13

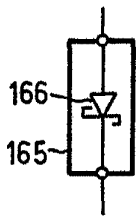


Fig.14A

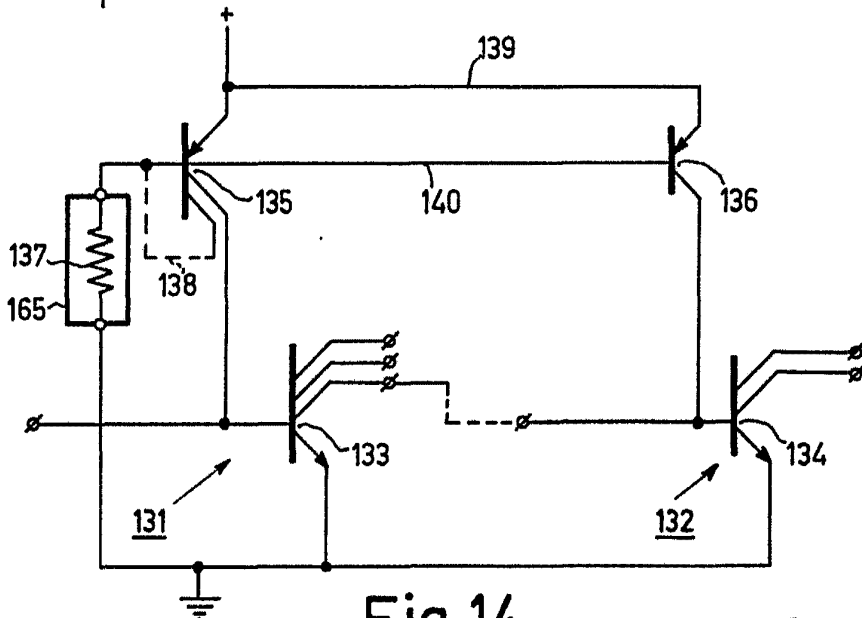
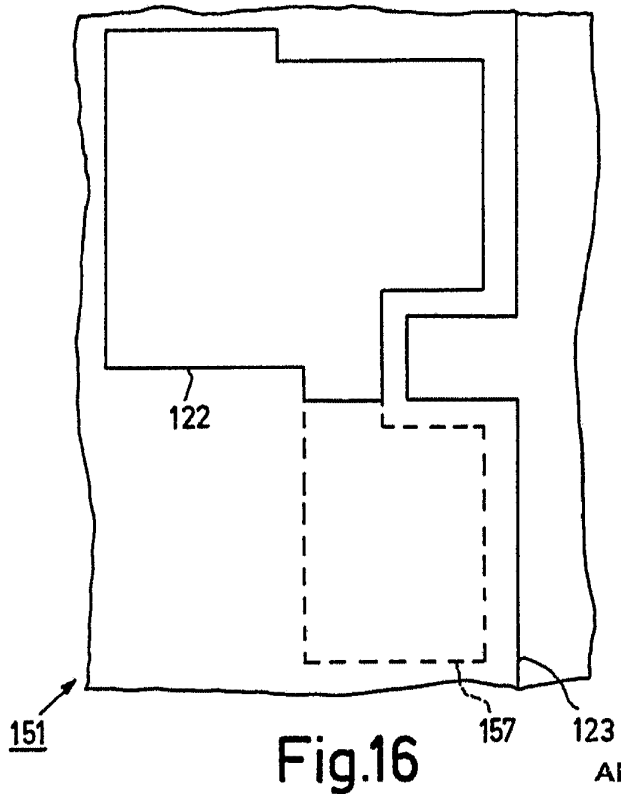
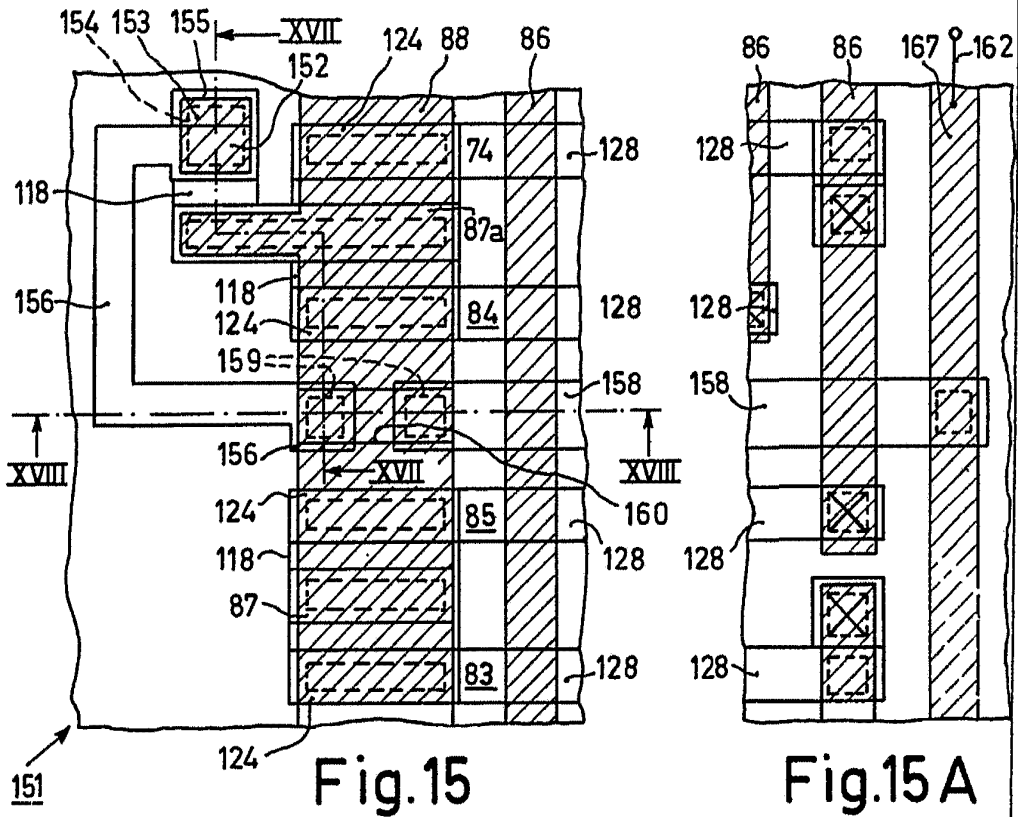


Fig.14

Alberto de *Albergo*
Por Poder



Alberto de *[Signature]*
Por Poder.

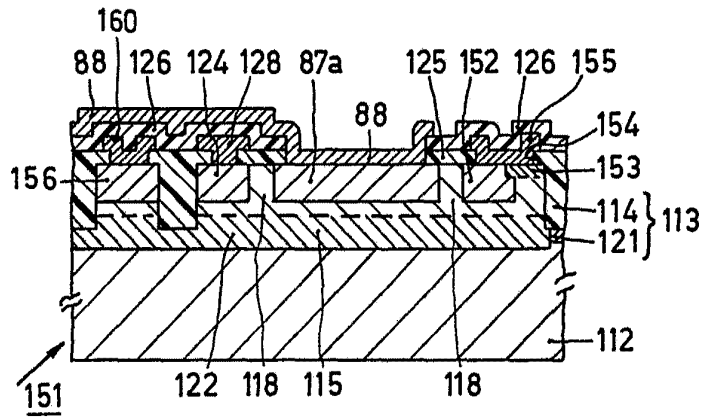


Fig. 17

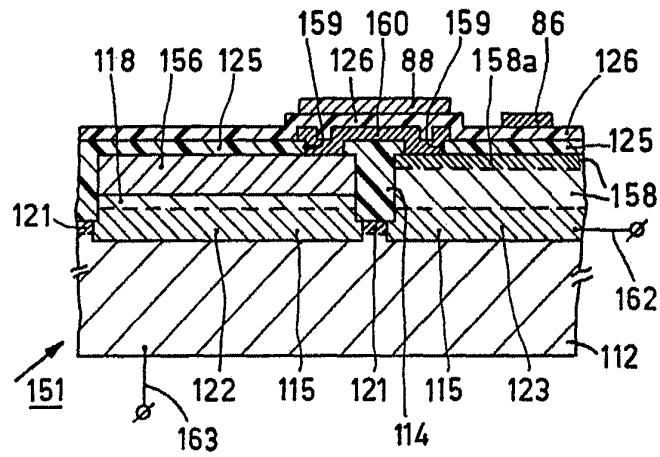


Fig. 18

Alberto de Ekenstam
Por Poder.