

Int. Cl.: H03K; H04J

T.P. Maryscuk - L.H. Johnson III, 1-1

440698

11 NOV. 1976

3^a COPIA
CONCEDIDA

MEMORIA DESCRIPTIVA PARA SOLICITAR PATENTE DE IN-
VENCION EN ESPAÑA POR: "UN SUBSISTEMA PARA AGREGAR
A UN SISTEMA MIC (MODULACION POR IMPULSOS CODIFICA-
DOS) EXISTENTE, QUE PROPORCIONA N CANALES DE DATOS
ADICIONALES Y AUMENTA EL NUMERO DE CANALES DE SE-
ÑALIZACION", A NOMBRE DE STANDARD ELECTRICA, S.A.,
CON DOMICILIO EN MADRID, CALLE DE RAMIREZ DE PRADO,
Nº 5.

5

El presente invento se refiere a un subsistema para agregar a un sistema MIC (Modulación por impulsos codificados) existente, que proporciona N canales adicionales de datos y aumenta el número de canales de señalización. Dicho subsistema incluye un generador de código de cuadro para producir un código de cuadro que tiene una posición de bit de datos de código por cada uno de los 6N cuadros del sistema; y algunas de dichas posiciones tienen una distribución distintiva de los bits de código para proporcionar la sincronización de cuadro

10

para el receptor del sistema existente y la porción de recepción del subsistema. Los N canales adicionales de dato están multiplexados en tiempo por señales de temporización desde el generador de código de cuadro y dicho generador inserta cada canal de los N canales multiplexados en tiempo en uno diferente de los otros N de las posiciones de bits de código para transportar los datos adicionales en el código de cuadro, sin alterar la distribución distintiva de los bits de código. El generador de código de cuadro proporciona también otras señales de temporización para aumentar el número de canales de señalización. Un receptor de código de cuadro del subsistema recupera los canales de datos adicionales a partir del código de cuadro, los canales de señalización adicionales y sincroniza el sistema y subsistema como respuesta a la distribución distintiva de los bits de código. El subsistema puede hacerse compatible con el D2/D3 de Western Electric mediante una toma en el generador de código de cuadro y en el receptor de código de cuadro.

El presente invento se refiere a los sistemas de comunicaciones por modulación de impulsos codificados (MIC) y, más concretamente, a un dispositivo utilizado en tales sistemas para proporcionar canales de datos y de señalización adicionales.

Hasta ahora, los canales de datos adicionales se han obtenido empleando canales de señalización no utilizados, lo que requiere que ciertos tipos de canales deban utilizarse en posiciones de tiempo asignadas.

En la técnica anterior, los canales de señalización extra se consiguen utilizando canales de señaliza-

ción no utilizados de otro tipo que los requeridos, requiriendo la utilización conjunta de los dos canales . Además los canales de señalización extra pueden conseguirse enviando señales dentro y fuera de banda sobre los canales de frecuencia vocal. Todavía otra técnica para conseguir canales; extra de señalización es enviar tonos sobre los canales de señalización.

Las desventajas de los dispositivos y técnicas mencionadas anteriormente están en que al enviar datos sobre canales de señalización no utilizados, el número de tipos de canales en cualquier posición queda reducido, ya que ciertos tipos de canales tenían que utilizarse en posiciones asignadas como canales de datos, lo que limitaba el número de tipos de canales que podían utilizarse en un sistema. El empleo de un canal de señalización no utilizado por otros canales de señalización tiene las mismas restricciones. El envío de tonos para canales de señalización extra requiere circuitos de detección costosos.

Nótese también que en la anterior técnica, el aumento de los canales de señalización se obtiene reduciendo el número de canales de datos disponibles, y el aumento de canales de datos utilizando canales de señalización reduce el número de canales de señalización disponibles.

Un objetivo del presente invento es proporcionar un subsistema que pueda incorporarse a un sistema múltiplex en tiempo por modulación por impulsos codificados ya existente, a fin de obtener tantos canales de datos adicionales como canales de señalización, de tal manera que se salven las desventajas mencionadas anteriormente en las técnicas y dispositivos primeros.

Una característica del presente invento está en que proporciona, en un sistema multiplexado en tiempo por modulación en código de impulsos que incluya un transmisor y un receptor, y que tenga un primer número dado de canales de datos y un segundo número dado de canales de señalización por cuadro, un subsistema incorporado a dicho sistema para proporcionar, por lo menos, N canales de datos adicionales, donde N es un entero mayor que la unidad, y que comprende: N fuentes de datos adicionales, una porción de transmisión que incluye primeros elementos acoplados a las fuentes para multiplexar en tiempo los datos adicionales de las N fuentes en N canales multiplexados en tiempo; y segundos elementos acoplados a los primeros que proporcionan, por lo menos, una señal de temporización acoplada a los primeros elementos para controlar la multiplexión de los datos adicionales de las N fuentes, produciendo un código de cuadro que tiene una posición de bit de código por cada uno de los $6N$ cuadros del sistema, y algunas de estas posiciones de bit de código tienen una distribución distintiva de los bits de código para proporcionar la sincronización de cuadro, recibiendo los N canales multiplexados en tiempo desde los primeros elementos e insertando cada uno de los N canales multiplexados en tiempo en uno diferente de las otras N posiciones de bits de código, para transportar los datos adicionales en el código de cuadro, sin alterar la distribución de los bits de código, y una porción de recepción que incluye terceros elementos acoplados a los segundos para recibir el código de cuadro y que recuperan los N canales multiplexados en tiempo del código de cuadro, produciendo, por lo menos, dos señales de temporización y que

responden a la distribución distintiva de los bits de código para producir una señal de control de sincronización para sincronizar el receptor del sistema y la posición de recepción, cuartos elementos acoplados a los terceros que responden a los N canales multiplexados en tiempo recuperado y a las dos señales de temporización, para recuperar los datos adicionales de las N fuentes.

Otra característica del presente invento está en la provisión, en un transmisor en tiempo con modulación por impulsos codificados que tiene un primer número dado de canales de datos y un segundo número dado de canales de señalización por cuadro, de un subsistema incorporado al transmisor para proporcionar, por lo menos, N canales de datos adicionales, donde N es un entero mayor que la unidad y que comprende: N fuentes de datos adicionales; primeros elementos acoplados a las N fuentes para multiplexar en tiempo los datos adicionales de las N fuentes en N canales multiplexados en tiempo; y segundos elementos acoplados a los primeros que producen, por lo menos, una señal de temporización acoplada a los primeros elementos para controlar la multiplexión de los datos adicionales de las N fuentes, produciendo un código de cuadro que tiene una posición de bit de código por cada uno de los 6N cuadros del transmisor; algunas de estas posiciones de bits de código tienen una distribución distintiva de bits de código para proporcionar la sincronización de cuadro, recibiendo los N canales multiplexados en tiempo desde los primeros elementos e insertando cada canal de los N canales multiplexados en tiempo en una diferente de las otras N posiciones de bits de código para transmitir los datos adi-

nales en el código de cuadro sin alterar la distribución distintiva de los bits de código.

Otra característica del presente invento es la provisión, en un receptor multiplexado en tiempo con
 5 modulación por impulsos codificados que tiene un primer número dado de canales de datos y un segundo número dado de canales de señalización por cuadro, de un subsistema que se incorpora al receptor y que responde a un código de cuadro que tiene una posición de bit de código por cada
 10 uno de los $6N$ cuadros del receptor; algunas de estas posiciones de bit tienen una distribución distintiva de los bits de código para proporcionar la sincronización de cuadro y otras N posiciones de los bits de código transportan los N datos adicionales, donde N es un entero mayor que la unidad, el subsistema comprende: primeros elementos para recibir el código de cuadro, para recuperar los N datos adicionales del código de cuadro, para producir, por lo menos, dos señales de temporización y para responder a la distribución
 15 distintiva de los bits de código a fin de producir la señal de control de sincronización para sincronizar el receptor y el subsistema; y segundos elementos acoplados a los primeros que responden a las dos señales de temporización y a los N datos adicionales recuperados para demultiplexar los mencionados N datos adicionales recuperados.

25 Las características anteriores y otros objetivos del presente invento aparecerán en los dibujos que se acompañan y en la descripción que sigue, en donde:

La fig. 1 ilustra el código de cuadro D2/D3 de Western Electric que, según los principios del presente
 30 invento, puede utilizarse para transmitir dos canales de

datos adicionales;

La fig. 2 es un código de cuadro derivado del de la fig. 1, para proporcionar ocho canales de datos adicionales, de acuerdo con los principios del presente invento;

5 La fig. 3 es un diagrama bloque de la porción de transmisión del subsistema, de acuerdo con los principios del presente invento;

La fig. 4 es un diagrama bloque de un multiplexor de dos canales que puede ser sustituido por el multiplexor de datos de ocho canales de la fig. 2;

10

La fig. 5 ilustra la definición de los símbolos lógicos utilizados en las figs. 6, 7, 13, 16, 17, y 18;

La fig. 6 es un diagrama lógico del multiplexor de datos de dos canales de la fig. 4;

15 La fig. 7 es un diagrama lógico del generador de código de cuadro de la fig. 3;

La fig. 8 es un diagrama de tiempos para la temporización de cuadro del transmisor;

La fig. 9 es un diagrama de tiempos de la temporización múltiplex de datos del transmisor;

20

La fig. 10 es un diagrama esquemático del multiplexor de señalización de canal de la fig. 3;

La fig. 11 es un diagrama bloque de la porción de receptor del subsistema, según los principios del presente invento;

25

La fig. 12 es un demultiplexor de datos de dos canales que puede ser sustituido por el demultiplexor de datos de ocho canales de la fig. 11;

La fig. 13 es un diagrama lógico del receptor de código de cuadro de la fig. 11,

30

La fig. 14 es un diagrama de tiempos de la temporización de código de cuadro del receptor,

La fig. 15 es un diagrama de tiempo de la temporización de datos del receptor,

5 La fig. 16 es un diagrama lógico de un demultiplexor de señalización de canal de la fig. 11;

La fig. 17 es un diagrama lógico del demultiplexor de datos de ocho canales de la fig. 11; y

10 La fig. 18 es un diagrama lógico del demultiplexor de datos de dos canales de la fig. 12.

De acuerdo con los principios del presente invento los datos adicionales se transportan por el código de cuadro del equipo existente que tiene bits no utilizados, los cuales pueden emplearse para transmitir diversos canales de datos e información múltiplex, para permitir que los datos sean multiplexados. Esto permite que los datos se transmitan sin interrumpir el empleo de los canales de señalización y también permite la ampliación de los canales de señalización hasta cuatro. Así el equipo puede ser equipado con cualquier tipo de canales sin restricciones, y que funciona sobre la misma línea tipo T-1 como antes de la incorporación del subsistema al equipo existente. El subsistema del presente invento hace posible la compatibilidad con el D2/D3 de Western Electric habilitando una toma en cada porción de transmisión y recepción del subsistema.

15
20
25

El subsistema del presente invento puede incorporarse a un Sistema Portador por Cable Modulado por Impulso Codificados ITT T324, que es compatible con el MIC D2/D3 de Western Electric, para convertirse en un Sistema Portador por Cable MIC de abonado ITT 324S.

30

En la fig. 1 se ilustra el código de cuadro D2/D3 de Western Electric. Los bits de ciertos cuadros del sistema pueden utilizarse para enviar datos adicionales y permiten todavía que el código de cuadro sea único. Por ejemplo, el bit para los cuadros 2, 6 y 10 puede utilizarse para enviar los datos y todavía permite que el código de cuadro sea único, de tal manera que puede emplearse para la información de señalización y de cuadro. Utilizando el código de cuadro de la fig. 1 se deriva el código de cuadro de la fig. 2 y se amplía a 48 bits de cuadro, permitiendo un canal de supercuadro y ocho canales de datos como se ilustra en la fig. 2.

Refiriéndonos a la fig. 3, en la misma se ilustra un diagrama bloque de la porción de transmisión del subsistema, de acuerdo con los principios del presente invento. La porción de transmisión incluye un generador de código de cuadro 100 que produce el código de cuadro Standard D2/D3 de Western Electric cuando la toma E.F. esta abierta por la posición ilustrada de los conmutadores 101 y 102. Cuando E.F. está en operación por los conmutadores 101 y 102, el generador de código de cuadro 100 producirá el código super de la fig. 2. El generador 100 produce las señales de temporización TAM FRAME 1 y TAM FRAME A, las cuales multiplexan dos canales de señalización existentes en cuatro canales a través de los multiplexores de señalización de canal 103 y 104. El generador 100 también recibe la entrada TAM DATA de los datos adicionales, los cuales han sido multiplexados juntos en el multiplexor de canal de datos 105 bajo el control de las señales de temporización múltiplex TAM-C. TAM-E y TAM-F, e inserta cada uno de los

canales multiplexados en tiempo, en el código de cuadro de la fig. 2, según se ilustra.

Para proporcionar un dispositivo que tenga solamente dos canales de datos adicionales, el multiplexor de datos 106 de la fig. 4 puede ser sustituido por el multiplexor de datos 105 de la fig. 3.

El multiplexor 105 puede suministrarse en una sola unidad multiplexora de circuito integrado de ocho entradas que puede obtenerse de cualquier fabricante de circuitos integrados, tal como Texas Instruments, Inc.

La fig. 6 ilustra el diagrama lógico del multiplexor 106 de la fig. 4. La puerta NAND A21 puertea un canal bajo el control de TAM-C. La puerta NAND A23 puertea el otro canal de datos bajo el control de TAM-C, que aparece a la salida de la puerta NOT A22. La puerta NAND A24 multiplexa las dos señales en un canal multiplexado en tiempo de datos único.

Refiriéndonos a la fig. 7, en ella se ilustra el diagrama lógico de un generador de código de cuadro 100 de la fig. 3. Los flip-flops A1, A2, A3, A4, A5 y A6 constituyen un contador MOD 48. Este contador está temporizado por una señal D9 producida en el generador de señal de temporización del sistema existente, al cual marca el final de cada cuadro del sistema. La fig. 8 muestra la temporización de la señal $\overline{D9}$ y de los flip-flops A1, A2, A3, A4 y el código de cuadro resultante que se produce en los tiempos que se ilustran. Refiriéndonos a la fig. 2, el momento D1 es el número de cuadro 2, 14, 26 y 38, el momento D2 es el número de cuadro 6, 18, 30 y 42 y el momento D3 es el bit de supercuadro y tiene lugar en los números de cuadro 10,

22, 34 y 46. Para restaurar el código de cuadro al código de cuadro D2/D3 de la fig. 1, el momento D1 debe pasar a binario "0", D2 a binario "1" y D3 a binario "1". Asignemos a las salidas Q de los flip-flops A1-A6 las siguientes letras A1=A, A2=B, A3=C, A4=D, A5=E y A6=F. El código de cuadro pasa a ser $(B\bar{C}) + (A.B) + (\bar{A}\bar{B}.C.DD1) + (\bar{A}\bar{B}.\bar{C}.D2) + (\bar{A}\bar{B}.\bar{D}.D3)$. La puerta NOR A9 produce el dato $B.\bar{C}$. La puerta AND A8 produce el dato $A.B$. La puerta NOR A9 produce el dato $(A.B) + (B.\bar{C})$. La puerta NOR A16 produce el dato $\bar{A}.\bar{B}$. La puerta ANAD A18 produce $\bar{A}.\bar{B}.\bar{D}$ (E.F). Sustituyendo el dato por D1 y el dato por D2 y (E.F.) por D3, la salida de la puerta NAND A15 es la ecuación anterior para el código de cuadro. Cuando la entrada de datos TAM está abierta y la (E.F.) está abierta, $D1=\text{dato} = "0"$, $D2=\text{dato} = "1"$ y $D3=E.F. = "1"$.

De esta manera, para estas condiciones se produce el código de cuadro D2/D3, como se ilustra en la fig. 1.

La fig. 9 ilustra el diagrama de temporización para la temporización múltiple conseguida por los flaps-flaps A3, A4, A5 y A6. Estas señales de temporización se utilizan para multiplexar el canal de datos, y los datos multiplexados se introducen en la entrada TAM DATA de la fig. 7. La salida TAM E.F. que se muestra en la fig. 7 es la señal conectada a TAM E.F. y la señal que crea los bits del supercuadro de la fig. 2. Las señales TAM FRAME 1 y la TAM FRAME A se emplean para multiplexar los canales de señalización existentes usados por las unidades de canal para aumentar el número de canales de señalización disponibles.

La fig. 10 es un diagrama esquemático de uno de los multiplexores 103 ó 104 de la fig. 3. El transistor Q3 tiene su base controlada por el conmutador S1 a través

de la resistencia de arranque R9 y la resistencia de limitación R10. Cuando el conmutador S1 está cerrado y la señal TAM FRAME 1 llega a la tensión VCC, la corriente pasa a través del transistor Q3 y el diodo CR1 a la puerta de canal del sistema existente. Cuando el conmutador S1 está abierto, el transistor Q3 no conducirá cuando la señal TAM FRAME 1 sea elevada. La segunda parte del circuito de la fig. 10, incluyendo el transistor Q4, funciona de la misma manera cuando la señal TAM FRAME es elevada.

La fig. 11 ilustra un diagrama bloque de la porción recepción del subsistema de acuerdo con los principios de presente invento. El receptor de código de cuadro 107 recibe todo el código transmitido, esto es, el código de voz y el código de cuadro, localiza y sincroniza sus contadores al código de cuadro que llega. Cuando la toma E.F. está abierta, como se ilustra por los conmutadores 108 y 109, el receptor 107 se sincroniza al código de cuadro standard D2/D3 de la Western Electric. Cuando E.F. tiene los conmutadores 108 y 109 cerrados, el receptor 107 se sincroniza al código de supercuadro de la fig. 2 y separa los canales de datos adicionales del código de cuadro de la fig. 2 y suministra las señales de demultiplexión para los canales de datos adicionales. El receptor 107 produce también las señales de temporización de demultiplexión para los demultiplexores de señalización de canal 110 y 111, el cual demultiplexa los canales de señalización. El demultiplexor de datos 112 es un demultiplexor de ocho canales y demultiplexa los canales de datos adicionales en el código de cuadro de la fig. 2. Sustituyendo el demultiplexor de datos 113 de la fig. 2 por el demultiplexor de datos 112 de la fig. 11,

pueden ser demultiplexados los dos canales de datos adicionales en el código de cuadro.

La fig. 13 es un diagrama lógico del receptor de código de cuadro 107 de la fig. 11. El diagrama lógico produce un código de cuadro y lo compara con el código de cuadro que llega. Cuando se reciben ocho errores en 20 milisegundos el sistema y subsistema se consideran fuera de sincronismo y se resincroniza él mismo buscando los bits de cuadro impares del código de cuadro y localizando entonces los tres binarios "1" consecutivos de los cuadros 8, 9 y 10, como se muestra en la fig. 2.

Después de haber encontrado los tres "1" el receptor sincroniza el contador principal con el código de cuadro recibido, y comprueba todas las posiciones de bits de código excepto los bits de los cuadros 2 y 4. Cuando el sistema y subsistemas están fuera de la sincronización de cuadro, el receptor 107 produce una señal SKIP para acoplar al sistema existente y hacer que el generador de señal de temporización de este sistema salte los impulsos de reloj hasta que se encuentre un bit por el receptor 107, que aparece como el bit de cuadro. El contador principal 107, como se muestra en la fig. 13, es un contador MOD 48, semejante al contador de la porción de transmisión del subsistema y está constituido por los flip-flops tipo-D A58, A59, A60, A61, A62 y A63.

La fig. 14 muestra las señales de temporización de los flip-flops A58, A59, A60 y A61. El contador está controlado por la señal D9 que está suministrada por el generador de señal del sistema existente, al final de cada cuadro. El código de prueba mostrado en la Curva II, fig.

14, es $(\bar{A}.B) + (A.\bar{B}.\bar{D}) + (B.E.F)$ - La puerta NOR A54 produce el dato $A.\bar{B}$. La puerta NAND A55 produce $A.\bar{B}.\bar{D}$. La puerta NAND A56 produce el dato $B.E.F$. La puerta NAND A53 produce el dato $(A.\bar{B}.\bar{D}) + (B.E.F)$. La puerta NOR A52 produce el dato $(\bar{A}.B) + (A.\bar{B}.\bar{D}) + (B.E.F)$, que es el código de prueba de cuadro identificado anteriormente, pero invertido. El primer código de prueba es el A, que se suministra a la puerta NAND A44. La puerta A44 realiza la función OR con el segundo código de prueba cuando la puerta NAND A47 está activada, la puerta NAND A57 produce una salida de $D + \bar{B}$ cuando se realiza la función OR por la puerta A44, para producir el segundo código de cuadro, TEST.

Los datos recibidos (MIC) (modulación por impulsos codificados), que incluyen el código de cuadro y el código de voz se controlan en el flip-flop tipo-D A50. Los datos recibidos se comparan con el código de prueba de cuadro por la puerta EXCLUSIVA OR A51. La salida de la puerta A51 es elevada cuando los datos recibidos son los mismos que los del código de prueba. Esta señal se aplica a la puerta NAND A29 y al flip-flop tipo D A40. El segundo código de cuadro TEST se aplica a la puerta NAND A43 que normalmente está activada. La puerta NAND A42 produce una salida de $CL.D9$. A esta señal se le aplica la función AND por la puerta NOR A41 con el segundo código de cuadro TEST. La salida de la puerta A41 se invierte por la puerta NOT A39 y selecciona por método estroboscópico la salida de la puerta A51 en el flip-flop A40. Cada vez que se recibe un error, el flip-flop A40 controla un "1" en el registrador de conversión de ocho bits A32. La salida \bar{Q} del flip-flop A40 se acopla al transistor Q5 que repone el cronizador de ca-

dencia de error A33 y su circuito asociado. El flip-flop de error A40 está repuesto antes de la siguiente señal de prueba por una reposición estroboscópica a partir del generador de señal de temporización del equipo existente.

5 Cuando se detectan ocho errores en el registrador A32, la salida del mismo se eleva, activando la señal SKIP de la puerta NAND A31 y haciendo desaparecer la reposición de los flip-flops A34 y A35, que determina como se ha probado e código. La salida del registrador A32 se aplica también a la

10 puerta NAND A49, cuya salida se hace baja, desactivando las puertas NAND A45 y A47. La puerta A45 impide la activación del registrador de conversión A32 mientras tengan lugar las dos primeras etapas del ciclo de cuadro. La puerta A47 impide que se añada el segundo test de código al primero.

15 El primer test de código se prueba en cada cuadro para el código de cuadro. Cada vez que está presente el bit de cuadro, baja D9, lo que aplica la función AND con el segundo código de cuadro TEST por la puerta NOR A30. La salida de la puerta A30 activa también la puerta A31. La señal recibida,

20 los primeros ocho bits y la señal recibida anteriormente se comparan por la puerta NAND A 29. Si los ocho bits no son de la misma polaridad que el bit de cuadro, la salida de la puerta A29 bajará, haciendo que baje la salida de la puerta A31 y haciendo que el generador de señal de tiempo

25 existente quite un bit en ese momento. Cada vez que se prueba la señal, se repone el flip-flop que incluye las puertas A25 y A22. Ocho dígitos después de haber sido encontrado el cuadro, la señal DT8 repone el flip-flop que incluye las puertas NOR A25 y A26. Cuando este flip-flop

30 está activado, la puerta NAND A27 está activada y la señal

de reloj CL pasa a través de la puerta A27 para controlar el registrador de conversión A28. Este registrador contiene el último bit de cuadro probado y los siete siguientes bits recibidos. La salida del registrador A28 se compara por la

5 puerta A29 con el nuevo dato, y su salida se aplica a la puerta SKIP A31 y vuelve a la entrada del registrador A28. La salida del registrador A28 se hace alta cuando se vacía de todos sus bits. Cuando se encuentra un bit, la señal D9 baja, permitiendo que el registrador A28 acepte el bit de

10 cuadro y los siguientes siete bits. Esto proporciona un circuito de ocho bits que prevé lo que va a ocurrir. Cuando se encuentra la distribución de cuadro, no se reciben errores, de tal manera que el cronizador A33 produce un impulso que controla los flip-flops A34 y A35. La salida del flip-flop A34 se hace alta. Con el flip-flop A34 activado y el

15 flip-flop A35 en reposo, la salida de la puerta NOR A38 es baja, desactivando la puerta A43, de tal manera que no se produce señal de prueba. Al mismo tiempo, la salida de la puerta A48 activa la puerta A38. Cada bit de código de

20 cuadro se cambia en un registrador de conversión A36, cuando la señal D9 es alta y la señal de reloj CL es baja. Cuando se cambia la distribución de tres "1" en el registro de conversión A36, sus salidas Q0-Q2 son altas y cuando se aplica la prueba estroboscópica a la puerta A38, su salida

25 se eleva. Todas estas señales se aplican a la puerta NAND A37 y su salida baja, activando el contador Mod 48 a la cuenta apropiada, en sincronismo con el código de cuadro recibido. El contador de error, en la forma de cronizador A33, es de oscilación libre y temporización rá, enviando otros

30 impulsos de reloj, a los flip-flops A34 y A35. Los flip-flop

A34 y A35 están activados. Esto hace que se eleve la salida de la puerta NAND A49 activando la puerta NAND A45, lo que permite que se forme la segunda señal de prueba. La salida de la puerta A48 se eleva activando la puerta A43, de tal manera que pasará la segunda señal TEST, comenzando la segunda prueba, y también la salida de la puerta A48 desactiva la puerta A38 impidiendo que el contador Mod 48 se reponga de nuevo. Si la cadencia de error permanece baja, el contador de cadencia de error oscila según otros impulsos que se invierten por la puerta NOT A46 pasando a la puerta A45, lo que repone el registrador de conversión A32. La salida del registrador A32 desactiva la puerta de señal SKIP A31 y repone los flip-flops A34 y A35, y se aplica a la puerta A49 para mantener su salida elevada. Esto llega a los circuitos a la segunda prueba.

Quando se quita la toma E.F. los circuitos de prueba de cuadro comprueban un "1" en las posiciones de bit 10 de tiempo, permitiendo que el circuito pase al código D2/D3.

Las curvas de la fig. 14, K y L muestran las señales estroboscópica de datos D1 y D2. La señal D1 es A.B.C.D. y la señal D2 es A.B.C̄. La puerta NOR A70 produce la señal D1 que es A.B.C.D. La puerta NAND A74 produce A.E.C̄ y la puerta NOT A73 invierte la salida de la puerta A74 a A.B.C̄., que es la señal D2.

La fig. 15 ilustra el diagrama de temporización de los flip-flops A60, A61, A62 y A63, que completa el contador Mod 48. La puerta NOT A65 invierte \bar{F} para formar RAM-F. La puerta NOR A66 produce la señal E.F. que se denomina RAM-E.F. La puerta NAND A67 forma la señal RAM FRANE 1 y el buffer que incluye el transistor Q6 invierte

esta señal para formar RAM FRAME 1. La puerta NAND A69 y el buffer que incluye el transistor Q7, de una manera similar forman la señal de salida RAM FRAME A.

5 En la fig. 6 se ilustra el diagrama lógico de uno de los demultiplexores de señalización de canal 110 y 111 de la fig. 11. El Estroboscopio REC es el impulso de canal, para el canal que está presente para cada muestra de voz. Esta señal se invierte por la puerta NOT A75 y se aplica a las puertas NAND A76 y A77. Cuando la información de señalización cambia una vez por cada 12 cuadros, se eleva una de las señales RAM FRAME y, durante los otros 12 cuadros, se eleva la otra señal RAM FRAME. Mientras una de las señales RAM FRAME es alta, el estroboscopio REC da paso a una de las puertas A76 ó A77 y forma un impulso de reloj para los flip-flops A80 y A81, permitiendo que los datos de señalización apropiados se almacenen en los flip-flops.

15 La fig. 17 es un diagrama lógico del multiplexor de datos de canal 112 de la fig. 11. Las señales RAM-E, RAM-D1 y RAM-D2 se aplican al decodificador A84. La señal RAM-D1 se invierte por la puerta A83 para formar RAM-D1. La puerta NOT A82 invierte la señal estroboscópica de datos que está presente en el sistema existente, y aplica la señal estroboscópica invertida al decodificador A84 como una señal estroboscópica. Las salidas del decodificador A84 son señales estroboscópicas que están presentes durante el tiempo en que cada bit está presente en la señal RAM DATA. Cada flip-flop tipo-D A85-A92 se selecciona estroboscópicamente por las salidas del decodificador A84 y almacena un bit asignado en cada supercuadro.

20

25

30

La fig. 18 ilustra un diagrama lógico del demultiplexor de datos 113 de la fig. 12. La señal estroboscópica de datos selecciona por método estroboscópico las señales RAM-D1 y RAM-D2 a través de las puertas NAND A93 y A94, respectivamente. Estas puertas suministran las señales estroboscópicas a los flip-flops de almacenaje de datos AD5 y AD6, los cuales almacenan sus bits de datos asignados en cada cuadro de los datos adicionales, que incluye 12 cuadros del sistema MIC (modulación por impulsos codificados) existente.

Todas las puertas lógicas, registradores de conversión, decodificadores, flip-flops tipo-D y demultiplexores de ocho canales y los equivalentes de las figs. 6, 7, 13, 16, 17 y 18 pueden incorporarse por unidades modulares mediante fabricantes de circuitos integrados, tal como Texas Instruments, INC.

Ha de quedar entendido que la anterior descripción se hace a modo de ejemplo y no debe considerarse como limitación de su alcance.

El presente invento corresponde a una solicitud de Patente de Invención formulada en Estados Unidos el día 3 de Septiembre de 1974, señalada con el número 503.014 grupo 233 y se acoge, por lo tanto, a los beneficios que otorgan los convenios internacionales vigentes.

-----NOTA-----

Los puntos de invención propia y nueva que se presentan para que sean objeto de esta patente de veinte años son los siguientes:

1.- Un subsistema para agregar a un sistema MIC (Modulación por impulsos codificados) existente, que

proporciona N canales de datos adicionales y aumenta el número de canales de señalización. El sistema es un sistema multiplexado en tiempo y modulado en código de impulsos, e incluye un transmisor y un receptor, teniendo un primer número dado de canales de datos y un segundo número dado de canales de señalización por cuadro, y el subsistema que se agrega proporciona, por lo menos, N canales adicionales de datos, donde N es un entero mayor que la unidad, y comprende:

- 10 - N fuentes adicionales de datos.
- una porción de transmisión que incluye:
 - 15 primeros elementos acoplados a las N fuentes para multiplexar en tiempo los datos adicionales de las N fuentes en N canales multiplexados en tiempo; y segundos elementos acoplados a los primeros que producen, por lo menos, una señal de temporización acoplada a los primeros elementos para controlar la multiplexión de los datos adicionales procedentes de las N fuentes, produciendo un código de cuadro que tiene una posición de bit de código para cada uno de los $6N$ cuadros del sistema. Algunas posiciones de bit de código tienen una distribución distintiva de bits de código para proporcionar la sincronización de cuadro a la recepción de los N mencionados canales multiplexados en tiempo de los primeros elementos, e insertar cada canal, de los N mencionados canales multiplexados en tiempo en una diferente de las N posiciones de bit de código, para convertir dichos datos adicionales en código de cuadro sin alterar la distribución definitiva de los bits de código y
 - 20
 - 25
- 30 - una porción de recepción que incluye:

terceros elementos acoplados a los segundos elementos para recibir dicho código de cuadro. Dichos terceros elementos recuperan los N canales multiplexados en tiempo a partir del mencionado código de cuadro produciendo, por lo menos dos señales de temporización y que responden a la distribución distintiva de los bits de código para producir una señal de control de sincronización a fin de sincronizar dicho receptor del sistema y dicha porción de recepción ; y cuartos elementos acoplados a los terceros que responden a los N canales multiplexados en tiempo y a las dos señales de temporización para recuperar los datos adicionales de las N fuentes.

2.- Un subsistema, según el punto 1, en donde, N es igual a dos.

3.- Un subsistema, según el punto 2, en donde, la distribución distintiva de los bits de código es de tres bits "1" binarios sucesivos en tres bits adyacentes de las posiciones de bits de código.

4.- Un subsistema, según el punto 1, en donde N es igual a ocho.

Los segundos elementos producen tres señales de temporización para controlar la multiplexión de los datos adicionales de las N fuentes, y los terceros elementos producen señales de temporización para recuperar los datos adicionales de las N fuentes.

5.- Un subsistema, según el punto 4, en donde, la distribución distintiva de los bits de código es de tres bits "1" binarios sucesivos en tres bits adyacentes a las posiciones de bit en código, dentro de las doce primeras posiciones de bit de código, de las cuarenta y ocho posi-

ciones de bit de código de dicho código de cuadro.

5 6.- Un subsistema, según el punto 1, en donde los terceros elementos incluyen, primeros elementos para producir un código de cuadro local, idéntico al código de cuadro recibido,
sextos elementos acoplados a los quintos elementos para comparar el código de cuadro recibido con el código de cuadro local,
10 séptimos elementos acoplados a los sextos elementos para producir una señal fuera de sincronismo cuando los sextos elementos detectan un número dado de errores durante un período de tiempo dado; y
octavos elementos acoplados a los séptimos que responden a la mencionada señal fuera de sincronismo para restablecer
15 la sincronización, buscando primeramente las posiciones impares de las posiciones de bit de código del código de cuadro recibido y después localizando la distribución definitiva de los bits de código.

20 7.- Un subsistema, según el punto 6, en donde, N es igual a dos, y la distribución distintiva de los bits de código es de tres bits "1" binarios sucesivos en tres adyacentes de las posiciones de bit de código.

25 8.- Un subsistema, según el punto 6, en donde, N es igual a ocho, y dicha distribución distintiva de los bits de código es de tres bits "1" sucesivos en tres adyacentes de las posiciones de bit de código, dentro de las doce primeras posiciones de bit de las cuarenta y ocho posiciones de bit de código del
30 código de cuadro.

9.- Un subsistema, según el punto 1, en donde, los segundos elementos producen además dos señales de temporización adicionales, e incluyen además, por lo menos, dos multiplexores de señalización acoplados a los segundos elementos, cada uno de los cuales responde a las dos señales de temporización adicionales para aumentar el número de los canales de señalización en el sistema.

10.- Un subsistema, según el punto 9, en donde, los terceros elementos producen además un par de señales de temporización adicionales e incluyen además, por lo menos, dos demultiplexores de señalización acoplados a los terceros elementos, cada uno de los cuales responde al par de señales de temporización adicionales para definir las salidas de canal para dicho número aumentado de canales de señalización en el sistema.

11.- Un subsistema, para proporcionar N canales de datos adicionales que se agregan a un transmisor multiplexado en tiempo por modulación en código de impulsos, que tiene un primer número dado de canales de datos y un segundo número dado de canales de señalización por cuadro, en donde N es un entero mayor que la unidad, que comprende:

N fuentes de datos adicionales; primeros elementos acoplados a las N fuentes para multiplexar en tiempo los datos adicionales de las N fuentes en N canales multiplexados en tiempo, y segundos elementos acoplados a los primeros elementos que producen, por lo menos una señal de temporización acoplada a los primeros elementos para controlar la multiplexión de los datos adicionales de las N fuentes produciendo un código de cuadro que tiene una posición de bit de código por cada uno de los 6N cuadros

del transmisor. Algunas de estas posiciones de bit de código tienen una distribución distintiva de los bits de código para proporcionar la sincronización de cuadro, recibiendo dichos N canales multiplexados en tiempo de los primeros elementos e insertando cada canal de los N multiplexados en tiempo en una diferente de las otras N posiciones de bit de código, para transmitir los datos adicionales en código de cuadro, sin alterar la distribución distintiva de los bits de código.

10 12.- Un subsistema, según el punto 1, en donde, la distribución distintiva de los bits de código es de tres bits "1" binarios en tres bits adyacentes de las posiciones de bit de código.

15 13.- Un subsistema, según el punto 11, en donde N es igual a dos.

20 14.- Un subsistema, según el punto 11, en donde, N es igual a ocho, y los segundos elementos producen tres señales de temporización para controlar la multiplexión de los datos adicionales de las N fuentes.

25 15.- Un subsistema, según el punto 14, en donde la distribución definitiva de los bits de código es de tres bits "1" binarios sucesivos en tres adyacentes de las posiciones de bits de código, dentro de las doce primeras posiciones de bits de código de las cuarenta y ocho posiciones de bits de código del código de cuadro.

30 16.- Un subsistema, según el punto 11, en donde los segundos elementos producen además dos señales de temporización adicionales e incluye además, por lo menos, dos multiplexores de señalización acoplados a los segundos

elementos cada uno de los cuales responde a ambas de las dos señales de temporización adicionales para aumentar el número de los canales de señalización en el transmisor.

5 17.- Un subsistema, para proporcionar N canales de datos adicionales, que se incorpora a un receptor multiplexado en tiempo con modulación por código de impulsos que tiene un número dado de canales y un segundo número dado de canales de señalización por cuadro. Dicho subsistema responde al código de cuadro que tiene una posición de bit de código por cada uno de los $6N$ cuadros del receptor. Algunas de las 10 posiciones de bits de código tienen una distribución distintiva de bits de código para proporcionar la sincronización de cuadro, y las otras N posiciones de bits de código transportan N datos adicionales, donde N es un número mayor que 15 la unidad. Dicho subsistema comprende primeros elementos para recibir el código de cuadro, para recuperar los N datos adicionales a partir del código de cuadro, para producir, por lo menos, dos señales de temporización y responder a la distribución distintiva de los bits de código y producir una 20 señal de control sincronización para sincronizar dicho receptor en el subsistema; y segundos elementos acoplados a los primeros que responden a las dos señales de temporización y a dichos N datos adicionales recuperados, para demultiplexar los mencionados N datos adicionales recuperados.

25 18.- Un subsistema, según el punto 17, en donde N es igual a dos.

30 19.- Un subsistema, según el punto 18, en donde, la distribución distintiva de los bits de código es de tres bits "1" binarios sucesivos en tres bits adyacentes de las posiciones de bits de código.

20.- Un subsistema, según el punto 17, en donde, N es igual a ocho y los primeros elementos producen cuatro señales de temporización para demultiplexar los N datos adicionales recuperados.

5 21.- Un subsistema, según el punto 20, en donde, dicha distribución distintiva de los bits de código es de tres bits "1" sucesivos en tres bits adyacentes de las posiciones de bits de código, dentro de las doce primeras de las mencionadas posiciones de entre las cuarenta y ocho
10 posiciones de bits de código del código de cuadro.

22.- Un subsistema, según el punto 1, en donde los primeros elementos incluyen, terceros elementos para producir un código de cuadro local idéntico al código de cuadro recibido.
15 cuartos elementos acoplados a los terceros para comparar el código de cuadro recibido con el código de cuadro local, quintos elementos acoplados a los cuartos para producir una señal de fuera de sincronismo cuando los cuartos elementos detectan un número dado de errores en un período dado de
20 tiempo, y sextos elementos acoplados a los quintos elementos que responden a la señal de fuera de sincronismo para restablecer la sincronización buscando primeramente los unos de las posiciones de bits de código del código de cuadro recibido y entonces localizando la distribución distintiva
25 de los bits de código.

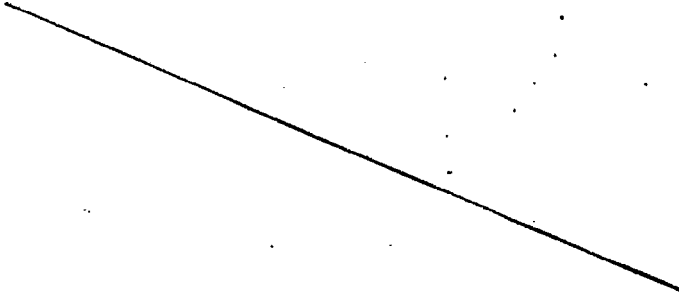
23.- Un subsistema, según el punto 22, en donde N es igual a dos, y la distribución distintiva de los bits de código es de tres bits "1" binarios sucesivos en tres adyacentes de las po-
30 siciones de bits de códigos.

24.- Un subsistema, según el punto 22, en donde N es igual a ocho y la distribución distintiva de los bits de código es de tres bits binarios sucesivos "1" en tres bits adyacentes de las posiciones de bits de código dentro de las doce primeras posiciones de bits de entre las cuarenta y ocho de dichas posiciones del código de cuadro.

25.- Un subsistema, según el punto 22, que incluye además, un número aumentado de canales de señalización transmitidos al receptor por lo menos dos demultiplexores de señalización acoplados a los primeros elementos, y en donde, los primeros elementos producen además dos señales de temporización adicionales, ambos demultiplexores de señalización responden a ambas señales de temporización adicionales para definir las salidas de canal del número aumentado de canales de señalización.

26.- Un subsistema para agregar a un sistema MIC (Modulación por impulsos codificados) existente, que proporciona canales de datos adicionales y aumenta el número de canales de señalización.

Tal y como se ha descrito en la memoria que antecede, representado en los dibujos que se acompañan y a los fines especificados.



Esta Memoria consta de ventiocho hojas
escritas por una sola cara.

Madrid, 3 DIC. 1975



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL

9/1

STANDARD ELECTRICA, S. A.

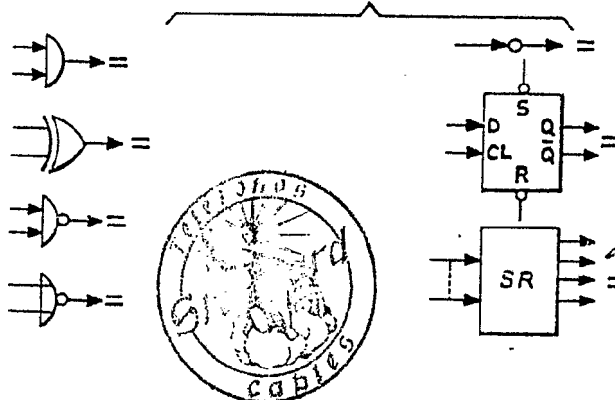
Fig. 1

1	2	3	4	5	6	7	8	9	10	11	12
1		0		1		0		1		0	
	0		0		1		1		1		0
1	0	0	0	1	1	0	1	1	1	0	0

Fig. 2

1	2	3	4	5	6	7	8	9	10	11	12
1	X	0	0	1	X	0	1	1	1	0	0
	↑				↑				↑		
13	14	15	16	17	18	19	20	21	22	23	24
1	X	0	0	1	X	0	1	1	0	0	0
	↑				↑				↑		
25	26	27	28	29	30	31	32	33	34	35	36
1	X	0	0	1	X	0	1	1	0	0	0
	↑				↑				↑		
37	38	39	40	41	42	43	44	45	46	47	48
1	X	0	0	1	X	0	1	1	0	0	0
	↑				↑				↑		

Fig. 5



3 DIC. 1975

M. G. Santamaría
 M. G. SANTAMARÍA
 VICE-SECRETARIO GENERAL

9/2

STANDARD ELECTRICA, S. A.

Fig. 3

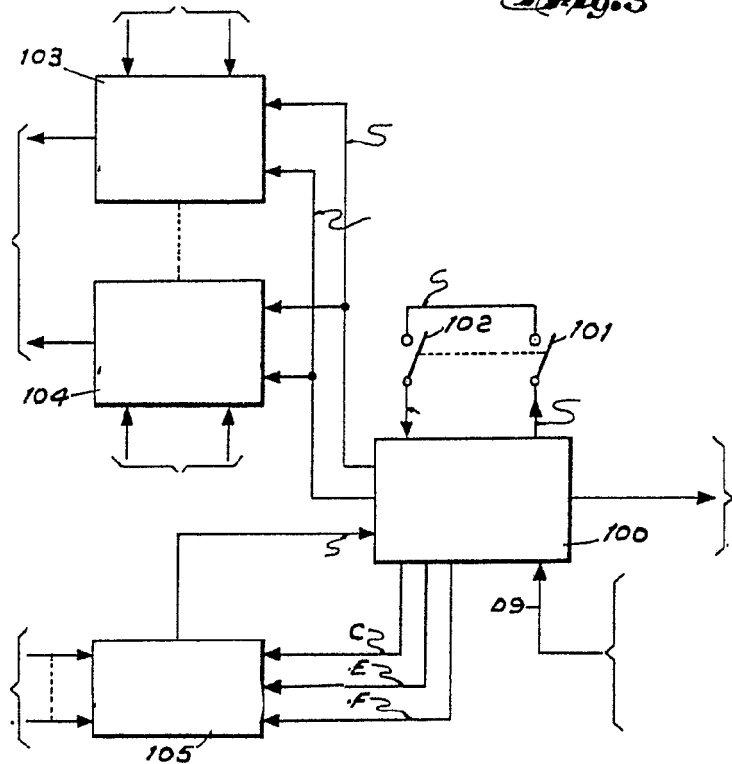
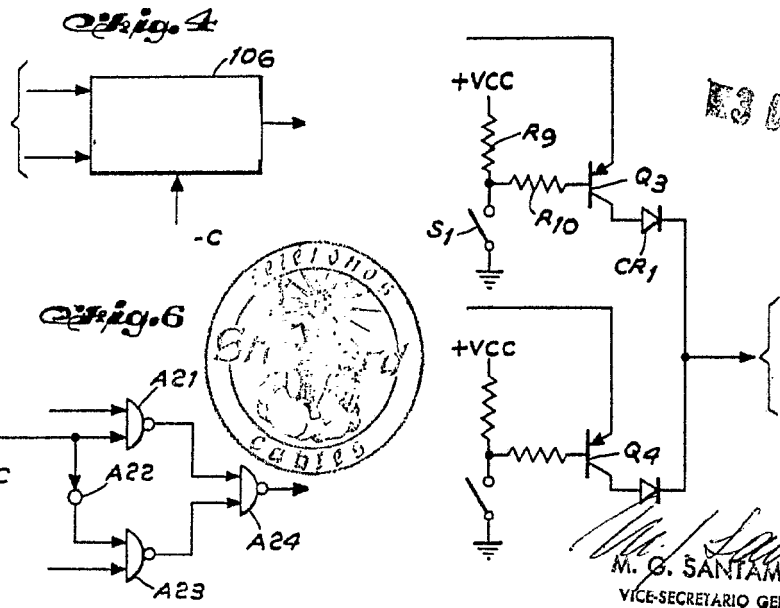
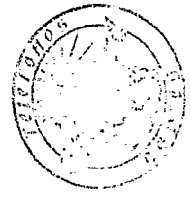
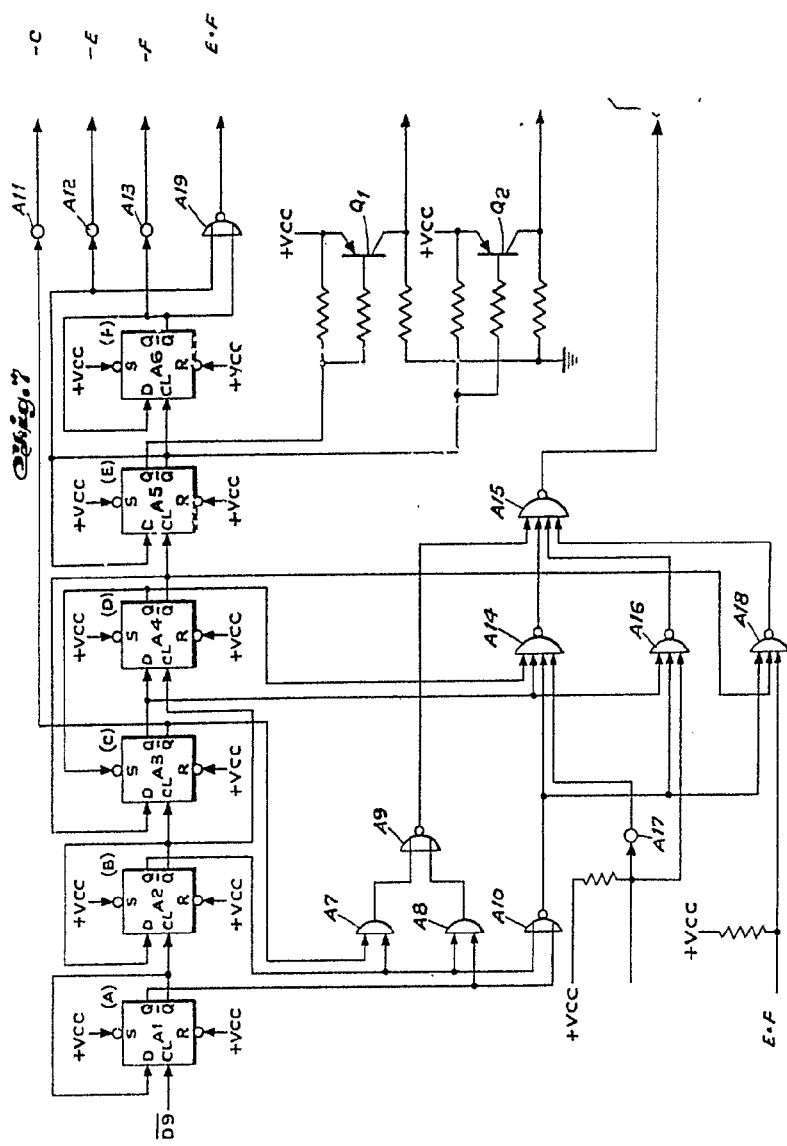


Fig. 10



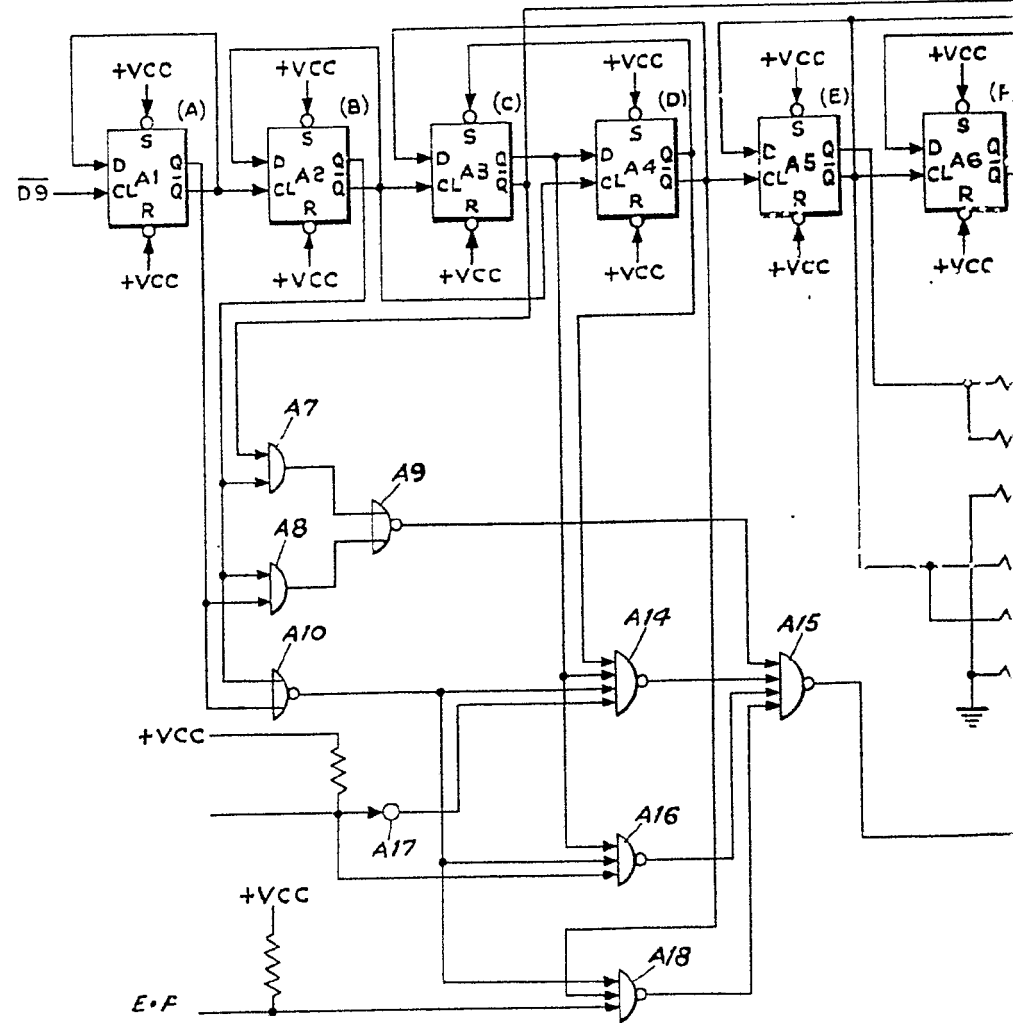
ES DIC. 1975

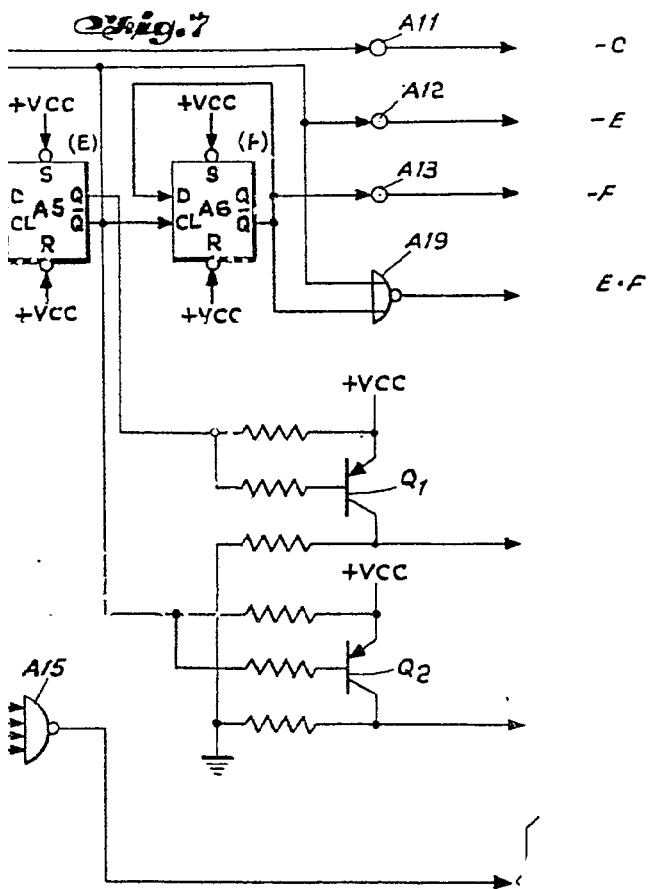
M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL



W. J. [Signature]
VICE-CHANCELLOR GENERAL

Fig. 7





M. G. Santamaria
 M. G. SANTAMARIA
 VICE-SECRETARIO GENERAL

9/4

Fig. 8

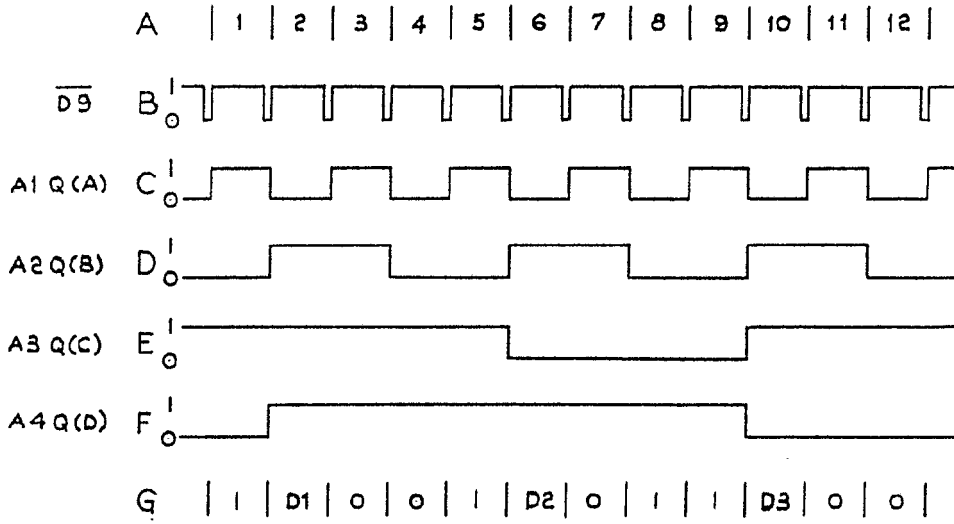
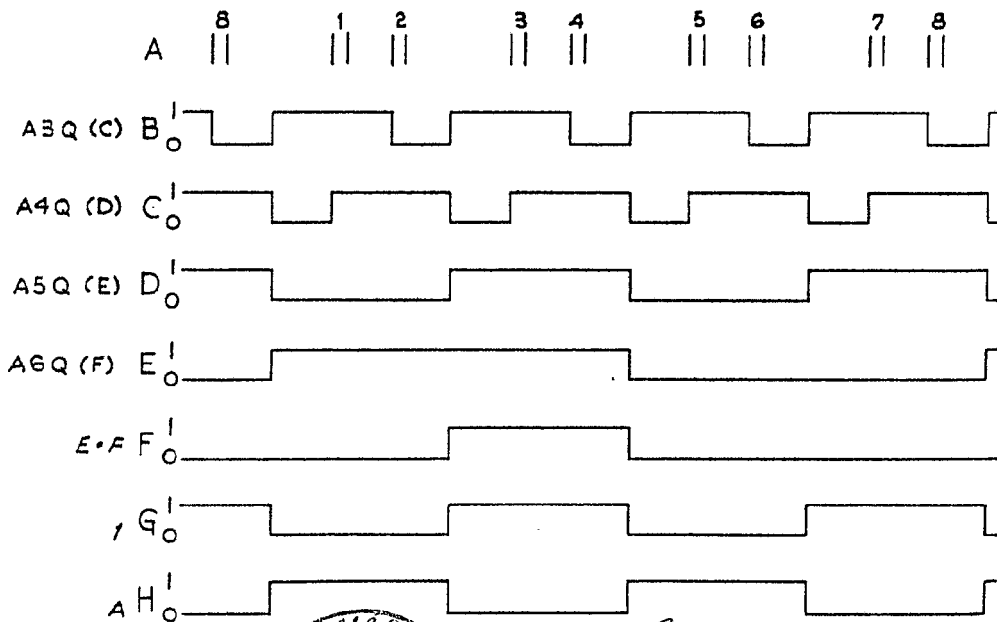


Fig. 9

3 DIC. 1975



[Signature]
VICE-SECRETARIO GENERAL

Fig. 11

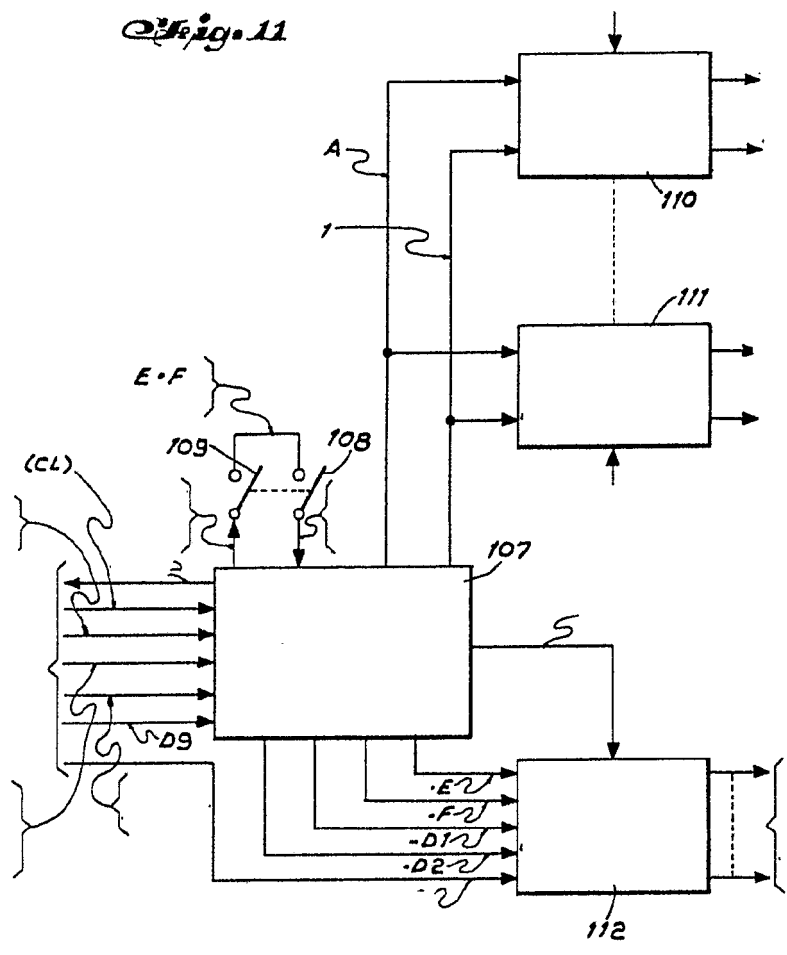
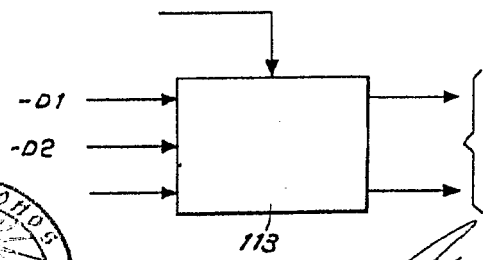


Fig. 12

3 DIC. 1975



M. G. Santamaría
 M. G. SANTAMARÍA
 VICESecretario GENERAL

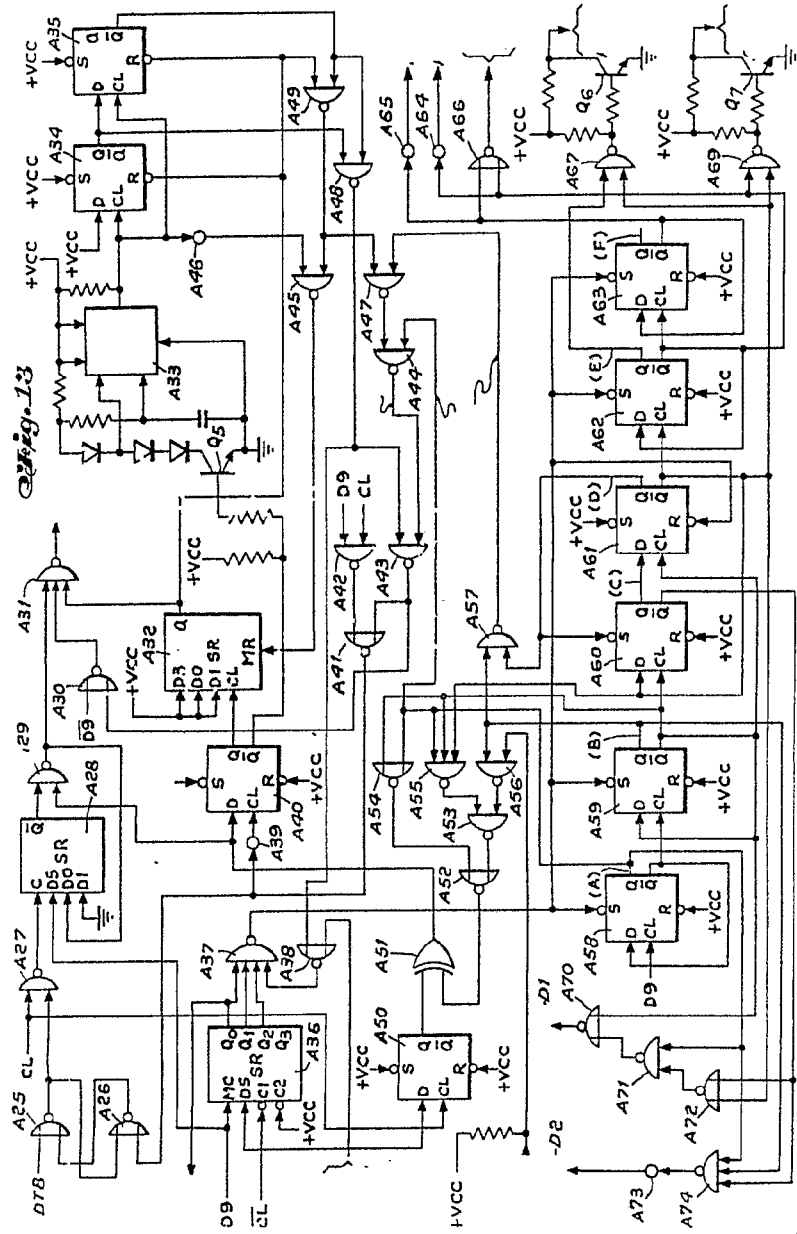
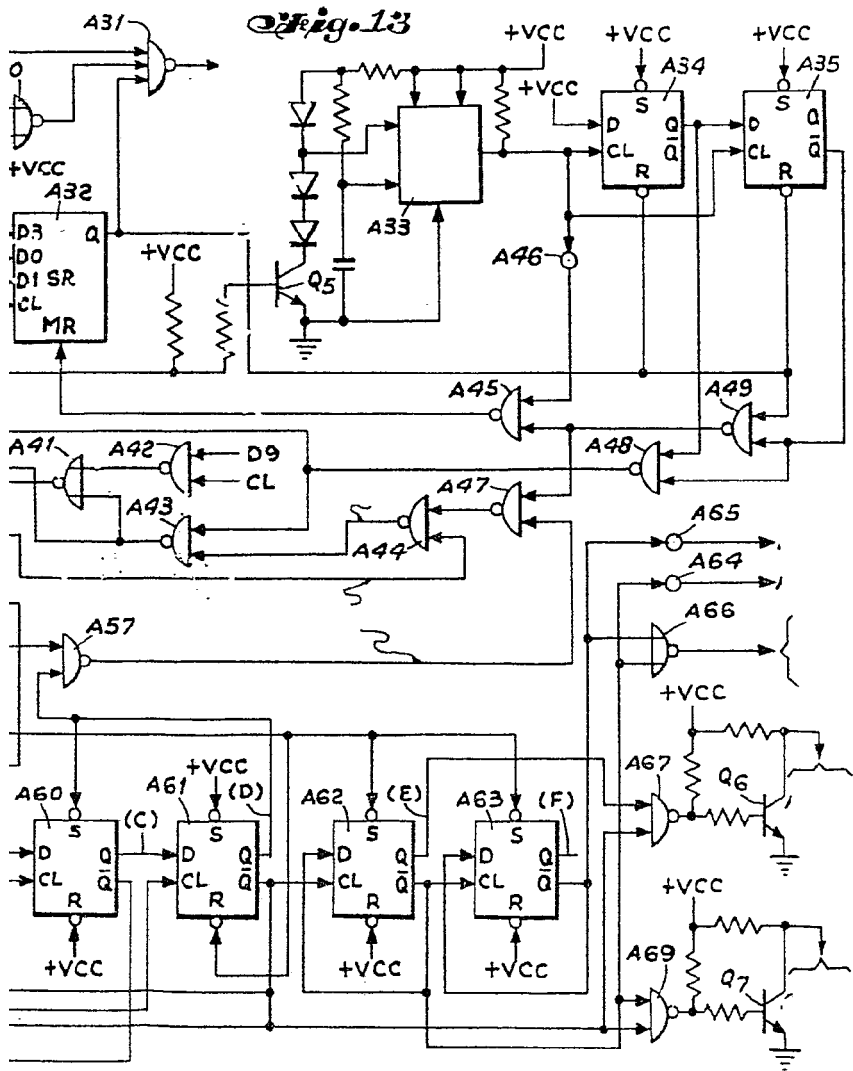


Fig. 13



M. G. Santanaria
M. G. SANTANARIA
VICESECRETARIO GENERAL

Fig. 13

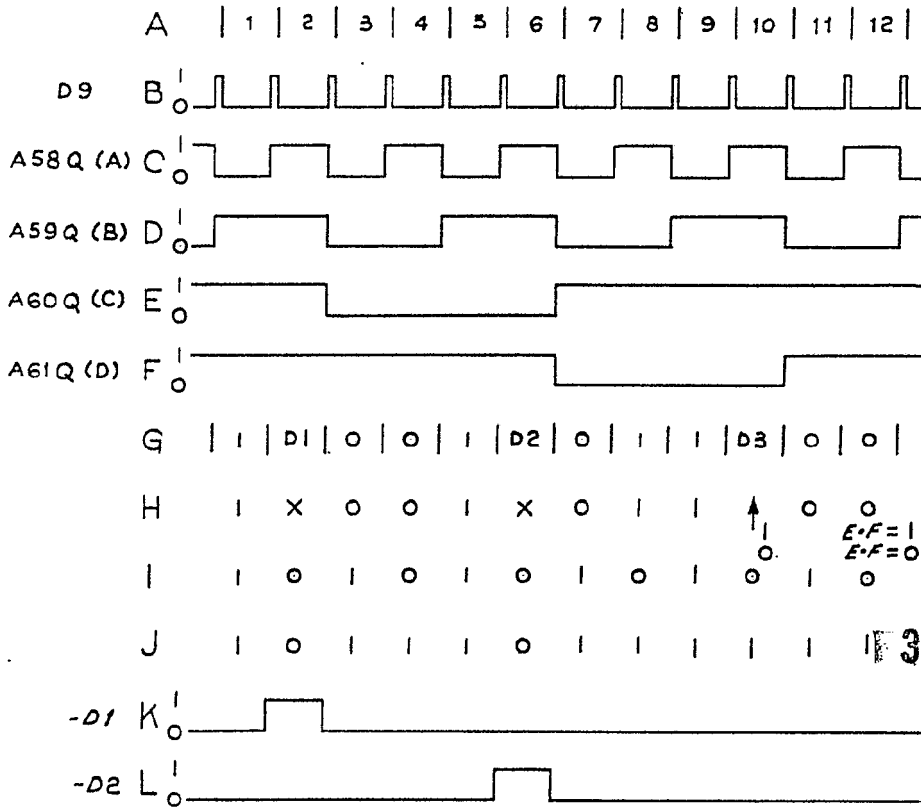


M. G. Santamaria
M. G. SANTAMARIA
VICESECRETARIO GENERAL

9/7

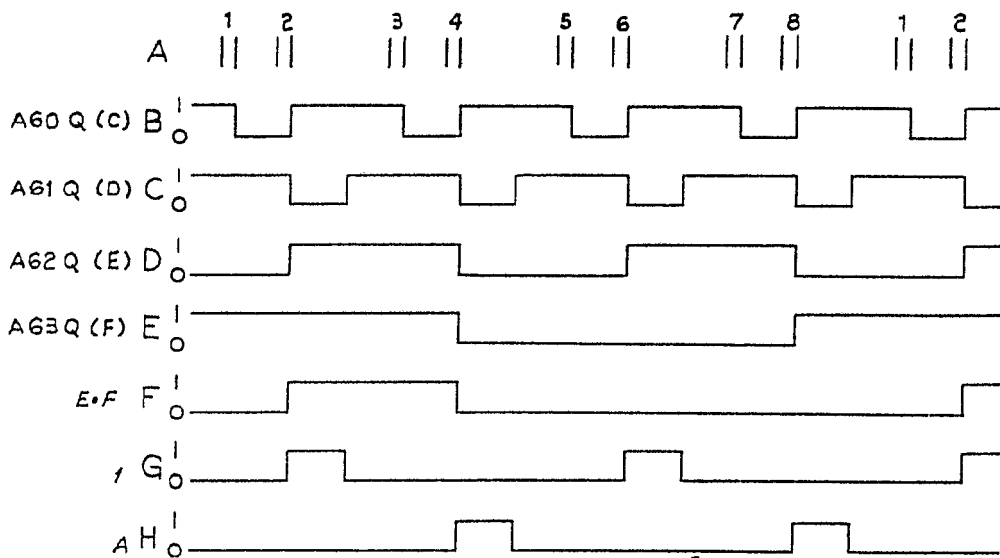
STANDARD ELECTRICA, S. A.

Fig. 14



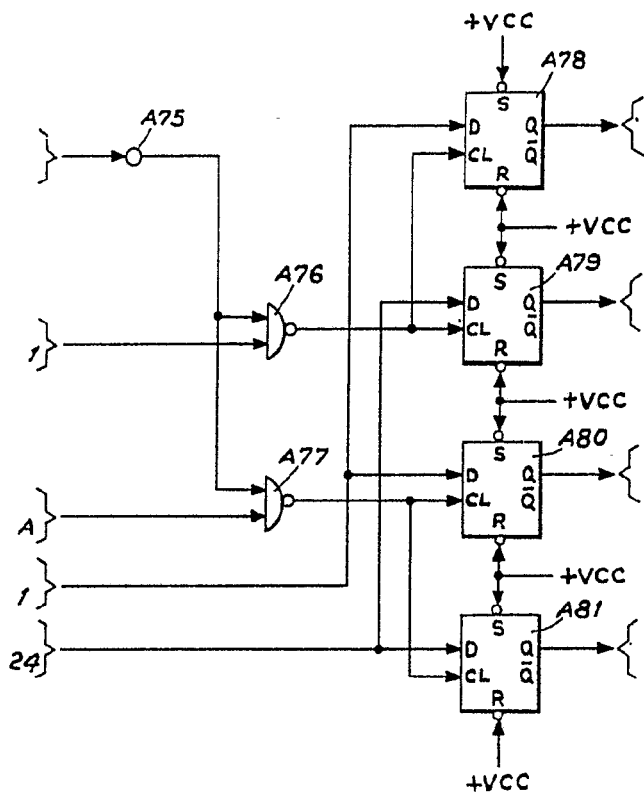
3 DIC. 1975

Fig. 15



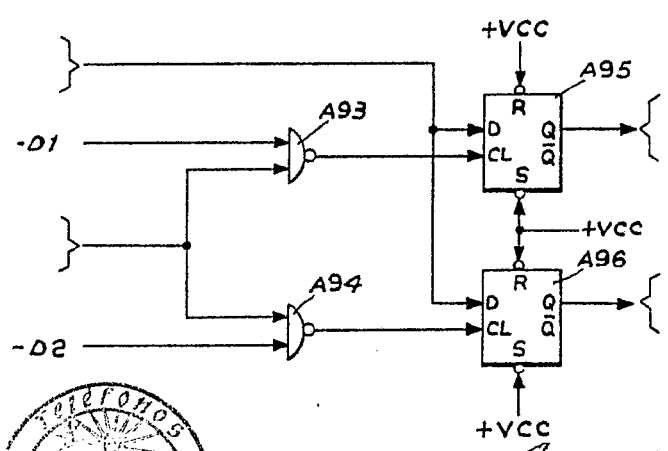
[Signature]
G. SANTAMARIA
VICE-SECRETARIO GENERAL

Fig. 16



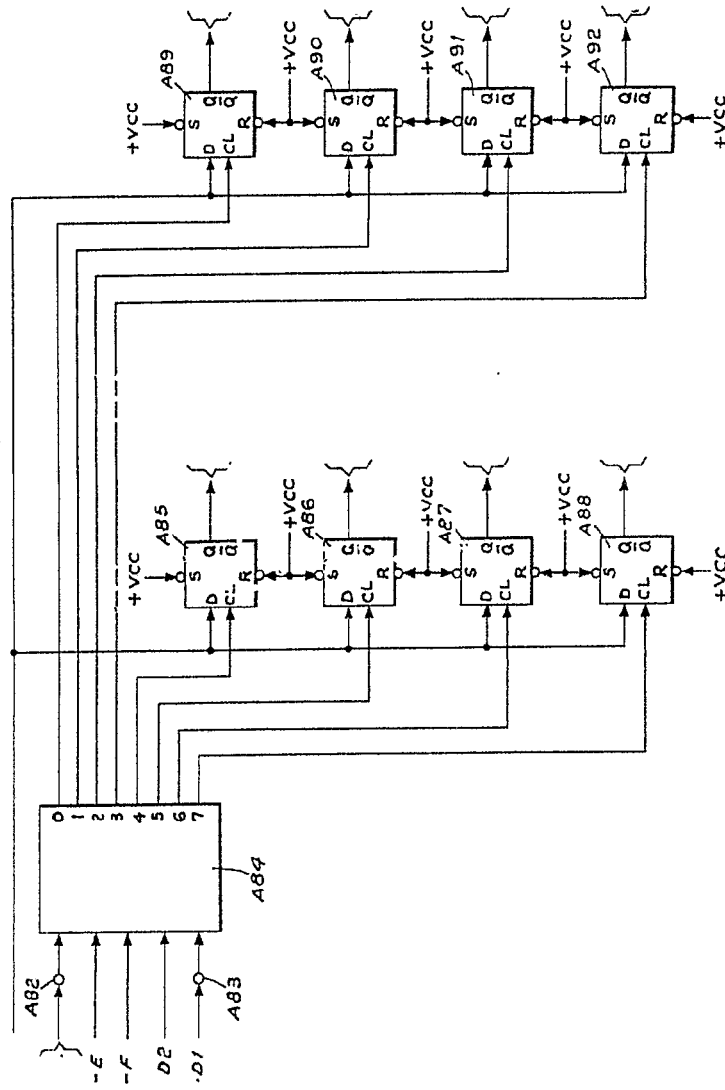
3 DIC. 1975

Fig. 18



[Signature]
M. G. SANTAMARIA
VICESECRETARIO GENERAL

Fig. 17



M. G. Santamaría
M. G. SANTAMARÍA
VICE-Secretario General

Fig. 17

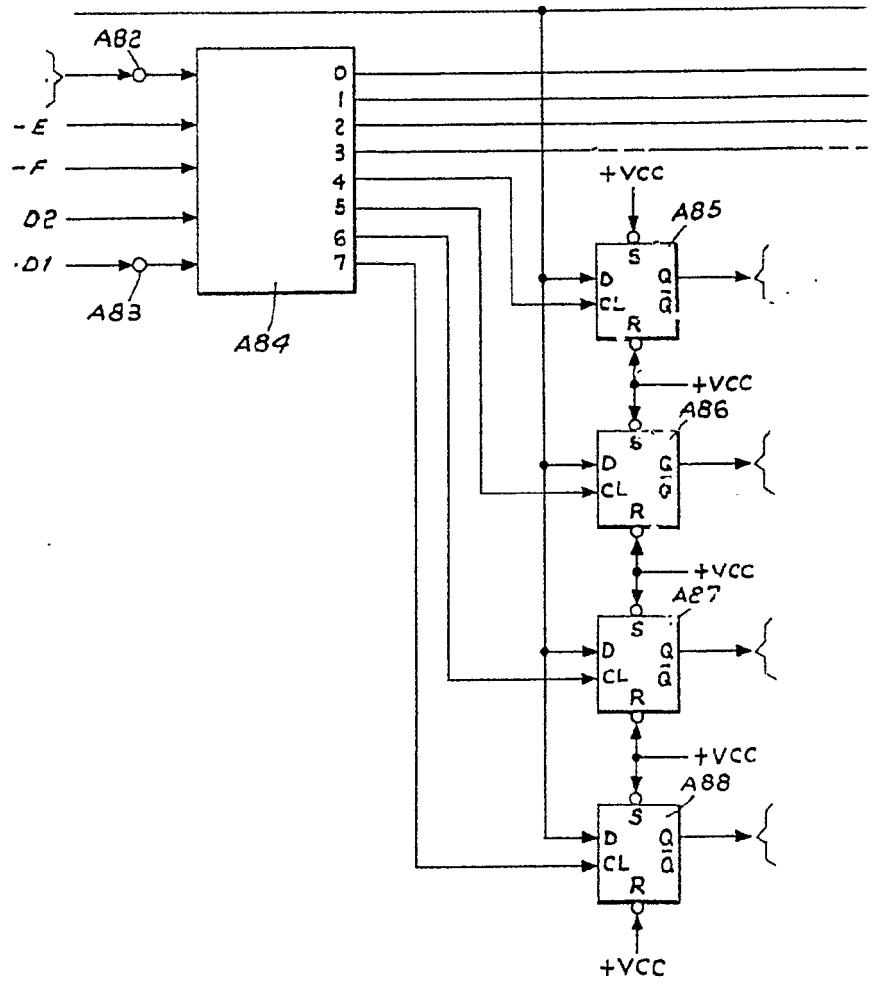
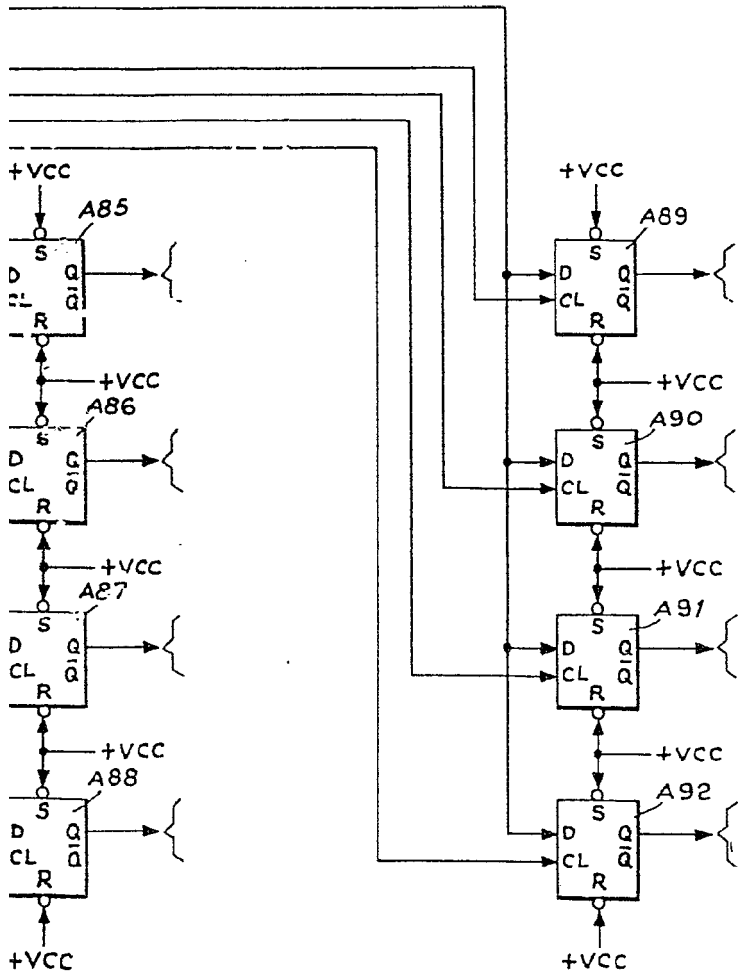


Fig. 17



M. G. Santamaria
M. G. SANTAMARIA
VICE-SECRETARIO GENERAL